



Architecture d'un récepteur radio multistandard à sélection numérique des canaux

Khaled Grati

► To cite this version:

Khaled Grati. Architecture d'un récepteur radio multistandard à sélection numérique des canaux. domain_other. Télécom ParisTech, 2005. English. NNT: . pastel-00001386

HAL Id: pastel-00001386

<https://pastel.hal.science/pastel-00001386>

Submitted on 14 Sep 2005

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Avant propos

Le travail que nous présentons dans cette thèse a été effectué dans le cadre de la préparation d'un diplôme de Doctorat en Technologies de l'Information et de la Communication de l'Ecole Supérieure des Communications (SUP'COM), Tunisie, en cotutelle avec l'Ecole Doctorale en Informatique et Télécommunications de Paris (EDIT) de l'Ecole Nationale Supérieure des Télécommunications (Télécom Paris), France.

Les travaux de recherche de cette thèse ont été menés dans le laboratoire de l'Unité de Recherche en Réseaux Radio Mobile et Multimedia (MEDIATRON) dirigée par Monsieur Sami Tabbane, Professeur à SUP'COM envers qui j'exprime ma profonde reconnaissance et le laboratoire de l'équipe Architectures des systèmes Numériques de Télécom Paris dirigée par Monsieur Jean-Luc Danger, Directeur d'études à Télécom-Paris à qui j'exprime ma profonde gratitude.

Au terme de ce travail de thèse je tiens à remercier sincèrement :

Monsieur Mohamed Siala, Maître de conférences à SUP'COM, pour l'honneur qu'il me fait en acceptant de présider le jury de soutenance de ma thèse.

Monsieur Ammar Kouki, Professeur à l'Ecole de Technologie Supérieure - Montréal, qui a apporté sa caution scientifique en acceptant la lourde tâche de rapporteur.

Monsieur Habib Mehrez, Professeur à l'Université Paris VI, pour son valeureux apport scientifique en tant que rapporteur de mon travail de thèse.

Monsieur Patrick Loumeau, Professeur à Télécom-Paris, pour l'intérêt qu'il porte à mes travaux en acceptant de participer à ce jury de thèse.

Madame Lirida Naviner Maître de Conférences à Télécom-Paris et Monsieur Adel Ghazel Maître de Conférences à SUP'COM, mes directeurs de thèse pour leur encadrement, leurs conseils et pour m'avoir fait profiter de leurs compétences scientifiques.

Monsieur Naceur Ammar Professeur à SUP'COM, Monsieur Lotfi Ammar le Directeur de SUP'COM et Monsieur Sadok Mabrouk le Secrétaire Général de SUP'COM pour tous les moyens logistiques qui ont été mis à ma disposition tout au long de mes activités de recherche.

Résumé - Mots Clés

Résumé : Les principaux résultats de recherche présentés dans cette thèse de Doctorat concernent la proposition de nouvelles méthodologies de spécifications et de dimensionnement ainsi que des techniques de mise en œuvre de structures de filtrage et de conception d'architectures matérielles reconfigurables pour la sélection numérique des canaux radio dans un contexte de réception multistandard. Les résultats obtenus à l'issue de cette thèse constituent une contribution à un nouvel axe de recherche qui vise à développer de nouvelles technologies pour des équipements radio flexibles, multi-service, multi-standards, multi-bandes, re-configurables mais tout en limitant la complexité de traitement et d'implantation matérielle en vue de réduire d'avantage l'encombrement des équipements portables ainsi que leur consommation d'énergie. Notre première étape d'étude a concerné la définition de structure et de méthode de dimensionnement d'un récepteur radio à conversion directe doté de fonctionnalités large bande et multi-bande. Une méthode a aussi été établie pour déterminer les spécifications des étages de sélection des canaux en tenant compte de la structure de filtrage en cascade, des profils des signaux et interférents radio ainsi que des effets de repliement de spectre. Les spécifications obtenues pour les normes UMTS, DECT et GSM ont conduit à la synthèse de filtres FIR et de filtres IIR à phase presque linéaire. En tenant compte du meilleur compromis entre programmabilité, espace mémoire et complexité de traitement le processeur de filtrage de décimation optimisé est composé d'un circuit filtre en peigne à structure récursive, un circuit filtre demi bande FIR réalisé par une structure à partage d'éléments commun ou à base de multiplieurs génériques et en dernier étage un filtre sélecteur FIR réalisé seulement à base de multiplieurs génériques. Les résultats de synthèse sur FPGA ont permis de mettre en évidence les performances en terme de qualité de filtrage et d'optimisation des ressources d'implantation matérielle.

Mots clés : Radio Communications, Réception multistandard, Sélection numérique des canaux, Filtrage de décimation, Implantation VLSI à faible consommation.

Table des matières

Avant propos	i
Résumé - Mots Clés	iii
Introduction Générale	1
Première partie : Conception du Récepteur Radio Multistandard	5
1 Définition de l'architecture d'un récepteur multistandard	6
1.1 Introduction	6
1.2 Problématique et exigences de la réception multistandard	7
1.2.1 Diversité des normes de radio communications	7
1.2.2 Intérêts et exigences de la réception multistandard	9
1.2.3 Solution de la radio logicielle	10
1.3 Techniques de réalisation de topologies de réception multistandard	12
1.3.1 Modes de sélection des canaux radio	12
1.3.2 Récepteur RF large bande et multibande	14
1.3.3 Numérisation des signaux large bande	17
1.4 Optimisation de l'architecture d'un récepteur multistandard	20
1.4.1 Configuration de la structure d'un récepteur RF homodyne	21
1.4.2 Analyse et compensation des contraintes du récepteur homodyne	22
1.4.3 Structure du récepteur multistandard à sélection numérique des canaux	25
1.5 Conclusion	27
2 Dimensionnement du récepteur radio multistandard	29
2.1 Introduction	29
2.2 Spécifications de dimensionnement	30
2.2.1 Paramètres d'un récepteur radio	30
2.2.2 Etablissement de la méthode de dimensionnement	38
2.2.3 Spécifications des normes GSM, DECT et UMTS	43
2.3 Formulation analytique de la méthode de dimensionnement	44
2.3.1 Dimensionnement des filtres analogiques	46
2.3.2 Bilan des gains	53
2.3.3 Facteurs de linéarité	54
2.4 Validation du dimensionnement par simulation ADS	56
2.4.1 Définition des modèles ADS des étages du récepteur radio	56
2.4.2 Résultats des simulations ADS et Analyse des performances globales du récepteur multistandard	58
2.5 Conclusion	60

Deuxième partie : Spécifications et optimisation du filtrage de sélection des canaux **62**

3	Définition et spécifications des étages de sélection des canaux	63
3.1	Introduction	63
3.2	Optimisation de la structure du filtrage de décimation	63
3.2.1	Principe de décimation d'un signal radio numérisé	65
3.2.2	Etude des structures usuelles de filtrage de décimation	67
3.2.3	Définition de la structure de filtrage optimisée	68
3.3	Etablissement d'une méthode de spécification des étages de filtrage	71
3.3.1	Mise en évidence de la complexité du problème	71
3.3.2	Méthode de spécification du filtre demi-bande	72
3.3.3	Méthode de spécification du filtre de sélection de canal	73
3.4	Application de la méthode de spécification	73
3.4.1	Spécifications des filtres pour la norme UMTS	73
3.4.2	Spécifications des filtres pour la norme DECT	79
3.4.3	Spécifications des filtres pour la norme GSM	84
3.5	Conclusion	89
4	Synthèse et optimisation des circuits de filtrage	91
4.1	Introduction	91
4.2	Techniques de synthèse de filtres IIR à phase presque linéaire	92
4.2.1	Synthèse de filtre IIR par des filtres passe-tout en parallèle	92
4.2.2	Synthèse de filtre IIR avec minimisation d'erreur quadratique (LMS)	94
4.2.3	Synthèse de filtre IIR par réduction d'un filtre FIR	96
4.3	Analyse des résultats de synthèse des filtres	99
4.3.1	Résultats de synthèse à base de filtres FIR	99
4.3.2	Résultats de synthèse à base de filtres IIR	102
4.3.3	Etude comparative des solutions FIR et IIR	106
4.4	Définition de la solution optimisée de filtrage	107
4.4.1	Critères d'optimisation et de mise en œuvre	107
4.4.2	Configuration de la solution optimisée de filtrage	108
4.4.3	Résultats de validation de l'étage de filtrage multistandard	112
4.5	Conclusion	119

Troisième partie : Implantation matérielle du processeur de filtrage de sélection des canaux **120**

5	Optimisation de l'architecture matérielle des circuits de filtrage	121
5.1	Introduction	121
5.2	Conception d'opérateurs matériels pour le filtrage	122
5.2.1	Systèmes de représentation binaire	122
5.2.2	Opérateurs d'addition binaire	124
5.2.3	Opérateurs de multiplication binaire	129
5.3	Conception d'architectures de filtrage numérique	133
5.3.1	Approche d'architecture parallèle	133
5.3.2	Approche d'architecture basée sur l'arithmétique distribuée	133
5.3.3	Approche d'architecture à partage d'éléments communs des coefficients	135
5.4	Analyse comparative et optimisation des choix d'architectures de filtrage	137
5.4.1	Contraintes de conception	137

5.4.2	Etude comparative des approches architecturales	138
5.4.3	Configuration optimisée du processeur de filtrage	139
5.5	Conclusion	140
6	Implantation matérielle et résultats expérimentaux	141
6.1	Introduction	141
6.2	Structuration de l'IP-VHDL	141
6.2.1	Schéma de conception du circuit filtre en peigne	142
6.2.2	Schéma de conception du circuit filtre demi-bande	143
6.2.3	Schéma de conception du circuit filtre sélecteur	149
6.3	Organisation des commandes et gestion des flux des données	150
6.3.1	Circuit de commande du processeur de filtrage	151
6.3.2	Définition des formats numériques des coefficients	157
6.3.3	Définition des formats numériques des flux des données	158
6.4	Résultats d'implantation sur FPGA	162
6.4.1	Ressources du circuit FPGA	162
6.4.2	Résultats de synthèse du processeur de filtrage	162
6.4.3	Performances de filtrage	163
6.5	Conclusion	167
	Conclusion Générale	168
	Annexe	172
	A Principe du modulateur Sigma-Delta	173
	Bibliographie	177

Liste des tableaux

1.1	Evolution des normes de radio communication mobile.	8
1.2	Caractéristiques techniques de différentes normes de radio communication.	9
2.1	Caractéristiques des interfaces radio des normes GSM, DECT et UMTS.	44
2.2	Niveau des bloqueurs de la norme GSM avant et après filtrage anti-repliement. . .	47
2.3	Niveau des bloqueurs de la norme DECT avant et après filtrage anti-repliement. .	50
2.4	Niveau des bloqueurs de la norme UMTS avant et après filtrage anti-repliement. .	52
2.5	Résumé des résultats de dimensionnement du récepteur RF.	56
2.6	Caractéristiques du LNA BGA622L7.	57
2.7	Caractéristiques du mélangeur AD8343.	57
2.8	Caractéristiques de l'AGC AD8331.	57
2.9	Performances globale du récepteur RF.	59
3.1	Complexité de traitement des structures de filtrage de decimation pour le cas du DECT.	69
4.1	Ordres des filtres demi-bande IIR à phase presque linéaire.	103
4.2	Ordres des filtres sélecteur IIR à phase presque linéaire.	103
4.3	Comparaison qualitative des filtres FIR et IIR.	106
4.4	Comparaison de la complexité d'implantation des filtres FIR et IIR.	107
4.5	Comparaison de l'utilisation des mémoires.	109
5.1	Représentation Borrow-save	123
5.2	Somme binaire	123
5.3	Comparaison des architectures d'additionneurs	129
5.4	Multiplication de deux nombres de quatre bits.	130
5.5	Comparaison des techniques d'implantations des filtres.	138
6.1	Paramètres et ports d'entrées/sorties du filtre en peigne.	143
6.2	Quantification des coefficients du filtre demi-bande.	145
6.3	Paramètres et ports du filtre demi-bande avec multiplieur générique	148
6.4	Paramètres et ports du filtre sélecteur de canal avec multiplieurs génériques. . .	150
6.5	Ressources d'un FPGA Stratix.	162
6.6	Comparaison des ressources d'implantation pour les circuits de filtrage.	163

Table des figures

1.1	Synoptique de services multistandard.	7
1.2	Occupation spectrale des normes de radio communications.	8
1.3	Schéma idéal d'un récepteur Software Radio.	10
1.4	Schéma de l'architecture Software Defined Radio (SDR).	11
1.5	Principe de sélection de canal.	12
1.6	Schéma bloc d'un récepteur avec sélection analogique des canaux radio.	13
1.7	Schéma bloc d'un récepteur avec sélection numérique des canaux radio.	13
1.8	Architecture de réception wide-bande IF.	14
1.9	Architecture de réception IF-sampling.	15
1.10	Architecture de réception à conversion directe.	15
1.11	Architecture de réception multistandard.	16
1.12	Schéma de principe d'un convertisseur flash à 2 bits.	17
1.13	Schéma de principe d'un convertisseur semi-flash à n bits	18
1.14	Schéma de principe d'un convertisseur pipeline	19
1.15	Spectre du bruit et du signal à la sortie d'un modulateur Sigma-Delta.	19
1.16	Architecture générale d'un récepteur	20
1.17	Phénomène de DC offset dans l'architecture homodyne.	22
1.18	Principe de compensation numérique du DC offset.	23
1.19	Effet du mauvais appariement des voies I et Q sur la constellation d'un signal QPSK.	24
1.20	Effet du mauvais appariement des voies I et Q sur un démodulateur QPSK.	25
1.21	Gabarit du filtre décimateur à la sortie du modulateur $\Sigma\Delta$	26
1.22	Structure multi-étages pour la sélection du canal.	27
1.23	Architecture de réception multistandard proposée.	27
2.1	Architecture homodyne pour réception multistandard.	30
2.2	Structure en cascade d'un récepteur.	31
2.3	Interprétation Graphique du calcul de IIP_1	33
2.4	Décomposition spectrale de la distorsion d'intermodulation.	34
2.5	Interprétation Graphique du calcul de IIP_3	36
2.6	Interprétation Graphique du calcul de IIP_2	36
2.7	Interprétation Graphique du calcul de SFDR.	37
2.8	Principe d'action du filtre anti-repliement.	39
2.9	Détermination du gain maximum de l'AGC.	40
2.10	Détermination du gain minimum de l'AGC.	41
2.11	Principe de détermination de la dynamique du convertisseur A/N en présence d'un AGC.	42
2.12	Condition de test d'un produit d'intermodulation sur le signal utile.	43
2.13	Spectre des bandes occupées par les normes GSM, DECT et UMTS.	44

2.14	Etapes de la méthode de dimensionnement du récepteur RF multistandard.	45
2.15	Gabarit du filtre RF pour la norme GSM.	48
2.16	Gabarit du filtre anti-repliement pour la norme GSM.	49
2.17	Détermination du gabarit du filtre RF pour le standard DECT.	50
2.18	Gabarit du filtre anti-repliement pour la norme DECT.	51
2.19	Détermination du gabarit du filtre RF pour la norme UMTS.	52
2.20	Gabarit du filtre anti-repliement pour la norme UMTS.	53
2.21	Schéma de simulation sous ADS du récepteur RF.	58
2.22	Courbe d'évolution du gain dans la chaîne RF pour la norme DECT.	59
2.23	Courbe d'évolution du facteur de bruit dans la chaîne RF pour la norme DECT.	59
2.24	Détermination graphique du facteur IIP3 de la chaîne RF pour la norme DECT.	60
3.1	Etapes des opérations de sélection numérique du canal.	64
3.2	Schéma bloc d'un décimateur.	65
3.3	Spectre obtenu après décimation.	66
3.4	Schéma bloc du filtre décimateur.	67
3.5	Structure en cascade à 3 étages pour le filtre de décimation.	69
3.6	Réalisation directe.	70
3.7	Réalisation optimale.	70
3.8	Réponse théorique d'un filtre demi-bande.	71
3.9	Détermination du gabarit du filtre demi-bande.	73
3.10	Spectre d'un canal UMTS.	74
3.11	Niveaux des bloqueurs à la sortie du filtre en peigne.	75
3.12	Niveaux des interférants à la sortie du filtre en peigne.	75
3.13	Niveaux des bloqueurs à la sortie du filtre demi-bande pour l'UMTS.	76
3.14	Niveaux des interférants à la sortie du filtre demi-bande pour l'UMTS.	77
3.15	Niveaux des bloqueurs à la sortie du filtre de sélection de canal pour l'UMTS.	78
3.16	Niveaux des interférants à la sortie du filtre de sélection de canal pour l'UMTS.	78
3.17	Spectre d'un canal DECT.	80
3.18	Niveaux des interférants à la sortie du filtre en peigne pour le DECT.	81
3.19	Niveaux des interférants à la sortie du filtre demi-bande pour le DECT.	82
3.20	Niveaux des interférants à la sortie du filtre de sélection de canal pour le DECT.	83
3.21	Spectre d'un canal GSM.	84
3.22	Niveaux des bloqueurs à la sortie du filtre en peigne pour le GSM.	85
3.23	Niveaux des interférants à la sortie du filtre en peigne pour le GSM.	85
3.24	Niveaux des bloqueurs à la sortie du filtre demi-bande pour le GSM.	86
3.25	Niveaux des interférants à la sortie du filtre demi-bande pour le GSM.	87
3.26	Niveaux des bloqueurs à la sortie du filtre de sélection de canal pour le GSM.	88
3.27	Niveaux des interférants à la sortie du filtre de sélection de canal pour le GSM.	89
4.1	Filtre IIR à phase presque linéaire 1 ^{ère} méthode.	93
4.2	Filtre IIR à phase presque linéaire 2 ^{ème} méthode.	93
4.3	Structure directe d'un filtre FIR.	100
4.4	Réponse fréquentielle du filtre FIR demi-bande.	100
4.5	Réponses fréquentielles des filtres FIR de sélection de canal.	101
4.6	Réponse en amplitude et en phase du filtre demi-bande IIR.	102
4.7	Pôles et zéros du filtre demi-bande IIR.	103
4.8	Réponse en amplitude et en phase des filtres sélecteur IIR pour les normes UMTS, GSM et DECT.	104
4.9	Pôles et zéros des filtres sélecteur IIR.	105
4.10	Structure de filtrage en cascade optimisée de point de vue surface.	110

4.11	Structure de filtrage en cascade optimisée de point de vue consommation.	110
4.12	Structure de filtrage en cascade optimisée pour la reception multistandard.	111
4.13	Performances des étages de filtrage pour la norme UMTS.	113
4.14	Performances des étages de filtrage pour la norme UMTS en terme de SNR.	114
4.15	Performances des étages de filtrage pour la norme DECT.	115
4.16	Performances des étages de filtrage pour la norme DECT en terme de SNR.	116
4.17	Performances des étages de filtrage pour la norme GSM.	117
4.18	Performances des étages de filtrage pour la norme GSM en terme de SNR.	118
5.1	Circuits de réalisation de la cellule demi-additionneur.	124
5.2	Circuits de réalisation de la cellule additionneur complet.	125
5.3	Principe de l'architecture d'un additionneur à retenue propagée.	125
5.4	Architecture d'un additionneur à retenue propagée sur FPGA.	126
5.5	Principe de l'architecture d'un additionneur à retenue conservée.	127
5.6	Architecture d'additionneurs multiopérande.	128
5.7	Architecture d'additionneur et soustracteur sériels.	128
5.8	Architecture du multiplieur adaptée à la subdivision sur r bits.	132
5.9	Multiplieur parallèle-série.	132
5.10	Réalisation d'un filtre, à trois coefficients, basée sur la technique de l'arithmétique distribuée.	134
5.11	Détermination des éléments communs.	136
5.12	Configuration optimisée de filtrage.	140
6.1	Architecture du filtre en peigne.	142
6.2	Schéma bloc de l'entité filtre en peigne.	143
6.3	Filtre à structure polyphase.	144
6.4	Table de recherche des éléments communs du filtre demi-bande.	146
6.5	Implantation du sous filtre H_0 avec la méthode des partages des éléments communs.	147
6.6	Architecture d'implantation du sous filtre H_0 avec un multiplieur générique.	148
6.7	Schéma bloc de l'entité filtre demi-bande.	149
6.8	Schéma bloc de l'entité filtre sélecteur.	149
6.9	Entrées et sorties de l'unité de commande du processeur de filtrage.	151
6.10	Principe de la commande du filtre en peigne.	152
6.11	Principe de la commande du filtre demi-bande.	154
6.12	Principe de commande du filtre de sélection de canal.	156
6.13	Effet de la quantification des coefficients du filtre demi-bande.	157
6.14	Effet de la quantification des coefficients du filtre de sélection de canal.	158
6.15	Sélection des bits utiles.	161
6.16	Flux de données entre les différents étages de filtrage.	161
6.17	Performances des circuits de filtrage pour la norme UMTS en terme de SNR.	164
6.18	Performances des circuits de filtrage pour la norme DECT en terme de SNR.	165
6.19	Performances des circuits de filtrage pour la norme GSM en terme de SNR.	166
A.1	Spectre du bruit et du signal à la sortie d'un modulateur Sigma-Delta.	174
A.2	Structure générale d'un modulateur Sigma-Delta	174
A.3	Modèle d'un quantificateur	174
A.4	Densité spectrale du bruit normalisée	175

Introduction Générale

L'histoire de l'économie contemporaine nous renseigne que depuis le début du 20^{ème} siècle l'introduction sur le marché de technologies innovantes a toujours été à l'origine du développement des secteurs associés. Ceci s'applique parfaitement au secteur des télécommunications qui occupe de nos jours la première place des secteurs économiques à forte croissance. En effet, ce secteur a été propulsé depuis le début des années 80 par la mise sur le marché des techniques de transmission numérique dans le RTCP (réseau téléphonique commuté public), le début des années 90 a été marqué par l'introduction en masse de la radio téléphonie mobile et le service Internet ainsi que toutes les technologies des réseaux haut débits.

La crise récente du secteur des télécommunications a motivé d'avantage les chercheurs et les industriels à explorer de nouveaux concepts qui apporteront une nouvelle révolution technologique. Le choix de développement a été presque focalisé vers la consolidation des services mobiles qui doivent supporter un fonctionnement multiservices à hautes performances et à coûts réduit d'infrastructure. Ainsi, de nombreuses contributions ne cessent d'être apportées tant au niveau algorithmique qu'au niveau architectures matérielles. C'est dans ce cadre bien particulier qu'un nouveau concept de radio multiservices et configurable est entrain d'être défini et qui porte déjà le nom de "Software Radio" ou "Radio Logicielle" en français [1–5]. Ce concept vise un objectif très ambitieux de disposer d'infrastructure radio complètement numérique et programmable permettant de supporter avec les mêmes circuits matériels différents types de standards de radiocommunications (GSM, DECT, UMTS, WiFi,...) et différents services (phonie, données, image, video, interactivité,...) [1, 4, 6].

La complexité de la mise en œuvre d'un tel objectif vient des contraintes des technologies radio actuelles pour assurer les fonctionnalités de la radio logicielle avec des dispositifs à faible encombrement, faible consommation et surtout à coût réduit. Parmi ces contraintes technologiques on peut citer la complexité de réalisation d'antennes intégrables

multi bandes [7–9], les non linéarités des circuits RF qui dégradent leurs performances spectrales et énergétiques [10], les problèmes de dérive des caractéristiques et les difficultés de programmabilité des circuits analogiques [11], les limites en rapidité et résolution des techniques de conversion analogique numérique [12], les limites des capacités de traitement des processeurs numériques ajouté au problème de consommation et d'échauffement des circuits à haute vitesse [13, 14]. De même, l'utilisation de différentes technologies de semi-conducteurs pour les différents étages d'un système radio pose un problème d'intégrabilité de ce dernier [15].

Ainsi, et pour faire face à ces difficultés technologiques les équipes de chercheurs à travers le monde ont préféré concentrer leurs efforts chacun sur la proposition de nouvelles solutions partielles pour s'approcher des objectifs de la radio logicielle. Dans ce cadre les travaux de recherche menés avancent dans différents axes selon les spécialités des chercheurs. On distingue l'axe de l'intelligent RF qui vise le développement de nouvelles techniques et nouveaux circuits RF large bande, programmables, intégrables, à haute sensibilité côté réception et haute efficacité énergétique et spectrale côté émission [16, 17]. Le deuxième axe concerne la numérisation des signaux radio en s'intéressant aux techniques et circuits de conversion analogique / numérique et de sélection des canaux radio des signaux large bande et à grande plage dynamique [18]. Le troisième axe concerne l'optimisation de l'implantation logicielle reconfigurable sur cibles DSP des algorithmes de traitement en bande de base [5].

Le sujet de cette thèse vise en particulier le concept de sélection numérique des signaux radio qui représente l'élément clé pour la concrétisation d'une solution de réception radio multistandard. Les travaux de recherche publiés ces dernières années ont proposé des cascades de filtres FIR numériques pour des normes de deuxième génération (GSM, DECT, PHS, IS95, ...) [19, 20]. Néanmoins, les résultats de recherche présentés dans ce domaine se limitent à des descriptions techniques dédiées à des applications particulières sans pour autant présenter un caractère général et une claire méthode de mise en œuvre.

Ainsi, et dans le but d'apporter une contribution scientifique significative à ce type de problématique, nous nous sommes particulièrement attachés, dans cette thèse, à analyser les aspects de mise en œuvre d'un récepteur radio multistandard adapté à la fois aux anciennes (2G, 2.5G) et nouvelles générations radio (3G, 4G, ...) et ceci par la recherche d'architectures système et de topologies de circuits offrant des fonctionnalités large bande, multi-bande, intégrable, programmable et à faible consommation. Nous nous sommes intéressés aux étages radio fréquence (RF) et de numérisation des signaux radio (conversion analogique/numérique et filtrage de sélection de canaux). Le rapport de cette thèse se compose de trois parties.

La première partie qui concerne la conception du récepteur radio multistandard est structurée en deux chapitres.

- Le premier chapitre est consacré à la définition de l’architecture d’un tel récepteur radio multistandard. Nous commençons par une mise en évidence de la problématique et des exigences de la réception multistandard en mettant l’accent sur la diversité des normes de radio communications et en présentant la solution de la radio logicielle. Dans le but de définir une structure optimisée de réception radio large bande et multi-bande nous étudions la mise en œuvre de ces deux aspects dans le mode de sélection des canaux radio, l’architecture RF ainsi que la technique de conversion analogique numérique. Nous terminons ce chapitre par la présentation des choix adéquats et justifiés pour les différents étages du récepteur radio multistandard qui seront pris en considération dans la suite du travail de recherche.
- Dans le deuxième chapitre, nous définissons une méthode de dimensionnement d’un récepteur radio multistandard. Après un rappel des définitions et des expressions analytiques des différents paramètres caractéristiques d’un récepteur radio, nous proposons des méthodes graphiques et analytiques pour calculer les paramètres globaux du récepteur (gain, facteur de bruit, facteurs de linéarité et d’intermodulation, dynamique, ...) ainsi que les gabarits des filtres RF et anti-repliement. La méthode ainsi définie sera appliquée pour dimensionner un récepteur multistandard supportant les normes UMTS, DECT et GSM. Un modèle de simulation, ADS d’Agilent Technology, du récepteur radio sera défini puis exploiter pour valider les résultats de dimensionnement.

La deuxième partie du rapport est consacrée aux spécifications et à l’optimisation du filtrage de sélection des canaux. Elle est aussi organisée en deux chapitres.

- Dans le troisième chapitre nous rappelons d’abord le principe de décimation des signaux radio et nous étudions les structures de filtrage de décimation présentées dans la littérature puis nous justifions la structure de filtrage optimisée pour le récepteur radio multistandard. En seconde étape nous allons nous intéresser à la définition des spécifications des étages de sélection des canaux radio en cherchant à proposer une méthodologie pratique pour ce type de problème vu le manque dans la littérature de méthodes généralisées pour la détermination des spécifications des filtres de décimation de signaux radio large bande et multi-bande. Dans un souci de faisabilité pratique nous chercherons à appliquer cette méthode aux cas des normes UMTS, DECT et GSM afin de déterminer numériquement les spécifications des filtres qui seront utilisées dans la suite de nos études.
- Le quatrième chapitre est consacré à la synthèse et l’optimisation des circuits de

filtrage. Ainsi, par rapport à l'utilisation classique des filtres FIR pour ce type de problème, nous avons cherché à explorer, pour la première fois dans ce contexte, la possibilité de faire appel à des filtres IIR connus pour avoir un ordre plus réduit que leur équivalent FIR pour le même gabarit. Cette étude est d'autant plus difficile qu'il fallait linéariser la phase des filtres IIR pour respecter les exigences des modulations utilisées dans les standards de radiocommunications. Trois techniques de synthèse de filtres IIR à phase presque linéaire sont étudiées et leurs résultats sont comparés en terme de complexité des filtres obtenus. Avant de procéder au choix final des types de filtres à utiliser une étude comparative détaillée est présentée en tenant compte de tous les paramètres liés à la complexité d'implantation des circuits de filtrage tels que le nombre de cases mémoire, la taille des données, le nombre de registres, le nombre de transitions par seconde ainsi que la consommation d'énergie.

La troisième et dernière partie du mémoire est dédiée à l'implantation matérielle du processeur de filtrage de sélection numérique des signaux et regroupe aussi deux chapitres.

- Dans le cinquième chapitre nous nous intéressons à l'optimisation de l'architecture matérielle des circuits de filtrage. Dans un premier niveau d'optimisation nous cherchons à optimiser la définition des opérateurs de traitement de base (additionneur, multiplieur). Dans ce cadre nous comparons les architectures d'additionneur à retenue propagée et conservée, avec calcul de préfixe et additionneur série ainsi que les architectures de multiplicateur parallèle-série et recodage modifié de Booth. Dans un deuxième niveau d'optimisation nous analysons d'une manière précise l'architecture conventionnelle de filtrage par rapport aux approches avancées basées sur l'arithmétique distribuée et sur le partage d'éléments communs des coefficients.
- Le sixième chapitre est consacré à l'implantation matérielle et à la validation expérimentale des performances du processeur de filtrage de sélection de canaux développé tout au long de ce travail de recherche. Ainsi les schémas de conception des circuits de filtrage, tout en comparant les architectures d'implantation, seront présentés en indiquant les paramètres de configuration et les ports d'entrées/sorties. Pour tenir compte de tous les aspects d'implantation expérimentale du processeur de filtrage développé une étude détaillée est présentée sur l'organisation des commandes et la gestion des flux de données pour les différents circuits. La faisabilité expérimentale du processeur est explorée à travers l'analyse des résultats de synthèse sur FPGA Stratix de la firme Altera.

Conception du Récepteur Radio Multistandard

Chapitre 1

Définition de l'architecture d'un récepteur multistandard

1.1 Introduction

Dans ce premier chapitre nous allons définir une architecture bien adaptée à la réception multistandard. Dans une première partie nous allons mettre en évidence l'intérêt pratique et économique d'un tel récepteur. Puis nous allons mettre en évidence les problèmes liés à ce contexte de réception. Ces problèmes sont essentiellement dus au grand écart entre les spécifications physiques des différentes normes de radio communications. En effet, ces normes ont beaucoup évolué ces dernières années [21–23]. Elles supportent de nouveaux services demandant de plus en plus de bande passante et nécessitent des circuits avec des grandes capacités de traitement des signaux à grande dynamique dans un environnement hostile, tout en garantissant une bonne qualité de service. Compte tenu des exigences d'un tel récepteur nous allons étudier dans une deuxième partie les différentes techniques de réalisation d'architectures de réception multistandard en s'intéressant aux mode analogique et numérique de sélection des canaux radio, aux architectures RF large bande et multibande ainsi qu'aux circuits de numérisation des signaux large bande. Dans la dernière partie de ce chapitre nous allons proposer une démarche pour optimiser le choix de l'architecture de réception en proposant une structure RF large bande qui sera analysée puis ajustée pour une réception multistandard tout en vérifiant sa faisabilité technologique.

1.2 Problématique et exigences de la réception multi-standard

Dans un contexte de services radio multistandard l'infrastructure matérielle des équipements de réception (stations de base et terminaux utilisateurs) doit être capable de traiter des signaux radio correspondant à une multitude de normes avec des caractéristiques différentes, tant au niveau de la couche physique qu'au niveau des couches protocolaires. Les paragraphes qui suivent contiennent une analyse de quelques aspects fondamentaux de la réception multistandard.

1.2.1 Diversité des normes de radio communications

Les normes sont des accords documentés contenant des spécifications techniques ou autres critères précis destinés à être utilisés systématiquement en tant que règles, lignes directrices ou définitions de caractéristiques pour assurer que des matériaux, produits, processus et services sont aptes à leur emploi.

Les normes de radio communications ont connu un développement rapide avec l'introduction des services radio mobile dans les télécommunications publiques vers le début des années 90. De nos jours, on voit apparaître un nombre de plus en plus important de normes radio correspondant à différents services (voir Figure 1.1). Chacune de ces normes se caractérise par un ensemble de paramètres tels que les services et la qualité offerts, la bande occupée, le type de modulation, la sensibilité, le profil des bloqueurs et des interférants. La Figure 1.2 illustre l'occupation spectrale de quelques normes radio.

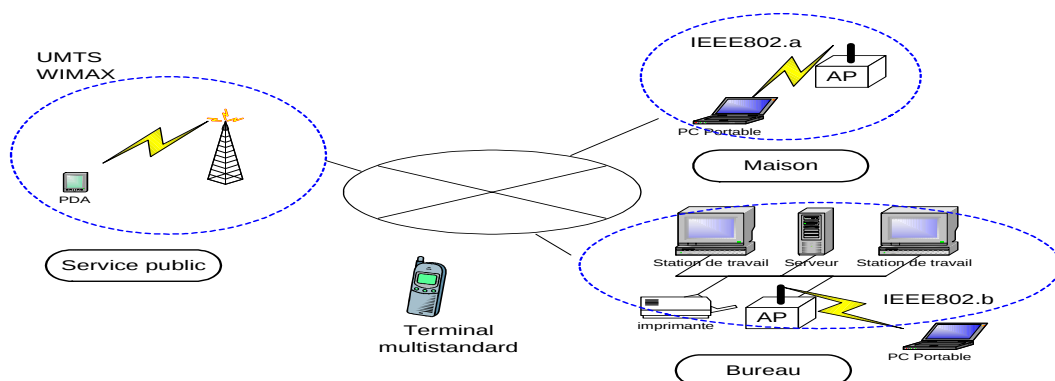


Figure 1.1 – Synoptique de services multistandard.

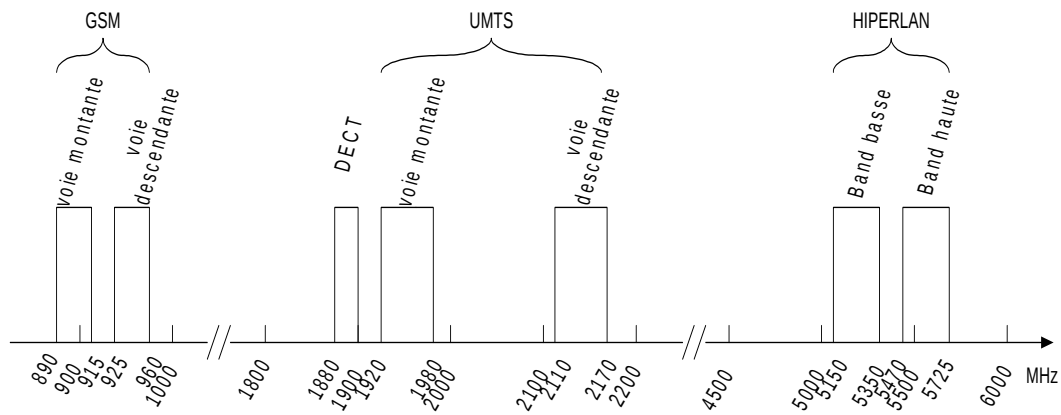


Figure 1.2 – Occupation spectrale des normes de radio communications.

L'utilité de la réception multistandard s'impose à mesure que les normes prolifèrent. La téléphonie mobile compte à elle seule plusieurs générations : la 2G avec principalement le GSM, l'IS95, la 2,5G comptant le GPRS et L'EDGE, la 3G comprenant l'UMTS, le W-CDMA, le CDMA 2000 et on parle aujourd'hui de la 4G avec le WIMAX, sans oublier les réseaux locaux sans fil tels que bluetooth, WI-FI ou encore IEEE802.20 [24]. Les principales différences entre ces générations sont indiquées sur le Tableau 1.1.

	1G	2G	3G	4G
Technique de transmission	FM	QPSK, GMSK	CDMA	OFDM
Débit	-	5-40 kbps	0.010 - 10 Mbps	100-500 Mbps
Défit Technologique	Integration	compression de données	Multi-trajet	Consommation
Traitement numérique	4 MIPS	40 MIPS	400 MIPS	4 GIPS

Tableau 1.1 – Evolution des normes de radio communication mobile.

Pour mettre en évidence la diversité des spécifications des normes radio nous nous proposons d'analyser, pour 4 normes des générations (2G, 3G et 4G) les principales caractéristiques qui entrent en jeu dans la conception des récepteurs radio. Ainsi, et comme le montrent les données du Tableau 1.2, pour les normes GSM, DECT, UMTS et IEEE 802.11a le récepteur multistandard doit être capable de traiter des signaux dont la diversité est illustrée comme suit :

- * Fréquences radio variant de 890 MHz à 5825 MHz
- * Bandes radio variant de 35 MHz à 675 MHz
- * Largeur de bande des canaux variant de 0.2 MHz à 20 MHz
- * Modulation à bande étroite : GMSK, GFSK et large bande : QPSK/CDMA et M-QAM/OFDM.

	GSM	DECT	UMTS	IEEE 802.11a
Voie montante (MHz)	890-915	1880-1900	1920-1980	5150-5825
Voie descendante (MHz)	825-960	-	2110-2170	-
Largeur de bande (MHz)	35	20	60	675
Largeur de canal (MHz)	0.2	1.4	3.84	20
Modulation	GMSK	GFSK	QPSK-CDMA	M-QAM-OFDM

Tableau 1.2 – Caractéristiques techniques de différentes normes de radio communication.

1.2.2 Intérêts et exigences de la réception multistandard

La concrétisation matérielle de la réception multistandard présente surtout un intérêt d'exploitation pour l'utilisateur des services radio mobile qui disposera d'un terminal universel compatible avec différents standards de radiocommunications. Ceci présente un avantage à la fois de confort et d'économie pour l'utilisateur qui aura la souplesse d'utiliser ce terminal unique pour différents réseaux et dans différents pays. De même ce type de concept favorisera d'avantage la co-existence et l'interopérabilité des différents réseaux radio : cellulaires, VSAT, WLL, WLAN, ... Il limitera aussi les coûts matériels additionnels lors des migrations d'une génération de système radio vers la suivante. Ainsi, la réception multistandard aura aussi un impact positif à l'échelle macroéconomique.

Les exigences de la réception multistandard concernent d'abord les aspects fonctionnels mais la mise en œuvre pratique d'un tel concept nécessite aussi le respect d'autres exigences en terme de performances, de portabilité et de coût.

D'un point de vue fonctionnel, la réception multistandard nécessite des circuits capables de traiter des signaux large bande, à grande plage dynamique et autour de différentes fréquences porteuses. L'architecture matérielle de réception doit pouvoir supporter différentes techniques de communication (modulation, codage, filtrage,...) ainsi que différentes techniques d'accès (TDMA, FDMA, CDMA, SDMA,...) et différents protocoles et services de communication.

La mise en œuvre d'une solution matérielle de réception multistandard est d'autant plus difficile que la réalisation des exigences fonctionnelles doit se faire tout en garantissant de hautes performances de communication avec une complexité matérielle réduite qui permettra de respecter les contraintes en termes d'encombrement, de consommation et de coût du terminal radio multistandard.

Toutes ces exigences qui deviennent de plus en plus sévères avec les nouvelles normes radio 3G et 4G nécessitent l'établissement de méthodologies et de techniques originales et innovantes permettant d'assurer la faisabilité de réalisation de terminaux radio multistan-

dard. Le nouveau concept de la Radio Logicielle “Software Radio” de par sa définition permettra d’atteindre cet objectif mais le développement de ce nouveau concept est encore au stade de recherche.

1.2.3 Solution de la radio logicielle

Le concept radio logicielle a été introduit par J. Mitola [1]. Il s’agit d’une formalisation d’idées et de concepts radio sans fil portant sur l’adaptation à l’environnement, l’intelligence du réseau et du terminal, l’indépendance du terminal vis à vis du réseau et la transparence de la technique vis à vis de l’utilisateur.

Pour un émetteur/récepteur radio, l’application de la radio logicielle signifie la possibilité de définir par logiciel les fonctionnalités typiques de l’interface radio habituellement implantées par des circuits matériels dédiés. Ainsi le logiciel sera utilisé pour définir : la fréquence porteuse, la largeur de bande du canal radio, les schémas de modulation et de codage, les ressources radio et les protocoles de gestion de mobilité ainsi que les applications utilisateurs.

Du point de vue matériel, le schéma idéal d’un terminal radio ne comportera, selon le concept Software Radio, en partie analogique que l’antenne, le filtre passe bande (BPF) et l’ampli à faible bruit (LNA) (voir Figure 1.3).

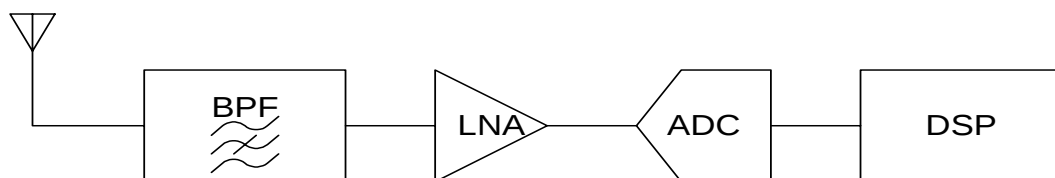


Figure 1.3 – Schéma idéal d’un récepteur Software Radio.

Actuellement, la réalisation de cette architecture idéale de la radio logicielle reste assez utopique à cause de nombreuses contraintes technologiques. Les travaux de recherche en cours dans ce domaine visent deux principaux objectifs : premièrement, le déplacement, dans les TX et RX, de la limite entre les parties analogiques et numériques vers la fréquence radio (RF) en utilisant des convertisseurs analogique-numérique (ADC) et numérique-analogique (DAC) large bande le plus proche possible de l’antenne. Deuxièmement, en remplaçant les circuits intégrés à application spécifique (ASICs) (matériel dédié) par des DSPs (implantation logicielle) pour le traitement en bande de base dans le but de réaliser le plus possible de fonctionnalités radio par logiciel [4].

Etant donné que les ressources technologiques actuelles ne permettent pas la réalisation du schéma idéal du Software Radio, les constructeurs des téléphones portables ont développé une solution dite “Software Defined Radio” SDR qui permet de tirer profit de la programmabilité du traitement en bande de base en utilisant des DSP [5]. L’architecture matérielle d’une telle solution est composée, comme le montre le schéma de la Figure 1.4, d’un étage RF analogique, d’un étage FI (fréquence intermédiaire) et d’un étage bande de base numérique. Cette architecture fait encore appel à la structure conventionnelle du récepteur superhétérodyne qui offre de très bonnes performances de point de vue sensibilité et sélectivité. Cependant, cette architecture ne garantit un fonctionnement multistandard que pour le traitement en bande de base puisqu’il est programmable grâce à son implantation logicielle. Par ailleurs, la réception multistandard exige surtout des possibilités de réception de signaux RF multi-bandes et des signaux information multicanaux large bande avec une programmabilité de sélection des canaux radio. De point de vue topologie le récepteur SDR peut assurer certaines fonctionnalités multistandard à condition de dimensionner les circuits des étages RF et IF pour ce type de traitement de signal. Afin de mieux analyser ce problème nous proposons de détailler l’étude de ces aspects dans le paragraphe 1.3.

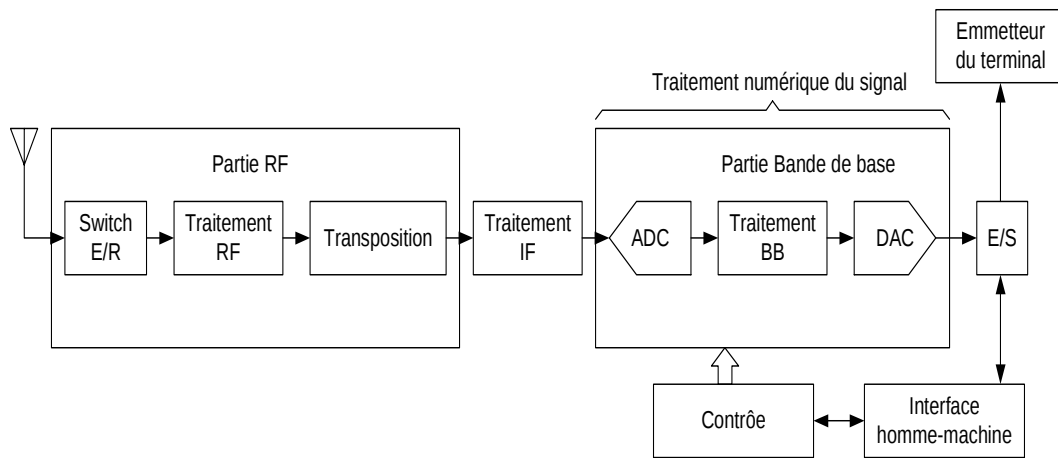


Figure 1.4 – Schéma de l’architecture Software Defined Radio (SDR)

1.3 Techniques de réalisation de topologies de réception multistandard

D'après le paragraphe 1.2.3, l'application d'approche radio logicielle permet la programmabilité du traitement en bande de base des signaux radio multistandard (modulation, codage, protocoles d'accès et services de communication) et ceci par une implantation sur DSP de ces différents algorithmes.

Cependant la tâche la plus difficile reste l'acheminement à l'étage DSP des signaux radio multistandard en utilisant une architecture de réception unique. Une telle architecture de réception doit permettre de répondre, essentiellement, aux exigences des suivantes :

- * Signaux RF multi bande
- * Signaux large bande multicanaux
- * Signaux à grande plage dynamique

Dans notre démarche conceptuelle de définition d'architecture de réception multistandard nous proposons d'abord d'étudier les modes de sélection des canaux radio afin de définir le mode optimiser pour la réception multistandard et qui sera considéré dans les architectures RF à étudier.

1.3.1 Modes de sélection des canaux radio

Le récepteur doit être en mesure d'effectuer la sélection du canal désiré. Et ceci même en présence de signaux interférants dont la puissance est supérieure à celle du canal. La Figure 1.5 illustre le principe de sélection de canal.

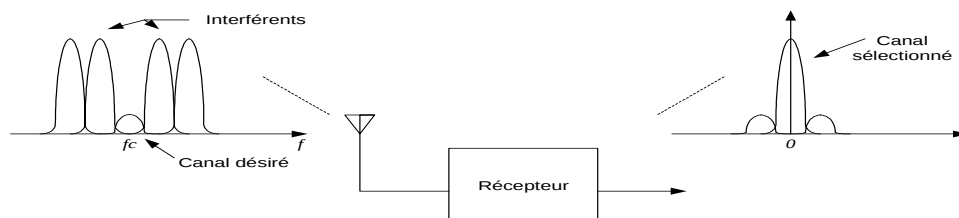


Figure 1.5 – Principe de sélection de canal.

Le choix du type de convertisseur analogique/numérique dépend du choix du domaine, analogique ou numérique, où opérer la sélection du canal. La sélection du canal dans le

domaine analogique (voir Figure 1.6) est effectuée en utilisant des filtres RC actifs ou passifs qui doivent être très sélectifs et capables de traiter des signaux à grande dynamique. Dans ce cas, la plage dynamique du convertisseur A/N sera très réduite mais il sera très difficile d'obtenir la programmabilité requise par le multistandard.

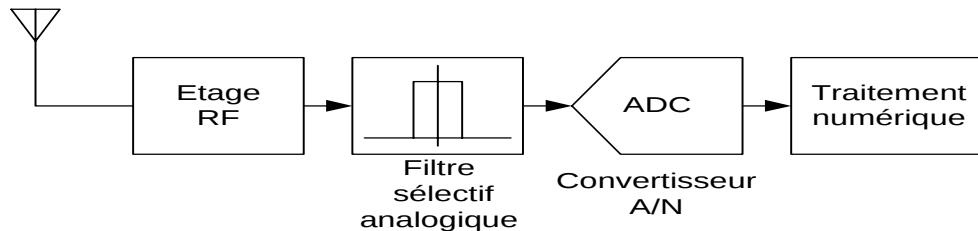


Figure 1.6 – Schéma bloc d'un récepteur avec sélection analogique des canaux radio.

Il devient alors intéressant, pour le multistandard, d'opter pour une sélection du canal dans le domaine numérique (voir Figure 1.7). Dans ce cas l'ADC doit avoir une linéarité élevée ainsi qu'un bruit thermique et un bruit de quantification nettement inférieurs au niveau du signal. Un filtre anti-repliement et un amplificateur à gain variable (AGC) doivent être placés à l'entrée de l'ADC pour alléger les contraintes sur ce dernier [25].

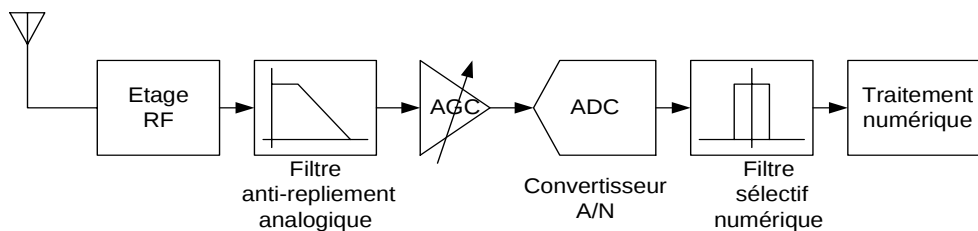


Figure 1.7 – Schéma bloc d'un récepteur avec sélection numérique des canaux radio.

Compte tenu des possibilités de programmabilité offertes par la sélection numérique des canaux nous considérons ce choix conceptuel dans la suite de ce travail de recherche. Cependant, ce choix nécessite la définition d'architecture RF garantissant à la fois les aspects large bande et multibande. Nous proposons d'étudier ces deux aspects dans le paragraphe 1.3.2.

1.3.2 Récepteur RF large bande et multibande

a. Aspect large bande

Les normes de radio communications récentes visent des débits de plus en plus élevés et occupent ainsi des bandes de plus en plus larges. D'où la nécessité d'un récepteur large bande pour la radio multistandard.

En se basant sur l'état de l'art des architectures de réception RF [11, 26, 27], nous pouvons identifier les deux classes d'architectures suivantes qui permettent la réalisation de récepteurs large bande :

- architectures à fréquence intermédiaire (IF)
- architectures à conversion directe (homodyne)

a.1 Architectures de réception à fréquence intermédiaire

Les architectures de réception à fréquence intermédiaire nécessitent une rejection de la fréquence image. Les travaux récents font état de trois techniques pour la réalisation de récepteur IF large bande.

La première technique nommée “wide-bande IF”, utilise la méthode de weaver, comme le montre le schéma de la Figure 1.8 [28], pour la rejection de la fréquence image.

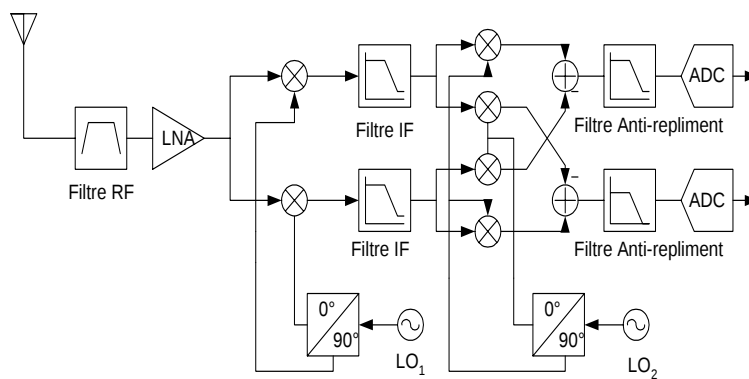


Figure 1.8 – Architecture de réception wide-bande IF.

Un cas particulier de cette architecture large bande est l'architecture à faible fréquence intermédiaire dite “wide-bande Low IF” [29]. Cette architecture transpose la bande reçue vers une fréquence intermédiaire suffisamment faible pour que le niveau de la fréquence

image soit celui des premiers interférants dont la puissance est généralement équivalente à celle du canal. Ceci permet de relâcher les contraintes sur la rejection nécessaire.

Ces deux architectures présentent une complexité matérielle à cause de l'utilisation de six mélangeurs analogiques.

La troisième architecture dite "IF-sampling" (Figure 1.9) permet une transposition analogique en quadrature, puis après la numérisation du signal IF la transposition en bande de base se fait par un traitement numérique. Ce type d'architecture exige une dynamique élevée du convertisseur analogique numérique [30].

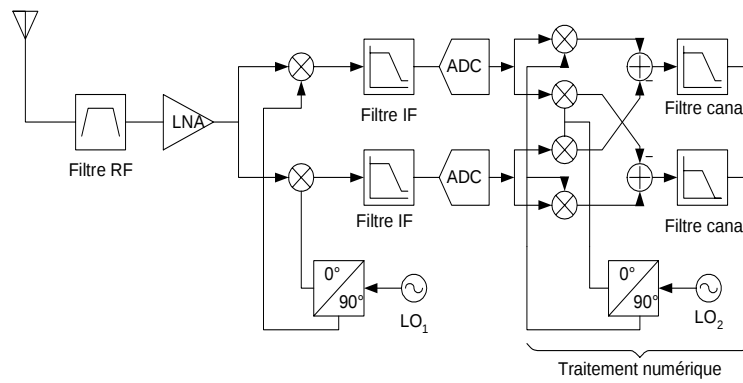


Figure 1.9 – Architecture de réception IF-sampling.

a.2 Architectures de réception à conversion directe

Les architectures de réception à conversion directe sont bien adaptées à la réception large bande [31]. Elles utilisent une transposition en quadrature pour ramener la bande directement en bande de base (Figure 1.10) réduisant ainsi les circuits la partie RF [32].

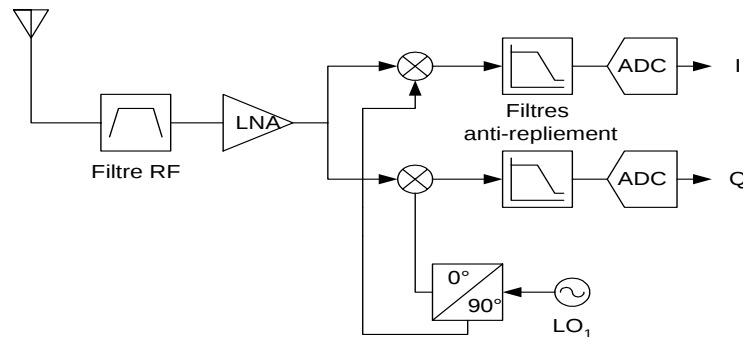


Figure 1.10 – Architecture de réception à conversion directe.

b. Aspect multibande

La réception multistandard exige en plus du caractère large bande un fonctionnement multibande. Ainsi, nous nous proposons d'étudier dans ce paragraphe comment doter les architectures large bande de l'aspect multibande et ceci en exploitant les possibilités de fonctionnement en multibande de tous les circuits de la chaîne de réception RF : antenne, filtre RF, LNA, mélangeur et enfin le filtre anti-repliement.

L'antenne constitue le premier élément de la chaîne de réception. La technologie actuelle des antennes PIFA (Planar Inverted-F Antenna) permet de réaliser des antennes multibandes suffisamment intégrées ainsi que large bande [7–9].

Les filtres RF qui permettent de sélectionner toute la bande de réception peuvent être multibandes si les bandes de réception ne sont pas trop éloignées. Si ce n'est pas le cas, la réception multibande nécessitera l'utilisation de plusieurs filtres RF pour sélectionner les bandes des différents standards. La sélection du filtre RF correspondant au standard en cours d'utilisation se fera par des switches analogiques (Figure 1.11) [33, 34].

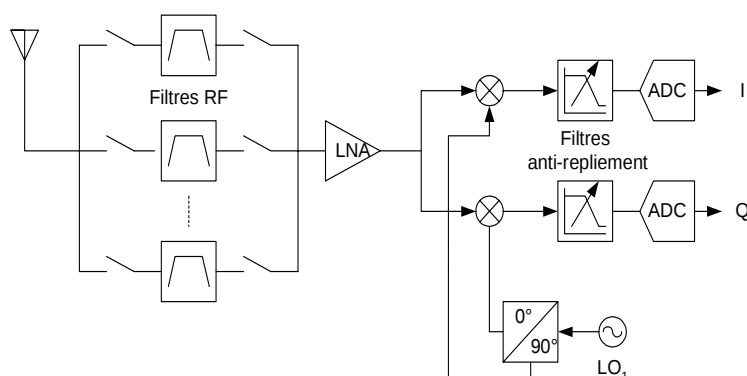


Figure 1.11 – Architecture de réception multistandard.

Le LNA choisi doit avoir une bande passante suffisamment large pour contenir les bandes des normes choisies [35]. Certains fabricants tels que Analog Devices offrent des LNAs qui peuvent opérer dans la bande de la norme GSM ainsi que celle de la norme UMTS. Il existe des travaux de recherches sur la réalisation des LNA multibande qui peuvent être utiles lors d'une réception multistandard [36].

L'étape qui suit l'amplification du signal, est la transposition de la bande vers les basses fréquences. La réception multibande augmente les contraintes sur le synthétiseur de fréquence local car la gamme de fréquence à synthétiser est plus large. Les synthétiseurs à modulation $\Sigma\Delta$ sont conseillés pour ce type d'application [32, 37, 38].

La dernière étape avant la numérisation du signal est le filtrage anti-repliement. Ce type de filtre peut être commandé pour s'adapter à chaque standard en ayant recours à des filtres Gm-C ou MOS-C par exemple [33]. La Figure 1.11 illustre le schéma général de l'architecture de réception multistandard.

1.3.3 Numérisation des signaux large bande

L'un des points critiques de la radio logicielle est la numérisation des signaux, c'est à dire la conversion analogique numérique. Il est difficile aujourd'hui d'envisager des solutions de numérisation en RF, c'est à dire juste après l'antenne. En effet, la dynamique du signal à l'entrée du convertisseur peut s'avérer très importante, surtout, si l'on considère des récepteurs fonctionnant pour plusieurs systèmes radio. Par conséquent, le nombre de bits de quantification nécessaires pour coder l'échantillon en numérique doit être important. Il peut être diminué en augmentant la vitesse d'échantillonnage mais il existe là encore des limitations technologiques. C'est pourquoi la numérisation des signaux multistandard large bande n'est envisageable qu'en IF après un premier filtrage qui limite la bande passante du signal à numériser [33]. De même les circuits des convertisseurs analogique numérique doivent être à faible consommation et avoir une surface minimale pour augmenter le taux d'intégration. Nous proposons d'étudier dans ce paragraphe les types de convertisseurs adaptés à la numérisation des signaux large bande :

a. convertisseur de type Nyquist à comparaison directe

Le convertisseur de type Nyquist à comparaison directe dit flash, comporte un réseau de comparateurs mis en parallèle. Un codage sur n bits nécessite 2^{n-1} comparateurs et résistances (Figure 1.12).

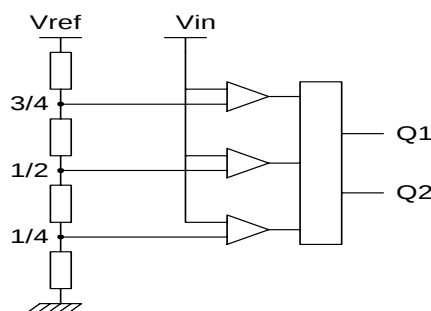


Figure 1.12 – Schéma de principe d'un convertisseur flash à 2 bits.

La conversion est faite en un coup d'horloge, c'est un système très rapide mais coûteux en terme de surface silicium et consommation de puissance [39]. Nous pouvons diminuer la surface de silicium nécessaire en effectuant la conversion sur deux étapes. Pendant la première étape un convertisseur flash est utilisé pour déterminer les bits de poids fort. En deuxième étape, la tension des bits de poids forts est soustraite de la tension d'entrée pour déterminer les bits de poids faibles (voir figure 1.13). Ce type de convertisseur dit semi-flash. permet d'augmenter la résolution tout en diminuant la surface mais, cela, au dépend du temps de conversion.

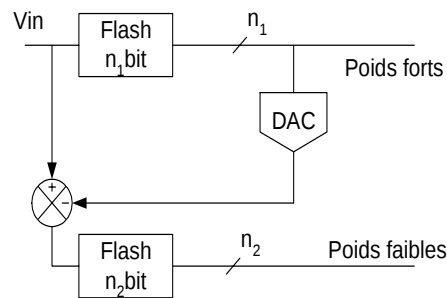


Figure 1.13 – Schéma de principe d'un convertisseur semi-flash à n bits

b. Convertisseur Pipeline

Le convertisseur Pipeline, aussi de type Nyquist se comporte comme un convertisseur semi-flash auquel un échantillonneur bloqueur est ajouté entre chaque étage (voir Figure 1.14) [39]. Si le convertisseur est composé de n étages alors à chaque coup d'horloge n conversions sont effectués en parallèle. Chaque conversion est dédiée à une partie du code en commençant par les bits de poids forts et finissant par les bits de poids faibles. Ce convertisseur possède un temps de latence dû à la propagation de l'entrée dans les différents étages. Cependant, une fois tous les étages ayant reçu une entrée, un code est délivré à chaque coup d'horloge.

Ce type de convertisseur impose des contraintes sévères sur le filtre anti-repliement d'entrée. En effet, si la bande du signal à numériser est proche de la fréquence de Nyquist, la bande de transition du filtre sera très étroite.

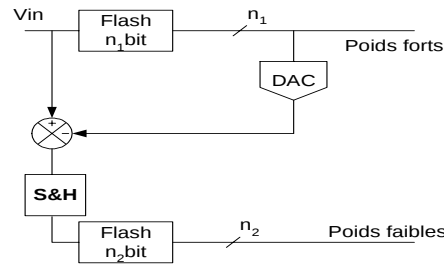


Figure 1.14 – Schéma de principe d'un convertisseur pipeline

c. Convertisseur à suréchantillonnage

Dans un convertisseur de type Nyquist, l'amélioration du rapport signal à bruit nécessite une augmentation du nombre de bits, c'est à dire la précision. Dans les convertisseurs à suréchantillonnage, le bruit de quantification est étalé sur une bande de fréquence plus large améliorant ainsi le rapport signal sur bruit. Un gain de 3 dB est obtenu sur le rapport signal à bruit à chaque fois que l'on double la fréquence d'échantillonnage. Cette technique permet ainsi d'améliorer la résolution [12].

Les performances des convertisseurs à suréchantillonnage peuvent être améliorées en utilisant la technique Sigma-Delta ($\Sigma\Delta$) [18]. Cette technique permet de moduler le bruit de quantification vers les hautes fréquences améliorant ainsi le rapport signal à bruit (Figure 1.15).

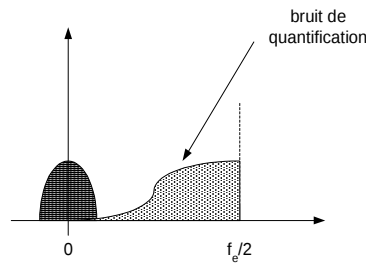


Figure 1.15 – Spectre du bruit et du signal à la sortie d'un modulateur Sigma-Delta.

1.4 Optimisation de l'architecture d'un récepteur multistandard

La structure d'une chaîne de réception peut être représentée d'une manière générale par la Figure 1.16. La chaîne de réception est composée d'une partie radiofréquence analogique réalisant les fonctions de filtrage, d'amplification et de transposition de fréquence (mélangeur). Un convertisseur A/N assure la transition entre la partie analogique et la partie numérique du récepteur. Le dernier étage assure le traitement numérique en bande de base.

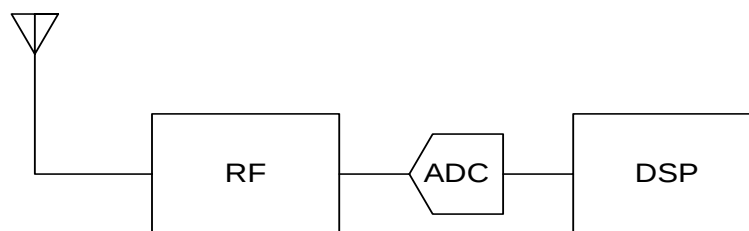


Figure 1.16 – Architecture générale d'un récepteur

La multitude des fonctions à réaliser depuis l'antenne jusqu'à la partie numérique impose le recours à différentes technologies de fabrication des circuits. En effet, certains blocs de la partie de réception RF sont réalisés en technologie AsGa tels que les switches d'antennes, d'autres le sont en technologie SiGe ou BiCMOS tels que les LNAs. Les filtres RF sont réalisés à base de composants à onde de surface (SAW) ou de volume (BAW). Les filtres à ondes acoustiques de volume peuvent être intégrés directement sur du silicium et sont compatibles avec les éléments micro-électroniques. Quant à la partie numérique, elle utilise la technologie CMOS. Un tel système Multi-technologique reste difficilement intégrable et présente un coût élevé.

Ainsi, plusieurs travaux de recherche ont été menés ces dernières années pour le développement d'architectures radio monolithique en technologie CMOS vu son faible coût et sa capacité d'offrir la possibilité d'intégrer les parties analogique et numérique dans une seule puce : on parle de "System on Chip (SoC)" [25].

1.4.1 Configuration de la structure d'un récepteur RF homodyne

Comme il a été décrit dans le paragraphe 1.2.2, l'architecture de réception radio la mieux adaptée pour le multistandard doit garantir le maximum de reconfigurabilité. Ceci n'est facilement réalisable que si une grande partie du traitement du signal reçu se fait dans le domaine numérique. De même, cette architecture doit être suffisamment intégrable pour limiter la surface occupée et la consommation. Ces critères font de l'architecture homodyne une proposition intéressante pour la réception multistandard [6, 25, 40, 41]. En effet, l'architecture homodyne est une architecture large bande qui transpose directement le signal en bande de base et laisse au reste de la chaîne, constituée par le convertisseur analogique numérique et l'étage numérique, le soin de filtrer et de sélectionner le canal.

Les techniques de modulation utilisées dans les standards actuels de radio communication nécessitent l'utilisation d'architecture homodyne à 2 voies I et Q (Figure 1.10) et ceci pour ne pas perdre l'information sur la phase et l'amplitude du signal reçu [42].

L'architecture homodyne offre deux avantages par rapport aux architectures à fréquence intermédiaire :

- Le problème de la fréquence image est contourné $w_{IF} = 0$ donc, il n'est pas nécessaire d'utiliser un filtre image ni même le besoin de l'adaptation 50 Ohms avec le LNA.
- Le filtre IF à onde de surface et les étages suivants sont remplacés par un filtre passe bas et un amplificateur bande de base. Ceci facilitera l'intégration monolithique.

Bien que la structure d'un récepteur homodyne est moins complexe que les architectures IF large bande, elle présente les contraintes liées essentiellement au mauvais appariement des voies I et Q, ainsi que, le DC offset causé par la difficulté d'isoler les ports des circuits RF à la fréquence porteuse. Afin de justifier la faisabilité de l'utilisation de l'architecture homodyne, nous analysons dans les paragraphes suivants chaque contrainte et étudions les techniques de compensation possibles.

1.4.2 Analyse et compensation des contraintes du récepteur homodyne

a. Analyse et compensation du DC Offset

Le DC offset est un problème rencontré dans les architectures à conversion directe. Il a souvent été le principale obstacle au déploiement de ce type d'architecture.

a.1 Description du phénomène

Dans la pratique, l'isolation entre le port de l'oscillateur local, les entrées du mélangeur et l'amplificateur n'est pas infinie ; ce qui traduit à la fréquence porteuse un couplage entre le port de l'oscillateur et les entrées/sorties de l'amplificateur (voir les points A et B dans la Figure 1.17(a)). Le signal de l'oscillateur se trouve amplifié puis mélangé avec lui-même ce qui produit une composante de fréquence nulle au point C dite DC offset [40].

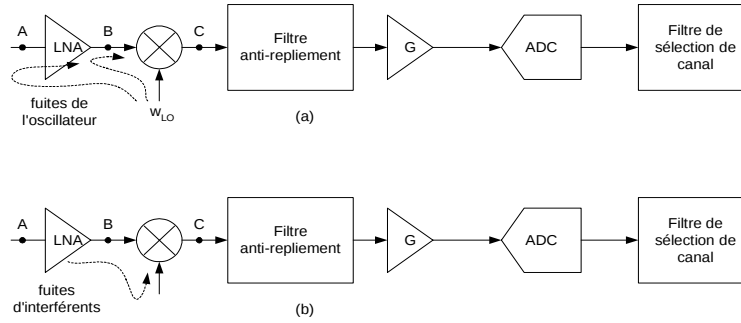


Figure 1.17 – Phénomène de DC offset dans l'architecture homodyne.

Un phénomène similaire se produit si des interférants fuient de la sortie de l'amplificateur ou de l'entrée du mélangeur vers l'oscillateur local (voir Figure 1.17(b)).

Le phénomène du “self-mixing” s'aggrave s'il varie dans le temps. Ceci se produit quand il y a des fuites de l'oscillateur vers l'antenne qui rayonne le signal puis reçoit le signal réfléchi sur des objets en mouvement.

a.2 Technique de compensation du DC offset

Un filtre passe-haut peut être une solution triviale pour éliminer le DC offset, mais généralement, le signal désiré présente un pic d'énergie à la fréquence zéro. Cette méthode n'est donc souhaitée que pour des canaux large bande car la perte de quelques kHz n'affecte pas le taux d'erreur binaire. Le problème du DC offset peut aussi être éliminé si on utilise, au niveau de l'émetteur, un encodage de manière à ce qu'il contienne peu d'énergie proche de la fréquence zéro [10].

Dans les systèmes radio TDMA, les terminaux entrent périodiquement en mode d'écoute pour permettre aux autres utilisateurs d'accéder à la station de base. Pendant ces périodes, le DC offset peut être emmagasiné dans une capacité pour qu'il soit soustrait au signal pendant la réception [42].

L'annulation du DC offset peut aussi être réalisée par des algorithmes numériques. La méthode consiste à calculer la moyenne du signal, sur une période suffisamment longue, puis la déduire du signal [43] (Figure 1.18).

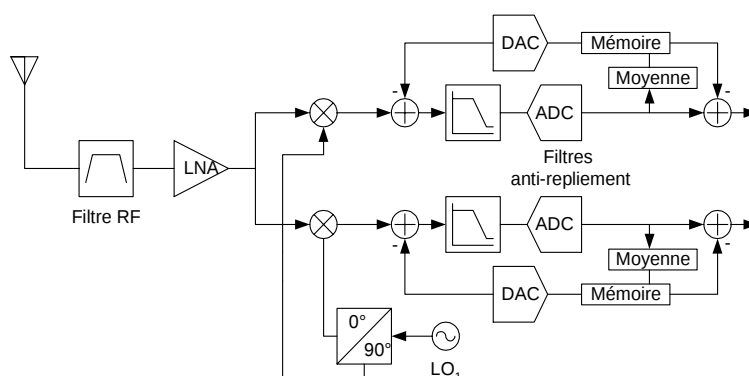


Figure 1.18 – Principe de compensation numérique du DC offset.

b. Analyse et compensation du déséquilibre des voies I et Q

Le problème du mauvais appariement entre les voies I et Q est toujours présent dans les architectures qui utilisent une double voie pour transposer un signal et rejeter son image.

b.1 Description du phénomène

Pour une modulation de phase et de fréquence le récepteur homodyne doit permettre une transposition en quadrature. Ceci nécessite un déphaseur de 90° du signal RF au niveau de l'oscillateur. Une erreur sur le déphasage et une différence entre les amplitudes des signaux en phase et en quadrature affectent la constellation du signal et augmentent le taux d'erreur binaire. Supposons que, le signal reçu est $x_{in}(t) = a \cos w_c t + b \sin w_c t$, où a et b prennent -1 ou +1. Supposons aussi que, les signaux I et Q de l'oscillateur sont décrits par le système d'équations (1.1) [10].

$$\begin{aligned} x_{LO,I}(t) &= 2(1 + \frac{\varepsilon}{2}) \cos(w_c t + \frac{\theta}{2}) \\ x_{LO,Q}(t) &= 2(1 - \frac{\varepsilon}{2}) \sin(w_c t - \frac{\theta}{2}) \end{aligned} \quad (1.1)$$

ε et θ sont, respectivement, l'erreur d'amplitude et de phase. Après multiplication de $x_{in}(t)$ avec les signaux de l'oscillateur et filtrage avec un filtre passe bas, nous obtenons les signaux en bande de base décrits par le système d'équations (1.2).

$$\begin{aligned} x_{BB,I}(t) &= a(1 + \frac{\varepsilon}{2}) \cos(\frac{\theta}{2}) - b(1 + \frac{\varepsilon}{2}) \sin \frac{\theta}{2} \\ x_{BB,Q}(t) &= -a(1 - \frac{\varepsilon}{2}) \sin(\frac{\theta}{2}) + b(1 - \frac{\varepsilon}{2}) \cos \frac{\theta}{2} \end{aligned} \quad (1.2)$$

La Figure 1.19 illustre l'effet des erreurs d'amplitude et de phase sur la constellation. Cet effet peut être mieux constaté dans le domaine temporel pour une démodulation QPSK. L'erreur sur le gain apparaît comme un facteur non unitaire sur l'amplitude. Par contre l'erreur sur la phase affecte le signal de chaque voie par les données de l'autre voie (Figure 1.20).

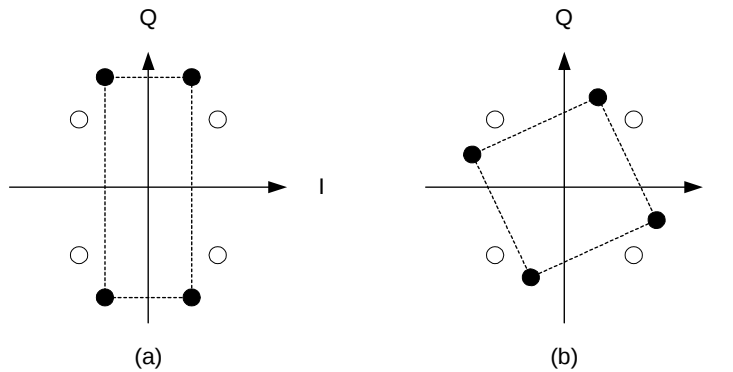


Figure 1.19 – Effet du mauvais appariement des voies I et Q sur la constellation d'un signal QPSK :
(a) erreur de gain, (b) erreur de phase.

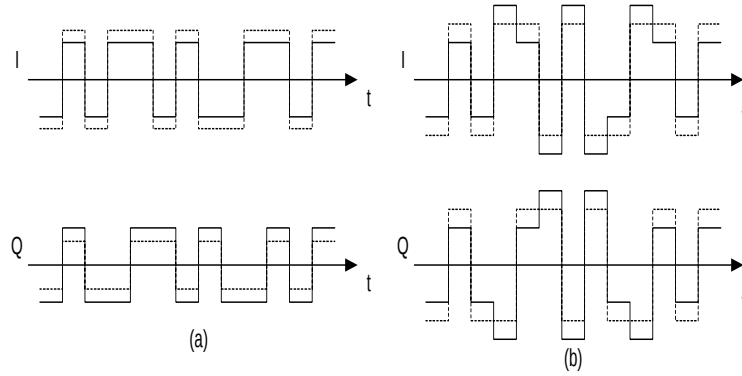


Figure 1.20 – Effet du mauvais appariement des voies I et Q sur un démodulateur QPSK (a) erreur de gain, (b) erreur de phase.

b.2 Technique de compensation

Le problème du mauvais appariement entre les voies I et Q est un obstacle pour l'implantation numérique. Cependant, l'intégration monolithique qui rassemble de plus en plus de composant de l'architecture homodyne diminue ce problème. De plus, le mauvais appariement varie peu dans le temps ce qui permet d'amener des corrections sur la constellation. H. Sohn propose dans [44] une méthode de compensation qui se base sur un algorithme de minimisation de l'erreur quadratique pour estimer le mauvais appariement des voies I et Q ainsi que le DC offset en utilisant une séquence d'apprentissage.

1.4.3 Structure du récepteur multistandard à sélection numérique des canaux

Compte tenu des exigences de la réception multistandard en termes d'intégration, de largeur de bande et de dynamique, les convertisseur de type $\Sigma\Delta$ sont les mieux appropriés comme ça été justifié au le paragraphe 1.3.3.

Le principe de la conversion $\Sigma\Delta$ est expliqué en annexe de ce rapport. D'après [45] la dynamique d'un convertisseur analogique numérique Sigma-Delta d'ordre n et avec un facteur de suréchantillonnage M est estimée par la formule 1.3.

$$DR_{\Sigma\Delta} = \frac{3}{2} \frac{2n+1}{\pi^{2n}} M^{2n+1} \quad (1.3)$$

A la sortie du convertisseur analogique numérique, le signal est échantillonné à M fois la fréquence de Nyquist notée f_N . Pour un standard de radiocommunication donné, si l'on

désire sélectionner un canal, on aura le gabarit indiqué par la Figure 1.21. Ce gabarit est très contraignant et nécessite un filtre d'ordre très élevé ; car la bande de transition est étroite par rapport à la fréquence d'échantillonnage et l'ordre du filtre est proportionnel à ce rapport.



Figure 1.21 – Gabarit du filtre décimateur à la sortie du modulateur $\Sigma\Delta$.

Il est plus judicieux de procéder au filtrage sur plusieurs étages puis appliquer des décimations au signal. Cette technique est dite filtrage Multi-cadence. Elle a pour objectif de réduire le nombre d'opérations de calcul dans les filtres numériques et en particulier le nombre de multiplications à faire par seconde. Dans un filtre, la complexité s'exprime, dans un premier temps, par le nombre de multiplication par seconde MPS donné par l'équation (1.4).

$$MPS = K \times f_e \quad (1.4)$$

où f_e est la cadence à laquelle se font les calculs et correspond à la fréquence d'échantillonnage du signal. Le facteur K dépend du type de filtre et de ses performances.

Pour réduire la valeur de MPS , il est possible d'agir sur le facteur K , en choisissant le type et la structure du filtre les mieux appropriés et en optimisant l'ordre de ce dernier en fonction des contraintes et des caractéristiques à obtenir. On peut également agir sur l'autre facteur, f_e , en faisant varier la fréquence d'échantillonnage au cours du traitement.

Afin de respecter le critère de Nyquist, la fréquence d'échantillonnage d'un signal réel est supérieure au double de sa largeur de bande. Si par exemple au cours du traitement, la largeur de bande utile diminue, une opération de filtrage qui élimine les composantes indésirables réduit donc la largeur de bande ; la fréquence d'échantillonnage du signal peut être elle-même réduite. Il s'en suit que la fréquence d'échantillonnage du signal peut être adaptée à la largeur de bande du signal à chaque étape du traitement, pour minimiser la vitesse de calcul dans un filtre.

En résumé, il est plus judicieux de sélectionner le canal sur plusieurs étapes moyennant plusieurs étages de filtrage et en diminuant progressivement la fréquence d'échantillonnage (Figure 1.22).

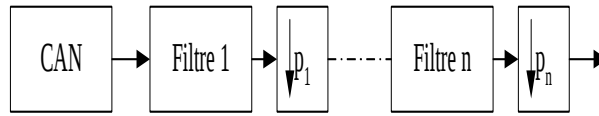


Figure 1.22 – Structure multi-étages pour la sélection du canal.

Afin d'alléger les contraintes sur les circuits de numérisation et de sélection des canaux radio, nous définissons l'architecture de réception multistandard illustrée par la Figure 1.23. Cette architecture de type homodyne large bande comprend peu d'éléments externes offrant ainsi une bonne intégration. Pour permettre une réception multibande plusieurs filtres RF sont utilisés. La sélection de la bande souhaitée est effectuée par des commutateurs analogiques commandés par la partie numérique. Cette même partie commande agit sur le synthétiseur de fréquence local et le filtre anti-repliement. La seconde programmabilité est assurée au niveau de la sélection des canaux par filtrage numérique précédé par un convertisseur analogique-numérique de type sigma delta large bande et intégrable.

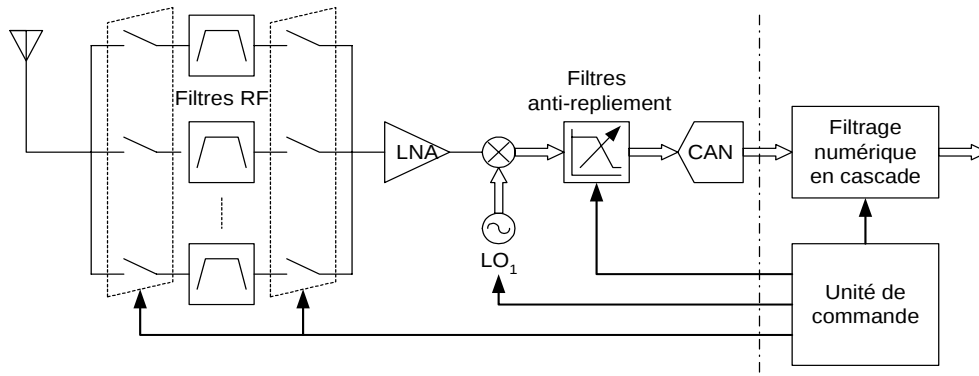


Figure 1.23 – Architecture de réception multistandard proposée.

1.5 Conclusion

Dans ce premier chapitre nous avons d'abord mis l'accent sur l'intérêt de la réalisation d'un récepteur multistandard qui permettrait aux utilisateurs de disposer d'un récepteur universel capable d'opérer selon plusieurs normes de radiocommunications. En premier lieu nous avons mis en évidence les majeurs obstacles rencontrés lors de la réalisation d'un récepteur multistandard. En effet, chaque norme radio possède ses propres spécificités en terme de bande passante, de sensibilité, de dynamique et de rapport signal à bruit. Cette

diversité des normes implique de sévères contraintes sur les différents composants de la chaîne de réception. Un récepteur multistandard nécessite des circuits capables de traiter des signaux large bande à grande plage dynamique autour de différentes fréquences porteuses. La solution proposée doit garantir de hautes performances de communication avec une complexité matérielle réduite qui permettra de limiter la surface, la consommation ainsi que le coût du terminal. Une solution totalement logicielle qui traite le signal directement issu de l'antenne suivit d'un convertisseur permettra d'atteindre cet objectif mais actuellement une telle solution n'est toujours pas réalisable. Avant de proposer une solution de réalisation d'un récepteur multistandard nous avons d'abord démontré qu'un tel récepteur devrait effectuer une sélection numérique du canal afin de bénéficier de plus de flexibilité de traitement. Conscient de la nécessité d'un récepteur large bande pour ce type d'application nous avons choisi d'utiliser l'architecture RF à conversion directe qui utilise un minimum de composants offrant une meilleure intégrabilité. Bien que cette architecture présente l'inconvénient du DC-Offset [40] nous avons identifié des techniques de compensation en bande de base qui peuvent être employées [42, 43]. Un problème de mauvais appariement entre les voies I et Q peut aussi s'ajouter [10] mais il existe des algorithmes qui permettent de l'éliminer [44]. Afin d'adapter cette architecture à la réception multistandard les aspects multibande et configurabilité ont été aussi étudiés. Nous avons vérifié dans la littérature la possibilité de réalisation d'une antenne multibande ainsi que large bande grâce à la technique PIFA (Planar Inverted-F Antenna) [7–9]. Concernant le choix de la bande de réception il peut être effectué grâce à des switches analogiques permettant de sélectionner un filtre RF parmi un banc de filtres [33, 34]. L'amplificateur à faible bruit peut être conçu de telle sorte qu'il possède une largeur de bande suffisante pour traiter plusieurs normes à la fois [35] ou bien d'être multibande [36]. Les contraintes sévères sur l'oscillateur local en terme de gamme de fréquence et précision peuvent être satisfaites par des synthétiseurs à modulation $\Sigma\Delta$ [32, 37, 38]. Le filtre anti-repliement peut être conçu de façon à avoir une fréquence de coupure réglable selon la norme désirée moyennant des filtres Gm-C ou MOS-C [33]. Enfin, à l'aide d'un convertisseur à suréchantillonnage de type $\Sigma\Delta$ on peut atteindre des dynamiques assez élevées [18]. A la fin de ce chapitre nous avons proposé une architecture de réception réalisable avec les technologies actuelles des différents composants de la chaîne de réception. Le chapitre suivant sera consacré au dimensionnement des différents éléments du récepteur multistandard ainsi défini.

Chapitre 2

Dimensionnement du récepteur radio multistandard

2.1 Introduction

Après la définition dans le premier chapitre de l'architecture d'un récepteur radio multistandard nous cherchons dans ce chapitre à définir une méthode de dimensionnement des différents éléments de la chaîne de réception. Nous commençons cette étude par la définition des principaux paramètres du récepteur, tels que le facteur de bruit, la linéarité et le gain. Après la définition des hypothèses d'étude et la présentation des spécifications des normes à considérer dans le dimensionnement nous allons proposer une formulation de la méthode de dimensionnement basée sur des expressions analytiques et utilisant les données des normes. Pour déterminer les gabarits des filtres RF et anti-repliement, ainsi que les gains nécessaires de l'AGC, la dynamique au niveau du convertisseur analogique-numérique, le IIP_3 et le IMR de toute la chaîne. Cette méthode analytique de dimensionnement sera appliquée aux normes GSM, DECT et UMTS pour obtenir les résultats numériques. Enfin la dernière partie de ce chapitre sera consacrée à la validation du dimensionnement par des simulations ADS.

2.2 Spécifications de dimensionnement

Tout travail de dimensionnement nécessite une étape préliminaire dite étape de spécifications. Dans le cadre particulier de notre sujet de recherche nous nous intéressons durant l'étape de spécifications à l'identification et définition des paramètres d'un récepteur radio qui entrent en jeu dans les calculs de dimensionnement. Etant donné le caractère non conventionnel des étapes de dimensionnement d'un récepteur radio multistandard nous proposerons dans ce paragraphe une méthode pratique de dimensionnement du récepteur radio. Nous présenterons aussi les spécifications des trois normes GSM, DECT et UMTS que nous avons choisies pour valider le dimensionnement du récepteur multistandard à architecture homodyne (Figure 2.1) tel qu'elle a été conçue dans le chapitre précédent.

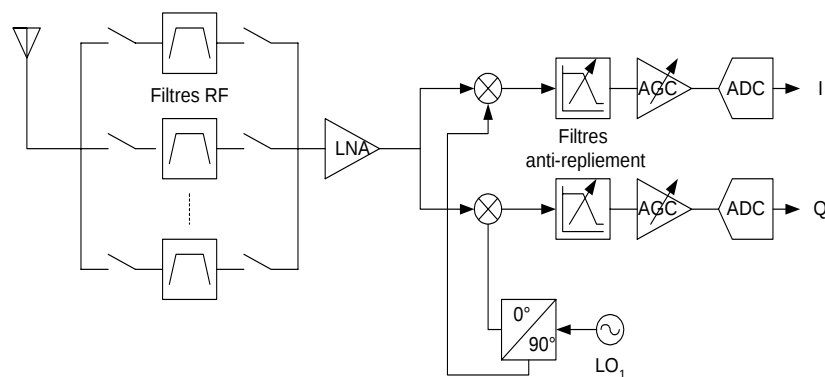


Figure 2.1 – Architecture homodyne pour réception multistandard.

2.2.1 Paramètres d'un récepteur radio

Indépendamment de la topologie de la chaîne de réception, les modules RF qui la compose sont caractérisés par un certain nombre de paramètres dont les plus importants sont :

- Facteur de bruit,
- Facteurs de linéarité,
- Plage dynamique,
- Gain.

a. Facteur de bruit

Le facteur de bruit noté NF (Noise Figure NF) définit la qualité d'un système linéaire en considérant son bruit propre. Le NF est le quotient du rapport signal à bruit à l'entrée SNR_{in} et du rapport signal à bruit à la sortie SNR_{out} . Il mesure, par conséquent, la dégradation du rapport signal à bruit. Ce paramètre est lié à la sensibilité du récepteur, à la nature de la modulation et aux caractéristiques technologiques des circuits du récepteur. Dans la plupart des standards radio, c'est la sensibilité de référence qui est donnée comme paramètre. Elle est définie par l'expression (2.1) [31] :

$$P_{sensRef} = P_{Bruit} + SNR_{min} \quad (2.1)$$

où

$$P_{Bruit} = kT|_{dBm/Hz} + 10 \log(B) + NF|_{dB} \quad (2.2)$$

$$SNR_{min} = E_b/N_0|_{dB} + 10 \log(R) - 10 \log(B) \quad (2.3)$$

k étant la constante de Boltzmann (égale à $1,38 \cdot 10^{-23}$ J/K) et T la température en degré Kelvin. Le SNR_{min} est le SNR requis pour démoduler le signal avec un BER donné en présence de bruit blanc additif gaussien de niveau de puissance N_0 . B est la largeur de bande effective du bruit, R le débit d'information binaire et E_b est l'énergie d'un bit.

Pour un récepteur ayant une structure en cascade avec différents gains et facteurs de bruits, telle qu'elle est décrite par la Figure 2.2, le facteur de bruit NF global est donné par la formule (2.4).

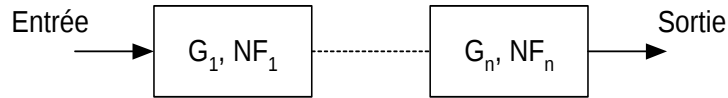


Figure 2.2 – Structure en cascade d'un récepteur.

$$NF = NF_1 + \frac{NF_2 - 1}{G_1} + \dots + \frac{NF_n - 1}{G_1 \times G_2 \times \dots \times G_{n-1}} \quad (2.4)$$

b. Non-linéarité

Plusieurs dispositifs de traitement des signaux utilisés en télécommunications sont supposés être linéaires. Mais en toute rigueur, ces dispositifs sont affectés par une certaine

non-linéarité due aux caractéristiques intrinsèques des composants qui les constituent. Une approximation du signal de sortie $y(t)$ en fonction de celui d'entrée $x(t)$ de tels systèmes supposés aussi invariants peut être donnée par la relation polynomiale (2.5) [10].

$$y(t) = \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t) + \dots \quad (2.5)$$

L'évaluation de cette non linéarité peut être obtenue par la mesure de plusieurs paramètres tels que le taux de distorsion harmonique, la compression du gain à 1 dB, l'intermodulation, etc. Il est d'usage de calculer le taux de distorsion harmonique dans le cas de la conception de circuits intégrés basses fréquences. Cependant, pour la conception d'un circuit RF il est d'usage d'estimer le point de compression à 1 dB et les produits d'intermodulation.

b.1. Définition du point de compression à 1 dB

Pour les circuits RF l'effet de saturation est quantifié par le point de compression à 1dB. Ce dernier, noté IIP_1 , définit le niveau du signal d'entrée causant une chute du gain du système de 1dB. L'application d'un signal sinusoïdal à l'entrée d'un système non linéaire produit des composantes fréquentielles multiples de la fréquence du signal d'entrée. Soit un signal d'entrée décrit par l'équation (2.6).

$$x(t) = A \cos(wt) \quad (2.6)$$

En se limitant au troisième ordre, le signal de sortie serait de la forme décrite par l'équation (2.7).

$$\begin{aligned} y(t) &= \alpha_1 A \cos(wt) + \frac{\alpha_2 A^2}{2} (1 + \cos(2wt)) + \frac{\alpha_3 A^3}{4} (3 \cos(wt) + \cos(3wt)) \\ y(t) &= \frac{\alpha_2 A^2}{2} + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos(wt) + \frac{\alpha_2 A^2}{2} \cos(2wt) + \frac{\alpha_3 A^3}{4} \cos(3wt) \end{aligned} \quad (2.7)$$

Lorsque l'amplitude A du signal d'entrée est faible et le terme $\alpha_1 A$ est plus grand que les autres termes, le gain du système est alors égal à α_1 . Cependant, comme l'amplitude du signal d'entrée peut augmenter, le gain est amené lui aussi à varier. La non-linéarité peut être considérée comme une variation du gain en fonction du signal d'entrée. Le terme $3\alpha_3 A^3/4$ dans l'équation (2.7) justifie cette variation. La plupart des circuits saturent en présence d'un signal à forte amplitude, ce qui implique que $\alpha_3 < 0$. Une évaluation du point de compression peut être déterminée à partir des équations de l'expression (2.8).

$$\begin{aligned} 20 \log |\alpha_1 + \frac{3}{4} \alpha_3 A_{-1dB}^2| &= 20 \log |\alpha_1| - 1dB \\ \Rightarrow A_{-1dB} &= \sqrt{0.145 \left| \frac{\alpha_1}{\alpha_3} \right|} \end{aligned} \quad (2.8)$$

Pour une chaîne de réception, ce niveau du signal correspond au niveau du signal maximum présent à l'antenne (voir Figure 2.3).

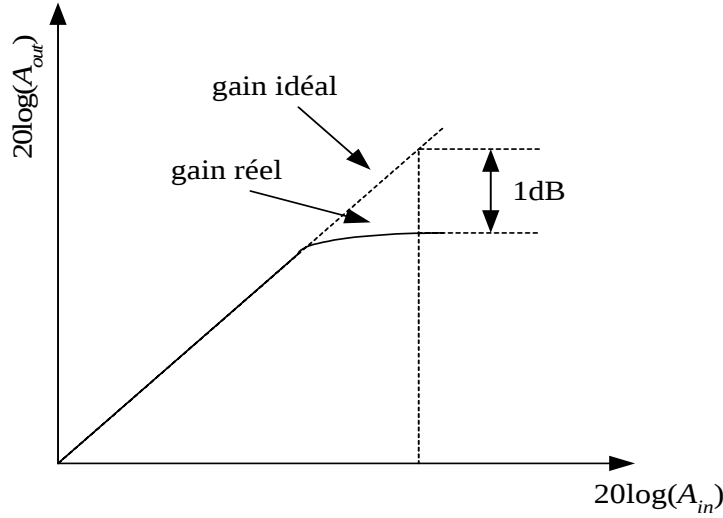


Figure 2.3 – Interprétation Graphique du calcul de IIP₁

b.2. Définition de l'intermodulation

La distorsion d'intermodulation (*IMD*) est liée à l'existence de produits d'intermodulation. Ceux-ci apparaissent lorsque l'entrée est constituée par une somme de termes, comme il est considéré dans l'équation (2.9).

$$x(t) = A_1 \cos(w_1 t) + A_2 \cos(w_2 t) \quad (2.9)$$

En se limitant au troisième ordre, le spectre du signal de sortie est une combinaison de termes à fréquences w_1 , w_2 ainsi que leurs multiples. La sortie $y(t)$ est ainsi exprimée par l'équation (2.10).

$$y(t) = \alpha_1(A_1 \cos(w_1 t) + A_2 \cos(w_2 t)) + \alpha_2(A_1 \cos(w_1 t) + A_2 \cos(w_2 t))^2 + \alpha_3(A_1 \cos(w_1 t) + A_2 \cos(w_2 t))^3 \quad (2.10)$$

La décomposition de la sortie donne les termes suivants :
composante continue :

$$\frac{\alpha_2}{2}(A_1^2 + A_2^2) \quad (2.11)$$

composantes fondamentales :

$$(\alpha_1 A_1 + \frac{3}{4} \alpha_3 A_1^3 + \frac{3}{2} \alpha_3 A_1 A_2^2) \cos(w_1 t) + (\alpha_1 A_2 + \frac{3}{4} \alpha_3 A_2^3 + \frac{3}{2} \alpha_3 A_2 A_1^2) \cos(w_2 t) \quad (2.12)$$

composantes harmoniques :

$$\frac{\alpha_2}{2} A_1^2 \cos(2w_1 t) + \frac{\alpha_2}{2} A_2^2 \cos(2w_2 t) \quad (2.13)$$

$$\frac{\alpha_3}{4} A_1^3 \cos(3w_1 t) + \frac{\alpha_3}{4} A_2^3 \cos(3w_2 t) \quad (2.14)$$

composantes d'intermodulation :

$$\alpha_2 A_1 A_2 \cos(w_1 + w_2) t + \alpha_2 A_1 A_2 \cos(w_1 - w_2) t \quad (2.15)$$

$$\frac{3\alpha_3 A_1^2 A_2}{4} \cos(2w_1 + w_2) t + \frac{3\alpha_3 A_1^2 A_2}{4} \cos(2w_1 - w_2) t \quad (2.16)$$

$$\frac{3\alpha_3 A_2^2 A_1}{4} \cos(2w_2 + w_1) t + \frac{3\alpha_3 A_2^2 A_1}{4} \cos(2w_2 - w_1) t \quad (2.17)$$

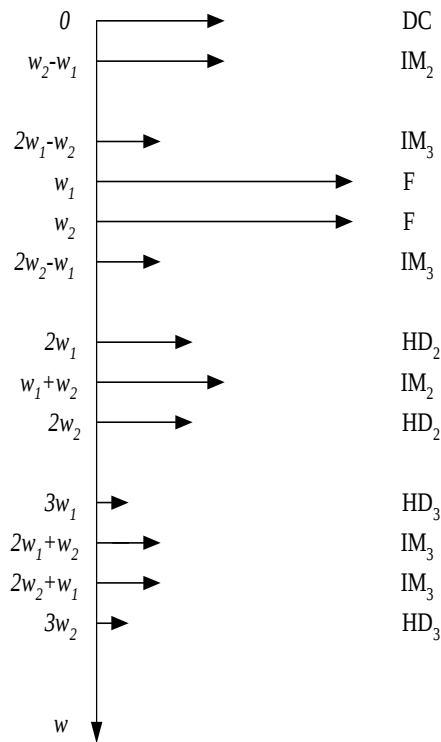


Figure 2.4 – Décomposition spectrale de la distortion d'intermodulation.

Le résultat de sortie contient une distortion harmonique notée HD_2 et HD_3 (voir Figure 2.4). Si w_1 et w_2 sont choisies proches l'une de l'autre, les produits d'intermodulation de troisième ordre IM_3 des composantes $2w_1 - w_2$ et $2w_2 - w_1$ apparaissent au voisinage

de w_1 et w_2 alors que les composantes HD_2 et HD_3 sont situées loin des fréquences fondamentales, d'où l'importance d'une mesure de l' IM_3 . En considérant qu'à l'entrée du système $A = A_1 = A_2$, il en résulte les équations (2.18) et (2.19).

$$IM_2 = \frac{\alpha_2 A}{\alpha_1 + \frac{9}{4}\alpha_3 A^2} \quad (2.18)$$

$$IM_3 = \frac{3}{4} \frac{\alpha_3 A^2}{\alpha_1 + \frac{9}{4}\alpha_3 A^2} \quad (2.19)$$

Il est important de noter que les mesures IM_2 et IM_3 doivent être toujours précisées en fonction de l'amplitude A du signal d'entrée. Les points de compression de second ordre et de troisième ordre, notés respectivement IP_2 et IP_3 , ont été définis dans ce sens pour s'affranchir de la dépendance de l'amplitude du signal d'entrée.

Le point d'interception d'ordre trois est un point théorique en lequel l'amplitude du signal utile aux fréquences w_1 et w_2 et celle du signal aux fréquences $2w_1 - w_2$ et $2w_2 - w_1$ deviennent identiques. Selon les équations (2.12), (2.16) et (2.17) il advient l'expression (2.20) .

$$\alpha_1 A_{IP3} + \frac{9}{4}\alpha_3 A_{IP3}^3 = \frac{3}{4}\alpha_3 A_{IP3}^3 \quad (2.20)$$

Ainsi l'amplitude du signal au point de compression à l'entrée IIP_3 est exprimée par l'équation (2.21).

$$A_{IP3} = \sqrt{\frac{4}{6} \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (2.21)$$

Il en résulte :

$$\frac{A_{w_{1,2}}}{A_{IM3}} = \frac{\alpha_1 + \frac{9}{4}\alpha_3 A_{in}^2}{\frac{3}{4}\alpha_3 A_{in}^2} \quad (2.22)$$

$$\frac{A_{w_{1,2}}}{A_{IM3}} = 2 \frac{A_{IP3}^2}{A_{in}^2} + 3 \quad (2.23)$$

En tenant compte du fait que $\alpha_3 \ll \alpha_1$, une approximation de l'équation (2.23) aboutit à l'équation (2.24) ou en dBm à l'équation (2.25).

$$20 \log(A_{IP3}) \approx \frac{1}{2} (20 \log(A_{w_{1,2}}) - 20 \log(A_{A_{IM3}})) + 20 \log(A_{in}) \quad (2.24)$$

$$IIP_{3|dBm} \approx \frac{\Delta P_{dBm}}{2} + P_{in|dBm} \quad (2.25)$$

La Figure 2.5 illustre l'interprétation graphique du calcul de l' IIP_3 .

De la même façon, le point d'interception d'ordre deux noté IIP_2 caractérise lui aussi la linéarité d'un système. En ce point, les amplitudes du signal utile aux fréquences w_1 et w_2

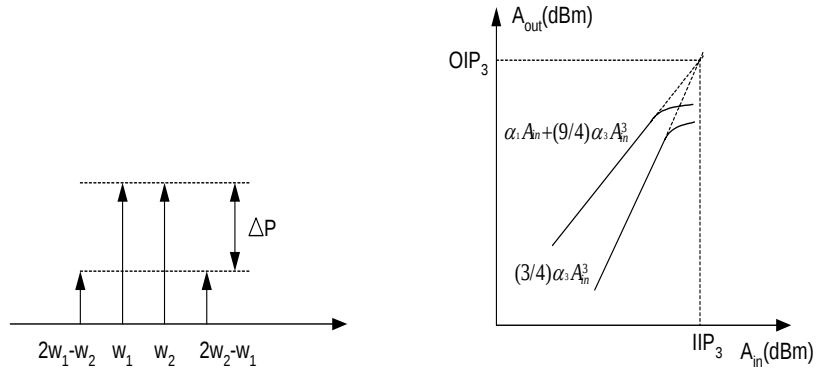


Figure 2.5 – Interprétation Graphique du calcul de IIP_3 .

et celles aux fréquences $w_1 - w_2$ et $w_2 - w_1$ sont égales. On en déduit après approximation, le point d'interception d'ordre deux comme c'est montré par les équations (2.26), (2.27) et (2.28).

$$A_{IP2} \approx \frac{\alpha_1}{\alpha_2} \quad (2.26)$$

$$\Rightarrow 20 \log(A_{IP2}) \approx 20 \log(A_{w_1, w_2}) - 20 \log(A_{IM2}) + 20 \log A_{in} \quad (2.27)$$

$$\Rightarrow IIP_{2|dBm} \approx \Delta P_{|dBm} + P_{in|dBm} \quad (2.28)$$

La Figure 2.6 illustre l'interprétation graphique du calcul de l' IIP_2 .

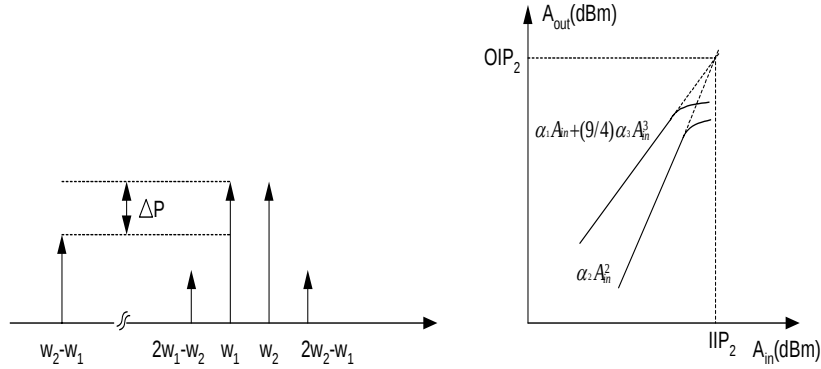


Figure 2.6 – Interprétation Graphique du calcul de IIP_2 .

c. Dynamique des signaux RF

La dynamique est définie comme étant la différence entre la puissance maximale et la puissance minimale d'un signal. Il n'est pas souvent évident de connaître avec précision

le niveau maximum d'un signal. Au niveau de l'antenne, c'est généralement les bloqueurs hors bande qui ont le niveau le plus élevé. Cependant, le filtrage RF ramène leurs niveaux à celui des bloqueurs à l'intérieur de la bande. Ainsi, le signal le plus élevé peut être le signal utile lui même. Ainsi, la dynamique peut être définie par l'équation (2.29).

$$DR = P_{max} - P_{SensRef} \quad (2.29)$$

Dans un système non linéaire, un signal d'entrée de forte amplitude causerait des produits d'intermodulation. Ces signaux affectent la dynamique du signal. La prise en compte de ce comportement est assurée par le paramètre SFDR (Spurious-Free Dynamic Range). La puissance maximale est désormais définie comme étant le niveau du signal maximum à l'entrée pour lequel le système ne crée pas de distorsion de troisième ordre caractérisée par l'IIP₃ [31]. Le SFDR est donné par l'équation (2.30) ainsi que son interprétation graphique est donnée par la Figure 2.7.

$$SFDR = \frac{2}{3}(IIP_3 - P_{SensRef}) \quad (2.30)$$

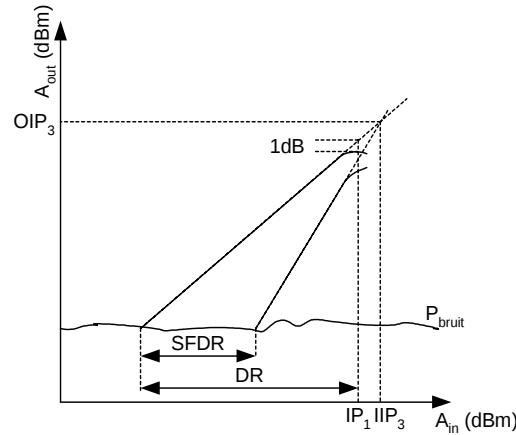


Figure 2.7 – Interprétation Graphique du calcul de SFDR.

d. Gain et contrôle de gain

Le gain dans une chaîne de réception sert essentiellement à ramener les signaux faibles à un niveau de puissance suffisant pour qu'ils soient traités par le convertisseur analogique numérique. Le contrôle de gain sert à adapter la dynamique du signal reçu à celle du convertisseur.

2.2.2 Etablissement de la méthode de dimensionnement

Dans ce paragraphe nous décrivons l'approche et les différentes hypothèses adoptées pour le calcul des paramètres des circuits du récepteur : filtre RF, filtre anti-repliement, AGC et ADC tout en tenant compte des paramètres de non linéarité des circuits RF.

a. Synthèse du filtre RF

Le filtre RF sert à sélectionner la bande utile et à atténuer les signaux hors-bande. Il doit donc ramener les signaux hors-bande au niveau des signaux existant à l'intérieur de celle-ci [31]. Le gabarit de ce filtre, généralement défini dans les spécifications des normes radio, permettra de faire la synthèse du type et de l'ordre du filtre nécessaire.

b. Synthèse du filtre anti-repliement

Le filtre anti-repliement doit au moins faire passer toute la bande utile avec une marge fixée à 30% pour tenir compte des variations des résistances et des capacités du circuit de filtrage en fonction de la température [11]. Ce filtre doit atténuer les bloqueurs qui se replieront sur le signal utile après conversion A/N et ceci de manière à garantir le SNR requis avec une certaine marge.

En effet, connaissant la fréquence d'échantillonnage du convertisseur A/N et la largeur de bande du signal utile nous pouvons facilement déduire à partir de la norme le niveau du bloqueur qui se repliera sur le signal utile. Selon la Figure 2.8 le bloqueur qui se repliera sur le signal se situe dans la bande $[f_e - B, f_e]$, avec f_e la fréquence d'échantillonnage et $2 \times B$ la largeur du canal. Ainsi, nous calculons l'atténuation minimale au niveau de la fréquence du bloqueur en utilisant la formule (2.31).

$$A_{min} = N_b|_{dBm} - S_t|_{dBm} + SNR|_{dB} + M|_{dB} \quad (2.31)$$

Où A_{min} est l'atténuation minimale, N_b est le niveau du bloqueur, S_t est le niveau du signal test et M est une marge.

Nous choisissons un filtre de type Butterworth puisqu'il n'affecte pas la phase du signal. L'atténuation de ce filtre en fonction de la fréquence est donnée par l'expression (2.32) [46].

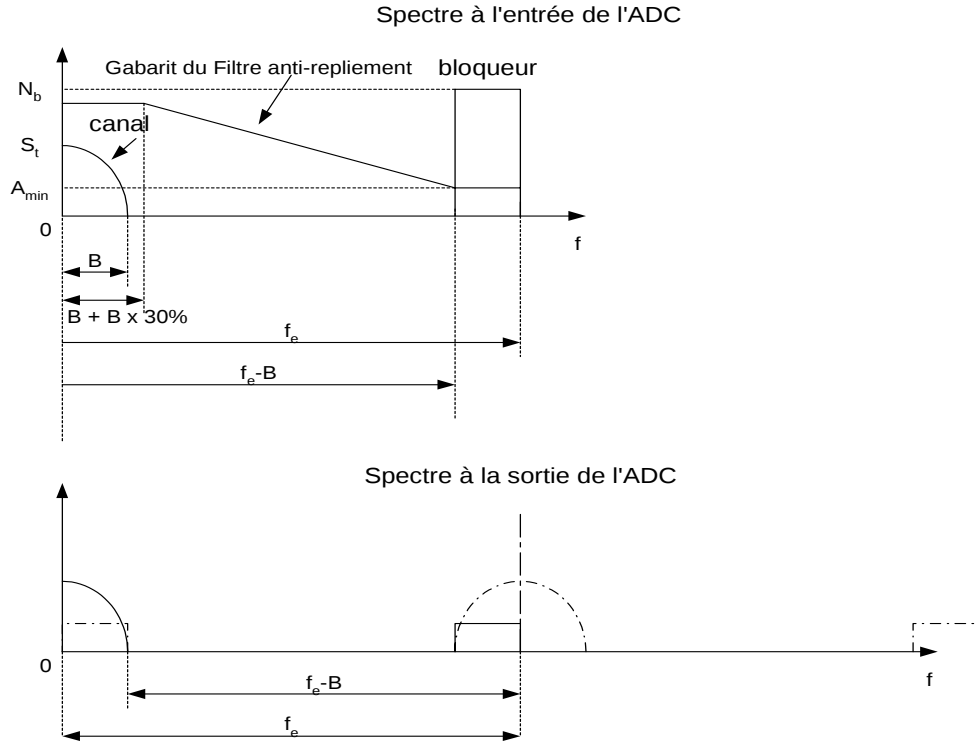


Figure 2.8 – Principe d'action du filtre anti-repliement.

$$A(f) = 10 \log \left(1 + \varepsilon^2 \left(\frac{f}{f_p} \right)^{2N} \right) \quad (2.32)$$

Où f_p est la fréquence passante, $\varepsilon^2 = (10^{A_{max}/10} - 1)$, N est l'ordre du filtre et A_{max} est l'atténuation maximale dans la bande passante qui contribue à la perte du signal. La valeur de A_{max} doit être relativement faible, une valeur de 0.3 dB serait raisonnable car elle n'introduit pas une perte importante et permet la réalisation du filtre avec un ordre pas trop élevé.

Une fois que tous les paramètres sont connus, nous pouvons inverser la fonction $A(f)$ dans l'équation (2.32) et estimer l'ordre du filtre de Butterworth par la formule (2.33).

$$N = \frac{\ln \left(\frac{10^{\frac{A_{min}}{10}} - 1}{\varepsilon^2} \right)}{2 \ln \left(\frac{f_s}{f_p} \right)} \quad (2.33)$$

Où f_s est la fréquence de coupure pour laquelle correspond l'atténuation A_{min} .

c. Détermination du gain de l'AGC

Pour calculer le gain de l'AGC, on définit les paramètres de calcul suivants :

1. La chaîne de transposition de fréquence, composée du filtre RF, du LNA, du mélangeur et du filtre anti-repliement, introduit une perte sur le signal utile. Elle sera notée $Loss$.
2. Le gain de l'amplificateur à faible bruit est noté G_{LNA} .
3. Le niveau du signal à l'entrée de la partie bande de base est noté P_{BB} .

Les valeurs de ces paramètres dépendent de la technologie utilisée. Cependant, le principe de calcul adopté dans la suite est indépendant des valeurs numériques de ces paramètres.

c.1. Gain de l'AGC maximum (G_{AGCmax})

Le gain de l'AGC est limité par le niveau du plus fort bloqueur. En effet, le gain doit être suffisamment élevé pour ramener le signal le plus faible à un niveau qui lui permet d'être traité par le convertisseur. Cependant, l'existence d'un bloqueur au même temps que le signal peut saturer le reste de la chaîne [11].

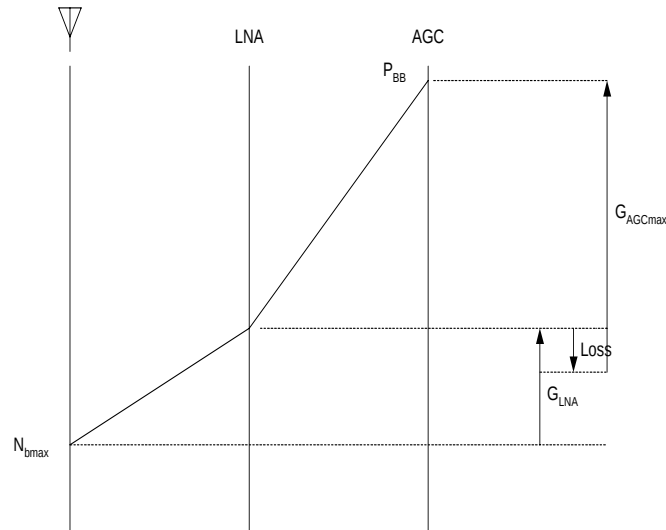


Figure 2.9 – Détermination du gain maximum de l'AGC.

D'après la Figure 2.9, le gain maximum de l'AGC est donné par la formule (2.34).

$$G_{AGCmax}|_{dB} = P_{BB}|_{dBm} - N_{bmax}|_{dBm} + Loss|_{dB} - G_{LNA}|_{dB} \quad (2.34)$$

Avec N_{bmax} le niveau du bloqueur maximum, $Loss$ la perte du signal dans toute la chaîne de transposition et G_{LNA} le gain de l'amplificateur à faible bruit.

c.2. Gain de l'AGC minimum (G_{AGCmin})

Le récepteur doit fournir le gain minimum en présence du signal le plus fort. Dans ce cas, il est nécessaire de ne pas amplifier le signal par le LNA pour respecter le niveau du signal présenté à l'entrée du convertisseur A/N.

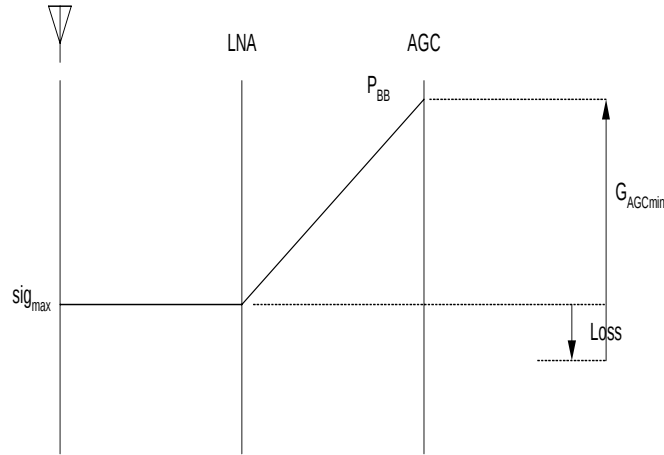


Figure 2.10 – Détermination du gain minimum de l'AGC.

D'après la Figure 2.10 le gain minimum de l'AGC est donné par la formule (2.35).

$$G_{AGCmin}|_{dB} = P_{BB}|_{dBm} - Sig_{max}|_{dBm} + Loss|_{dB} \quad (2.35)$$

Avec Sig_{max} le niveau du signal maximum qui peut être présent à l'antenne.

d. Détermination de la dynamique du convertisseur A/N

La dynamique du convertisseur A/N est la différence entre le signal le plus élevé et le moins élevé à l'entrée de celui-ci augmentée par le rapport signal à bruit minimal pour démoduler le signal avec un taux d'erreur binaire exigé par la norme. La dynamique du convertisseur sans l'AGC est donnée par la formule (2.36) [47].

$$\begin{aligned} DR_{CAN}|_{dB} &= (Sig_{max} + Gain) - (Sig_{min} + Gain) + SNR_{min} \\ &= Sig_{max} - Sig_{min} + SNR_{min} \\ &= DR_{antenne}|_{dB} + SNR_{min}|_{dB} \end{aligned} \quad (2.36)$$

où $DR_{antenne} = Sig_{max} - Sig_{min}$ et $Sig_{min} = P_{Bruit} + NF$.

Avec un AGC, la dynamique se trouve réduite. En effet, l'AGC présente un gain maximum, lorsque un signal faible est appliqué, et présente un gain minimum lorsque un signal fort est appliqué. La Figure 2.11 illustre le principe de détermination de la dynamique du convertisseur. La dynamique de l'ADC en présence d'un AGC est donnée par la formule (2.37). Une marge peut être ajoutée à cette valeur pour tenir compte des non linéarités du convertisseur.

$$DR_{CAN}|_{dB} = (Sig_{max} - Loss + G_{AGCmin} - [Sig_{min} - Loss + G_{LNA} + G_{AGCmax}]) + SNR_{min} \quad (2.37)$$

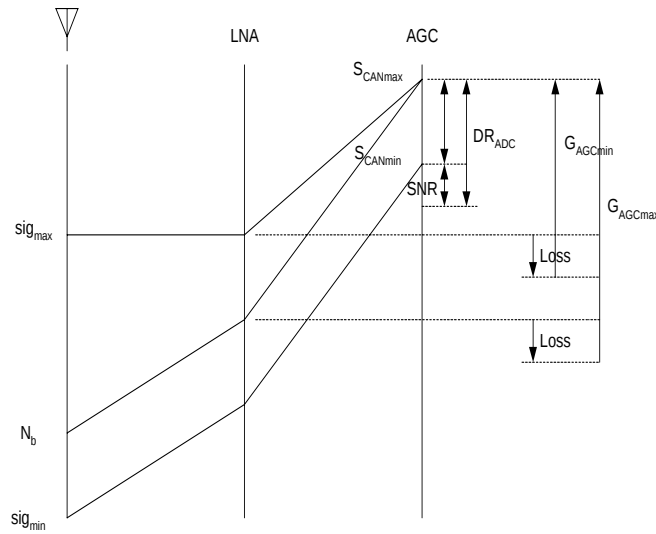


Figure 2.11 – Principe de détermination de la dynamique du convertisseur A/N en présence d'un AGC.

e. Calcul de l'intermodulation

Les normes radio définissent les conditions de test de linéarité de la chaîne de réception. Elles définissent également les intervalles entre les fréquences tests ainsi que leurs niveaux. On se propose de calculer l' IIP_3 qui doit être respecté par toute la chaîne de réception. La Figure 2.12 illustre les conditions de test sur le produit d'intermodulation d'ordre impair. Le produit d'intermodulation de troisième ordre doit être, par conséquent, ramené au niveau du $P_{BB}/(N)|_{dB}$. Ceci se traduit par une rejection minimale du produit d'intermodulation exprimé par l'équation (2.38).

$$\begin{aligned} IMR &= (P_{in}|_{dBm} + G) - IM_3 \\ &= (P_{in}|_{dBm} + G) - (P_{Sig_{test}}|_{dBm} - \frac{P_{BB}}{N}|_{dB} + G|_{dB}) \end{aligned}$$

$$= P_{in|dBm} - (P_{Sig_{test}|dBm} - \frac{P_{BB}}{N}|_{dB}) \quad (2.38)$$

où G est le gain global de la chaîne de réception et N le bruit en bande de base. Il en résulte selon (2.25) que l' IIP_3 pour toute la chaîne de réception soit estimé par l'équation (2.39).

$$IIP_{3|dBm} = \frac{IMR_{dB}}{2} + P_{in|dBm} \quad (2.39)$$

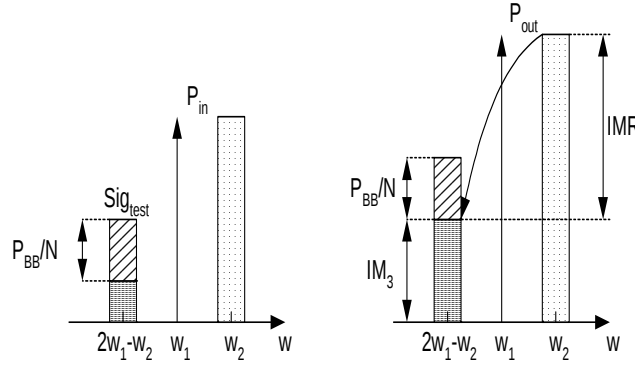


Figure 2.12 – Condition de test d'un produit d'intermodulation sur le signal utile.

2.2.3 Spécifications des normes GSM, DECT et UMTS

Afin de valider la méthode de dimensionnement définie dans ce travail nous proposons de l'appliquer à un récepteur radio multistandard supportant les normes GSM, UMTS et DECT.

L'étude des documents et textes de spécifications de ces normes [21–23] nous a permis d'extraire les données nécessaires pour le dimensionnement du récepteur radio.

La Figure 2.13 illustre les différentes bandes de fréquences occupées par chacune de ces normes, tandis que le Tableau 2.1 résume les paramètres les plus significatifs de celles-ci. Les valeurs du Tableau 2.1 notées en *Italic* ne sont pas fixées par les normes mais plutôt données dans certaines références bibliographiques.

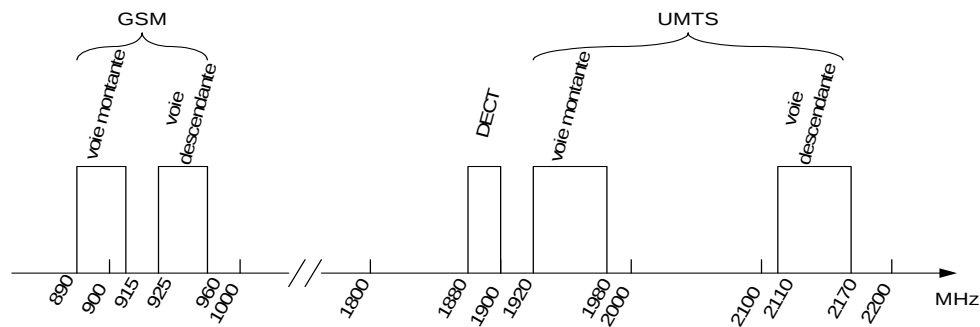


Figure 2.13 – Spectre des bandes occupées par les normes GSM, DECT et UMTS.

	GSM	DECT	UMTS
Bandes MHz	890-915 Voie montante 925-960 Voie descendante	1880-1900	1920-1980 2110-2170
Largeur du canal (MHz)	0,2	1,4	3,84
Fréquences Centrales (MHz)	$980 + 0,2 \times n$	$1897,344 + n \times 1,728$	$n \times 0,200$
Tolérance sur la fréq centrale (kHz)		50	
Pin max (dBm)	-12	-14	-25
Duplexeur	TDD	TDD	FDD
Modulation	GMSK	GFSK	QPSK
BT et Roll off	0.3	0.5	0.22
Sensibilité (dBm)	-102	-83	-106,7
Bruit à l'entrée (dBm)	-120,8	-112,3	-108,1
SNR (dB)	9	10,3	6,8
NF (dB)	9,8	19	9
CNR (dB)	18,8	29,3	15,8
Débit symbole(kS/s)	270,833	1152	3840

Tableau 2.1 – Caractéristiques des interfaces radio des normes GSM, DECT et UMTS.

2.3 Formulation analytique de la méthode de dimensionnement

Pour faciliter la compréhension et l'utilisation de cette démarche nous avons défini le graphe flot de la Figure 2.14 qui met en évidence l'ordre chronologique des étapes de calcul ainsi que les données et les expressions nécessaires pour chaque étape.

Dans ce paragraphe et en se basant sur les expressions analytiques établies au paragraphe 2.2, nous définissons une démarche de calcul des paramètres des différents circuits du récepteur radio multistandard.

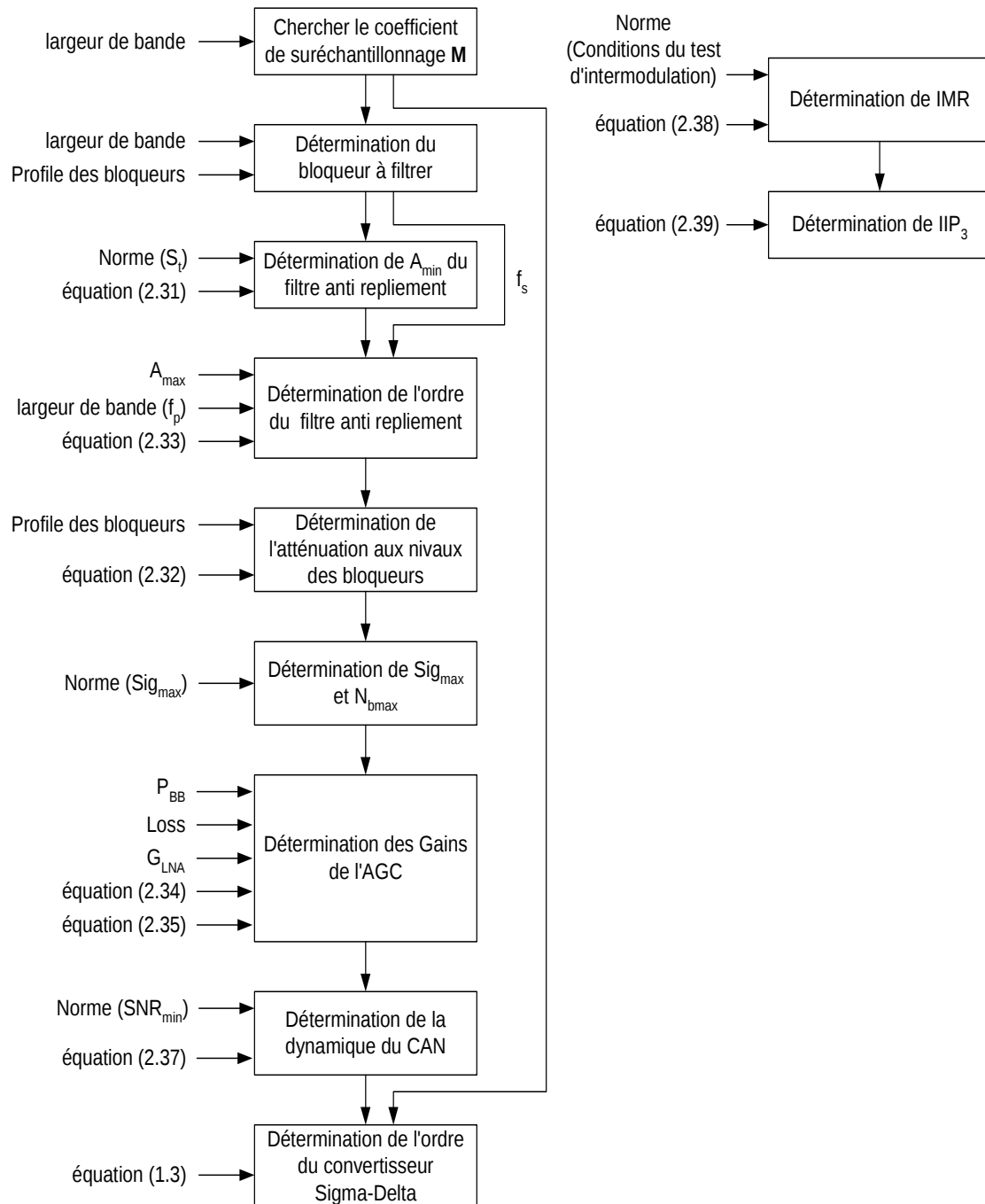


Figure 2.14 – Etapes de la méthode de dimensionnement du récepteur RF multistandard.

La première étape consiste à choisir, selon la largeur de bande, un coefficient de suréchantillonnage M élevé pour diminuer le bruit dans la bande du signal utile sans pour autant augmenter la complexité de réalisation du convertisseur analogique numérique. Il s'agit donc de trouver un compromis entre la rapidité et la complexité du convertisseur. Ce compromis est gouverné par un certain nombre d'équations étroitement liées. En effet, si l'on fixe le coefficient de suréchantillonnage selon le paragraphe 2.2.2, le niveau du bloqueur qui se repliera sur le signal peut être déduit à partir de la norme. Moyennant la formule (2.31), l'atténuation minimale A_{min} qui doit être introduite par le filtre anti-repliement au niveau de ce bloqueur sera déduite.

Si l'on admet l'utilisation d'un filtre de Butterworth comme filtre anti-repliement, l'ordre de celui-ci peut être estimé par la formule (2.33). On peut ainsi déduire, grâce à la formule (2.32), les atténuations aux niveaux de tous les bloqueurs et trouver ainsi celui qui possède le niveau le plus élevé après filtrage.

Connaissant les niveaux du signal le plus élevé, et du signal le moins élevé le gain minimum et le gain maximum de l'AGC peuvent être calculés par les équations (2.34) et (2.35). La dynamique sera calculée en utilisant l'équation (2.37).

Selon l'équation (1.3), il faut choisir l'ordre du convertisseur Sigma-Delta adéquat pour qu'il ait une dynamique supérieure ou égale à celle qui est requise.

Le IMR et le IIP_3 sont déterminés à partir des conditions du test d'intermodulation fournies par la norme et les deux équations (2.38) et (2.39).

Pour le calcul des différents paramètres de la chaîne de réception multistandard : GSM, DECT et UMTS nous avons considéré les hypothèses suivantes [11] :

- Le gain du LNA : $G_{LNA}=18$ dB,
- La perte dans la chaîne de transposition de fréquence est de 3 dB,
- La perte introduite par le filtre anti-repliement est de 0.3 dB
- Le niveau du signal à l'entrée de la partie basses fréquences est de 6 dBm (cette valeur correspond à une tension efficace de 0.44 volt).
- Aucune marge n'est prise sur le SNR .

2.3.1 Dimensionnement des filtres analogiques

Dans ce paragraphe, nous avons appliqué la méthode décrite dans le paragraphe 2.2.2 pour déterminer les gabarits des filtres RF et anti-repliement des trois normes GSM,

DECT et UMTS.

a. Cas du GSM

Le gabarit du filtre RF qui a pour rôle, selon le paragraphe 2.2.2, de filtrer la bande de réception et de ramener les bloqueurs bruit hors bande donné par la norme au niveau de celui des signaux bloqueurs à l'intérieur de la bande (voir Figure 2.15 (a)) est illustré par la Figure 2.15 (b). La Figure 2.16 illustre le gabarit du filtre anti-repliement pour un canal de largeur effective de 200 kHz et qui a pour rôle de limiter le spectre avant la conversion.

Comme la bande d'un canal GSM est relativement étroite, on peut choisir un coefficient de suréchantillonnage élevé sans rendre la réalisation du convertisseur analogique numérique difficile. Un coefficient de 65 a été choisi [45]. Ceci implique une fréquence d'échantillonnage f_e égale à 13000 kHz . Le bloqueur, qui se repliera sur le signal utile, se trouve entre $f_e - B = 12900\text{ kHz}$ et $f_e = 13000\text{ kHz}$. Le niveau du bloqueur, à cet intervalle de fréquence, est -23 dBm . Pour un signal pris à 3 dB au dessus de la sensibilité, soit $-102+3=-99\text{ dBm}$ et un rapport signal à bruit de 9 dB , le bloqueur doit être ramené au niveau $-99-9=-108\text{ dBm}$. Ceci requiert une atténuation de 85 dB . Le filtre anti-repliement de type Butterworth, qui présente une atténuation de 85 dB à la fréquence 12900 kHz et une atténuation de 0.3 dB dans la bande utile, a un ordre $N = 3$ [46]. Le Tableau 2.2 décrit le niveau des bloqueurs et des interférants avant et après filtrage. Le niveau du bloqueur le plus élevé est de $-58,9\text{ dBm}$.

$A_{\max} = 0.3\text{ dB}$							
$f_{\text{bloqueur/interferent}}\text{ (kHz)}$	200	400	600	600^1	1600	3000	12900
Niveau du bruit avant filtrage (dBm)	-73	-41	-33	-43	-33	-23	-23
Atténuation	2.89	17.90	28.40	28.40	53.95	70.33	108.34
Niveau du bruit après filtrage (dBm)	-75.89	-58.90	-61.40	-71.40	-86.95	-93.33	-131.34

Tableau 2.2 – Niveau des bloqueurs de la norme GSM avant et après filtrage anti-repliement.

¹ : 2^{eme} test.

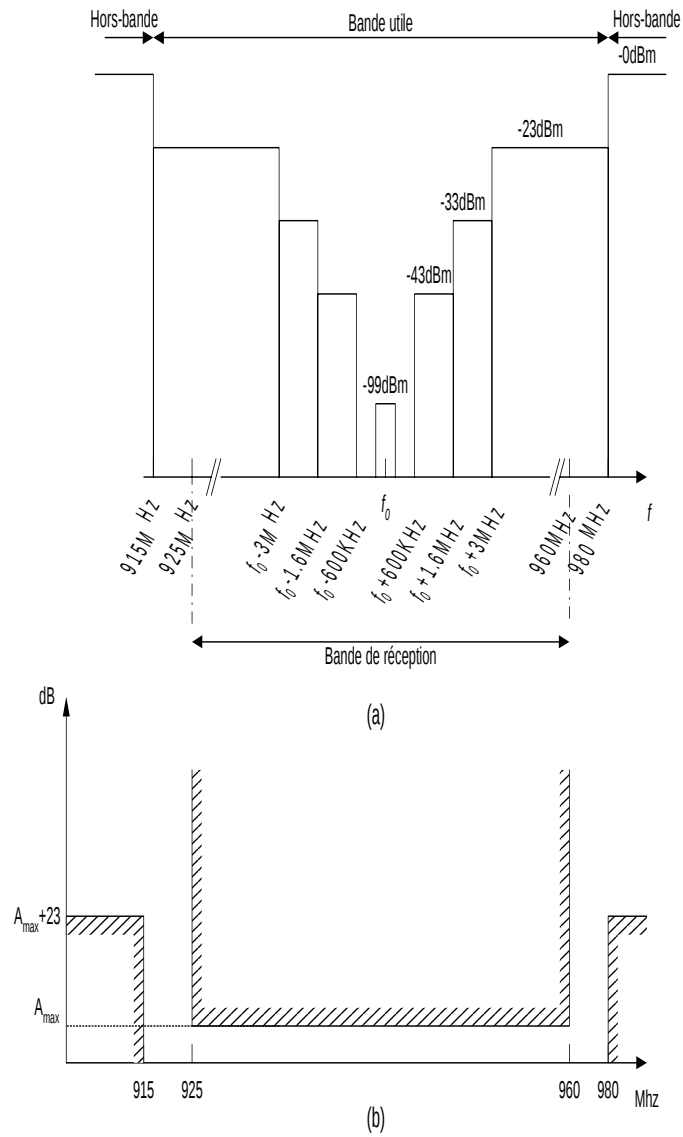


Figure 2.15 – Gabarit du filtre RF pour la norme GSM.

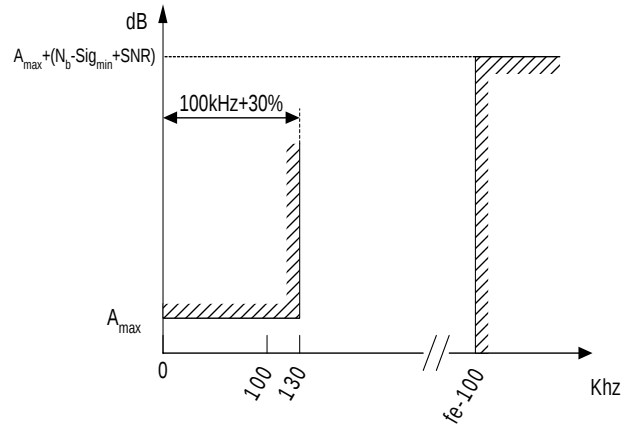


Figure 2.16 – Gabarit du filtre anti-repliement pour la norme GSM.

b. Cas du DECT

Les bloqueurs et le gabarit du filtre RF sont illustrés respectivement par les Figures 2.17 (a) et (b). La Figure 2.18 illustre le gabarit du filtre anti-repliement pour une largeur de canal effective de 1400 kHz et qui a pour rôle de limiter le spectre avant la conversion.

Comme la bande d'un canal DECT est plus large que celle de la norme GSM, on a choisi un coefficient de suréchantillonnage moins élevé pour rendre la réalisation du convertisseur analogique numérique moins difficile. Un coefficient de 32 serait suffisant mais la fréquence d'échantillonnage a été choisie de sorte qu'elle soit un multiple commun de la fréquence porteuse et la fréquence symbole. Soit $32 \times 1728\text{ kHz} = 48 \times 1152\text{ kHz} \simeq 39 \times 1400\text{ kHz}$. Ceci induit à une fréquence d'échantillonnage f_e égale à 55296 kHz . Le bloqueur qui se repliera sur le signal utile, se trouve entre $f_e - B = 54596\text{ kHz}$ et $f_e = 55296\text{ kHz}$. Le niveau du bloqueur à cet intervalle de fréquence est -43 dBm . Pour un signal, pris à 3 dB au dessus de la sensibilité soit $-83 + 3 = -80\text{ dBm}$ et un rapport signal à bruit de 10.3 dB , le bloqueur doit être ramené au niveau $-80 - 10.3 = -90.3\text{ dBm}$. Ceci requiert une atténuation de 47.3 dB . Le filtre anti-repliement de type butterworth, qui présente une atténuation de 47.3 dB à la fréquence 54596 kHz et une atténuation de 0.3 dB dans la bande utile, a un ordre $N = 2$. Le Tableau 2.3 décrit le niveau des bloqueurs et des interférants avant et après filtrage. Le niveau du bloqueur le plus élevé est de -51 dBm .

$A_{\max} = 0.3 \text{ dB}$					
$f_{\text{bloqueur/interferent}} \text{ (kHz)}$	1728	3456	5184	6000	54596
Niveau du bruit avant filtrage (dBm)	-60	-39	-33	-43	-43
Atténuation	2.85	12	18.82	21.34	59.56
Niveau du bruit après filtrage (dBm)	-62,85	-51	-51.82	-64.34	-102.66

Tableau 2.3 – Niveau des bloqueurs de la norme DECT avant et après filtrage anti-repliement.

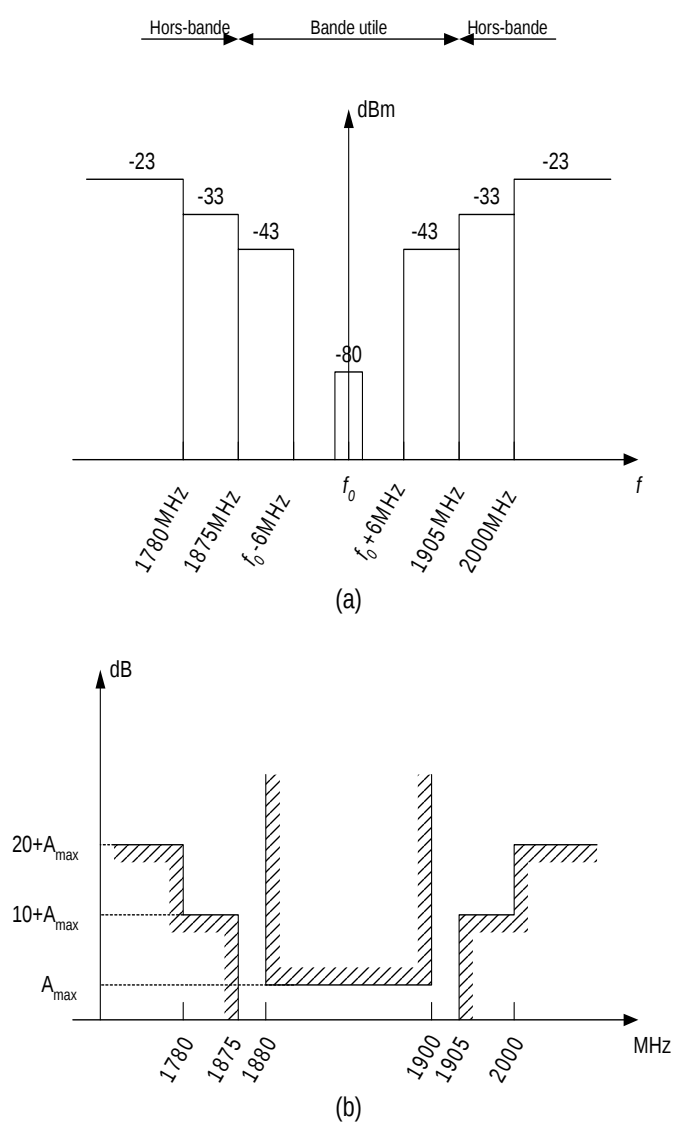


Figure 2.17 – Détermination du gabarit du filtre RF pour le standard DECT.

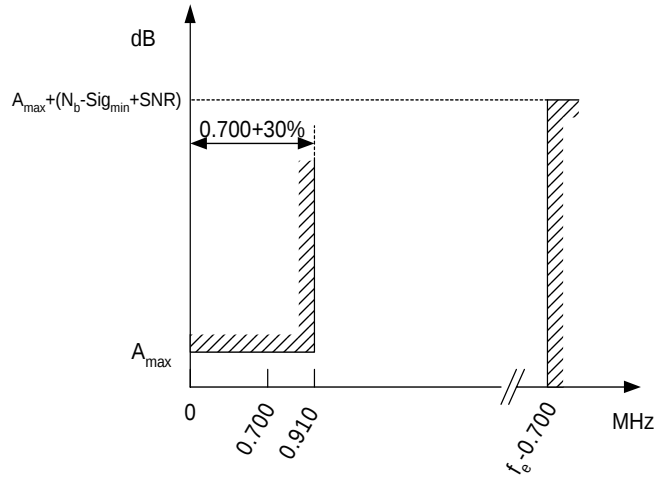


Figure 2.18 – Gabarit du filtre anti-repliement pour la norme DECT.

c. Cas de l'UMTS

Les bloqueurs et le gabarit du filtre RF sont illustrés respectivement par les Figures 2.19 (a) et (b). La Figure 2.20 illustre le gabarit du filtre anti-repliement pour une largeur de canal effective de 3840 kHz qui a pour rôle de limiter le spectre avant la conversion.

Comme la bande d'un canal UMTS est plus large que celle de la norme DECT, le coefficient de suréchantillonnage minimal que nous pouvons choisir, sans augmenter pour autant la complexité, est égal à 16. Ceci induit une fréquence d'échantillonnage f_e égale à 61440 kHz . Le bloqueur qui se repliera sur le signal utile, se trouve entre $f_e - B = 59520 \text{ kHz}$ et $f_e = 61440 \text{ kHz}$. Le niveau du bloqueur, à cet intervalle de fréquence, est -44 dBm . Pour un signal, pris à 3 dB au dessus de la sensibilité soit $-106.7 + 3 = -103.7 \text{ dBm}$ et un rapport signal à bruit de 6.8 dB , le bloqueur doit être ramené au niveau $-103.7 - 6.8 = -110.5 \text{ dBm}$. Ceci requiert une atténuation de 66.5 dB . Le filtre anti-repliement de type Butterworth, qui présente une atténuation de 66.5 dB à la fréquence 59520 kHz et une atténuation de 0.3 dB dans la bande utile, a un ordre $N = 3$. Le Tableau 2.4 décrit le niveau des bloqueurs et des interférants avant et après filtrage. Le niveau du bloqueur le plus élevé est de -54.89 dBm .

$A_{\max} = 0.3 \text{ dB}$				
$f_{\text{bloqueur/interferent}} \text{ (kHz)}$	5000	10000	15000	59520
Niveau du bruit avant filtrage (dBm)	-52	-56	-44	-44
Atténuation	2.89	17.90	28.4	71.18
Niveau du bruit après filtrage (dBm)	-54.89	-73.9	-72.4	-115.18

Tableau 2.4 – Niveau des bloqueurs de la norme UMTS avant et après filtrage anti-repliement.

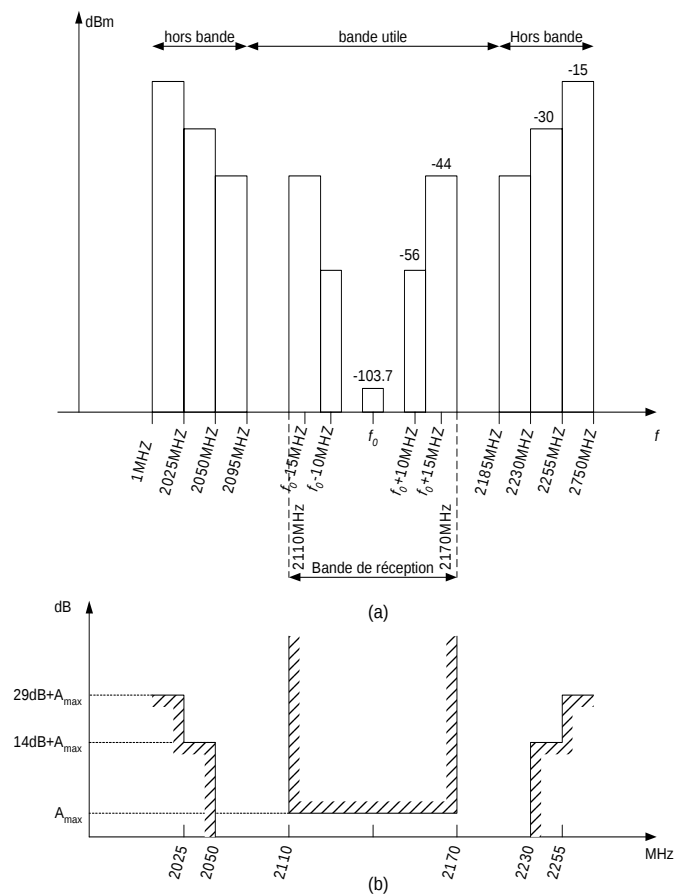


Figure 2.19 – Détermination du gabarit du filtre RF pour la norme UMTS.

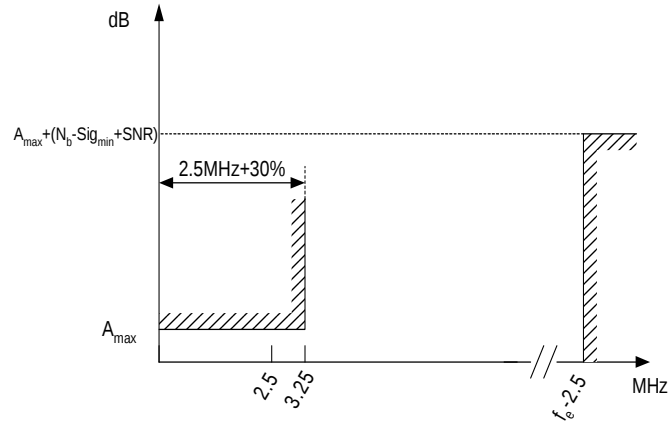


Figure 2.20 – Gabarit du filtre anti-repliement pour la norme UMTS.

2.3.2 Bilan des gains

Dans ce paragraphe, nous avons appliqué la méthode de dimensionnement proposée dans le paragraphe 2.2.2 pour déterminer les gains de l'AGC et la dynamique du convertisseur nécessaires pour les trois normes GSM, DECT et UMTS.

a. Cas du GSM

Selon le Tableau 2.2 le niveau du bloqueur le plus élevé après filtrage est de -58,9 dBm. Si nous considérons, que le signal minimal correspondant à la sensibilité soit à -102 dBm et que le signal maximum soit à -12 dBm, selon les équations (2.35) et (2.34), le gain minimum de l'AGC sera de 21 dB et son gain maximum sera de 49.9 dB.

Comme la dynamique, au niveau de l'antenne, est de 90 dB et le SNR vaut 9 dB, la dynamique, au niveau du convertisseur analogique numérique sans un AGC, est de 99 dB selon la formule (2.36). Cependant, d'après l'équation (2.37), la dynamique au niveau de l'ADC moyennant un AGC, est de 52 dB. D'après l'équation (1.3), pour un coefficient de suréchantillonnage de 65 un convertisseur Sigma-Delta d'ordre 2 suffit pour fournir une dynamique de 79 dB.

b. Cas du DECT

Selon le Tableau 2.3, le niveau du bloqueur le plus élevé après filtrage est de -51 dBm. Si l'on considère que, le signal minimal correspondant à la sensibilité, soit -83 dBm, et le signal maximum selon la norme soit de -14 dBm et en tenant compte des équations (2.35) et (2.34), le gain minimum de l'AGC sera de 23 dB et son gain maximum sera de 42 dB.

Comme la dynamique, au niveau de l'antenne, est de 69 dB et le SNR vaut 10,3 dB, la dynamique, au niveau du convertisseur analogique numérique sans un AGC, est de 79,3 dB selon (2.36). Tandis que, d'après la formule (2.37), la dynamique au niveau de l'ADC moyennant un AGC est de 42,92 dB. D'après l'équation (1.3), pour un coefficient de suréchantillonnage de 39, un convertisseur Sigma-Delta d'ordre 2 suffit pour fournir une dynamique de 68 dB.

c. Cas de l'UMTS

Selon le Tableau 2.4, le niveau du bloqueur le plus élevé après filtrage est de -54.89 dBm. Si l'on considère que, le signal minimal correspondant à la sensibilité, soit de -106.7 dBm, et le signal maximum selon la norme soit de -25 dBm. Selon les équations (2.35) et (2.34) le gain minimum de l'AGC sera de 34 dB et son gain maximum sera de 50.49 dB.

Comme la dynamique, au niveau de l'antenne, est de 81,7 dB et le SNR vaut 6,8 dB, la dynamique, au niveau du convertisseur analogique numérique sans un AGC, est de 88,4 dB selon la formule (2.36). Tandis que, d'après l'équation (2.37), la dynamique au niveau de l'ADC moyennant un AGC, est de 53,90 dB. D'après l'équation (1.3), pour un coefficient de suréchantillonnage de 16 un convertisseur Sigma-Delta d'ordre 3 suffit pour fournir une dynamique de 64 dB.

2.3.3 Facteurs de linéarité

Dans ce paragraphe, nous avons calculé les IIP3 et les IMR nécessaires pour chacune des norme GSM, DECT et UMTS selon la méthode décrite dans le paragraphe 2.2.2.

a. Cas du GSM

La norme GSM [22] définit les conditions de test d'intermodulation. Elle suppose que le signal utile à la fréquence f_0 a une puissance supérieure de 3 dB à la sensibilité. Elle suppose, aussi, l'existence d'une sinusoïde pure à la fréquence f_1 ayant une puissance de -49 dBm et un signal pseudo aléatoire modulé en GMSK à la fréquence f_2 ayant une puissance de -49 dBm. Les fréquences sont choisies de sorte que $f_0 = 2f_1 - f_2$ et $|f_2 - f_1| = 800\text{kHz}$. Sous ces conditions, la réjection minimale du produit d'intermodulation est selon la formule (2.38) égale à $IMR = -49 - (-102 + 3 - 9) = 59\text{ dB}$. On en déduit selon l'équation (2.39) que $IIP_3 = (59/2) + (-49) = -19.5\text{ dBm}$.

Le Tableau 2.5 résume les résultats du dimensionnement du récepteur pour la norme GSM.

b. Cas du DECT

La norme DECT [21] définit les conditions de test d'intermodulation. Elle suppose que le signal utile à la fréquence f_0 a une puissance supérieure de 3 dB à la sensibilité. Elle suppose, aussi, l'existence d'une sinusoïde pure à la fréquence f_1 ayant une puissance de -48 dBm et un signal modulé en GFSK à la fréquence f_2 ayant une puissance de -48 dBm. Les fréquences sont choisies de sorte que ni f_1 ni f_2 ne soient un canal adjacent à f_0 . Sous ces conditions, la réjection minimale du produit d'intermodulation est selon la formule (2.38) égale à $IMR = -48 - (-83 + 3 - 10.3) = 42.3\text{ dB}$. On en déduit selon l'équation (2.39) que $IIP_3 = (42.3/2) + (-48) = -26.85\text{ dBm}$.

Le Tableau 2.5 résume les résultats du dimensionnement du récepteur pour la norme DECT.

c. Cas de l'UMTS

La norme l'UMTS [23] définit les conditions de test d'intermodulation. Elle suppose que le signal utile à la fréquence f_0 a une puissance supérieure de 3 dB à la sensibilité. Elle suppose, aussi, l'existence d'une sinusoïde pure à la fréquence f_1 ayant une puissance de -46 dBm et un signal modulé en W-CDMA à la fréquence f_2 ayant une puissance de -46 dBm. Les fréquences sont choisies de sorte que f_1 et f_2 ont respectivement un décalage de 10 et 20 MHz par rapport à f_0 . Sous ces conditions, la réjection minimale du produit d'intermodulation est selon la formule (2.38) égale à $IMR = -46 - (-106.7 + 3 - 6.7) =$

64.4 dB. On en déduit selon l'équation (2.39) que $IIP_3 = (64.4/2) + (-46) = -13.8$ dBm.

Le Tableau 2.5 résume les résultats du dimensionnement du récepteur pour la norme UMTS.

FI=0 kHz	UMTS	DECT	GSM
M	16	$\simeq 39$	65
A_{max} dB	0.3	0.3	0.3
f_e kHz	59520	54595	12900
N_{butterworth}	3	2	3
DR_{antenne} dB	81.7	69	90
G_{AGCmax} dB	50.49	42	49.9
G_{AGCmin} dB	34	23	21
DR_{ΣΔ} dB	64	68	79.17
n_{ΣΔ}	3	2	2
IMR dB	64.4	42.3	59
IIP₃ dBm	-13.8	-26.85	-19.5

Tableau 2.5 – Résumé des résultats de dimensionnement du récepteur RF.

2.4 Validation du dimensionnement par simulation ADS

Afin d'évaluer les performances de l'architecture à conversion directe proposée, et valider les résultats de dimensionnement, nous avons réalisé des simulations des circuits de réception à l'aide du logiciel ADS (Advanced Design System) d'Agilent Technology.

2.4.1 Définition des modèles ADS des étages du récepteur radio

Afin de simuler la chaîne de réception, nous avons défini des modèles pour les circuits RF en utilisant les caractéristiques présentées dans les fiches techniques des composants du commerce.

Concernant l'amplificateur à faible bruit (LNA), nous avons utilisé un circuit large bande de chez Infineon le "BGA622L7". Ses principales caractéristiques sont résumées dans le Tableau 2.6. La largeur de bande de ce composant suffit pour couvrir les bandes des trois normes GSM, DECT et UMTS. De même, son gain typique correspond à celui choisi pour le dimensionnement.

Gain	18dB à 1.575 GHz
NF	1.1 dB à 1.575 GHz
Largeur de bande	0.5-6 GHz
IP_{1dB}	-20 dB
IIP3	-1.9 dB

Tableau 2.6 – Caractéristiques du LNA BGA622L7.

Pour le mélangeur, nous avons choisi un composant large bande de chez Analog Devices le "AD8343" dont les principales caractéristiques sont illustrées dans le Tableau 2.7.

Gain de conversion	7.1 dB
NF	14.1 dB
Largeur de bande	DC-2.5 GHz
IP_{1dB}	2.8 dB
IIP3	16.5 dB

Tableau 2.7 – Caractéristiques du mélangeur AD8343.

Pour l'AGC, nous avons choisi un composant large bande de chez Analog Devices le "AD8331" dont les principales caractéristiques sont illustrées par le Tableau 2.8.

range Gain	7.5-55.5 dB
NF	6 dB
Largeur de bande	120 MHz
OIP3	38 dBm

Tableau 2.8 – Caractéristiques de l'AGC AD8331.

Enfin, les caractéristiques des filtres correspondent à celles données par les résultats de dimensionnement pour les trois normes.

Nous avons implanté sur le simulateur ADS le schéma global (Voir Figure2.21) permettant de modéliser les caractéristiques des composants de commerce choisis (LNA, mélangeur, AGC), les filtres SAW RF de sélection de bande et les filtres de butterworth d'anti-repliement.

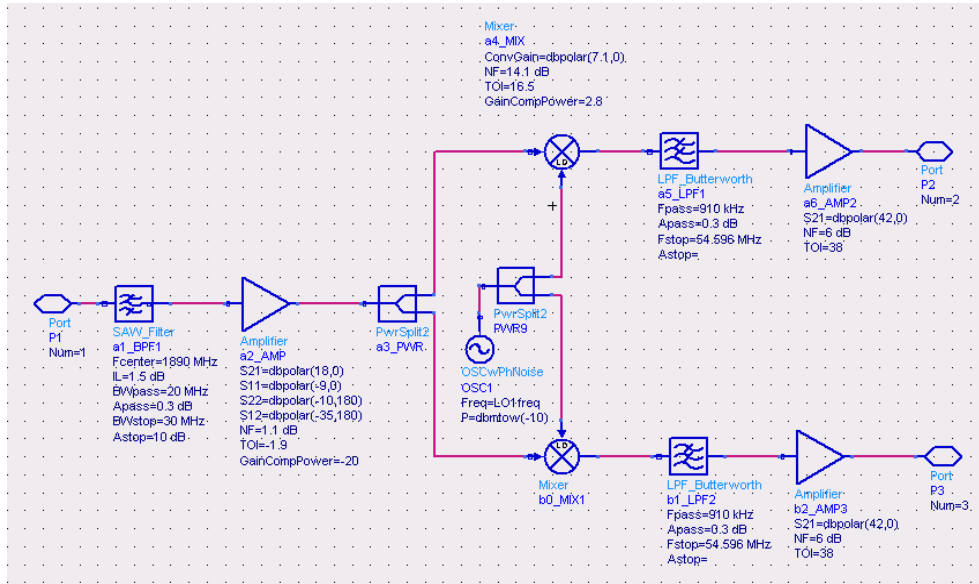


Figure 2.21 – Schéma de simulation sous ADS du récepteur RF.

2.4.2 Résultats des simulations ADS et Analyse des performances globales du récepteur multistandard

Grâce à des simulations ADS, nous avons évalué l'évolution du gain tout au long de la chaîne de réception RF (voir Figure 2.22). Nous remarquons que l'apport de l'AGC en terme de gain est le plus important dans toute la chaîne. Les pertes sont réparties sur le filtre RF et le mélangeur en tant que pertes d'insertion. La Figure 2.23 montre l'évolution du facteur de bruit à travers la chaîne. Nous remarquons l'importance du LNA. En effet, il n'affecte pas trop le facteur de bruit et son gain permet d'atténuer la dégradation du SNR due au mélangeur dont le facteur de bruit est élevé. Nous avons aussi évalué les performances de la chaîne en terme de IIP_3 (voir Figure 2.24). Les performances de la chaîne pour les trois normes ont été obtenues en ne modifiant que les paramètres des filtres analogiques, les gains de l'AGC, les fréquences porteuses et les bloqueurs. Le Tableau 2.9 résume les performances de la chaîne RF pour les trois normes choisies. Nous remarquons que le prototype proposé satisfait les exigences fournies par la méthode de dimensionnement.

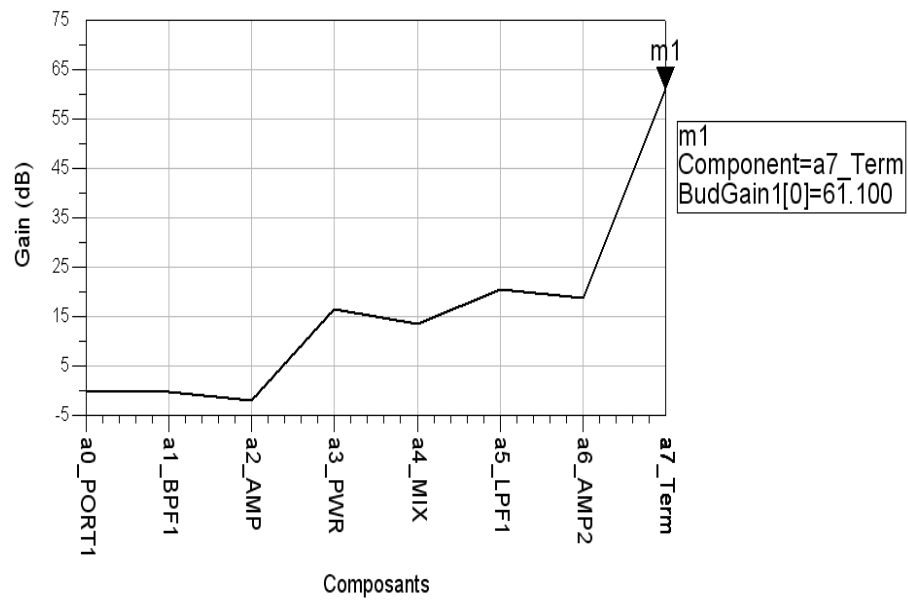


Figure 2.22 – Courbe d'évolution du gain dans la chaîne RF pour la norme DECT.

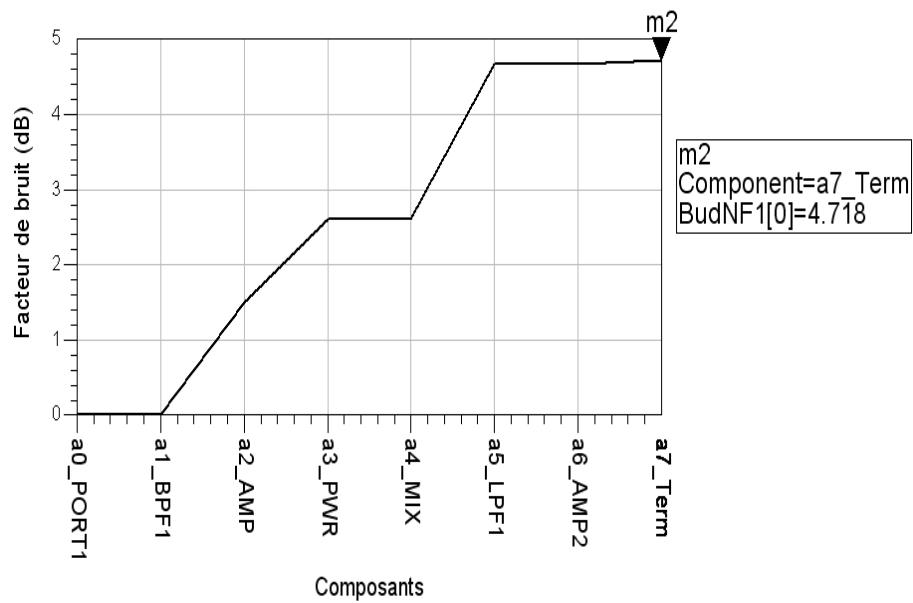


Figure 2.23 – Courbe d'évolution du facteur de bruit dans la chaîne RF pour la norme DECT.

	Gain (dB)	Facteur de Bruit (dB)	IIP ₃ dBm	P _{1dB} dBm
GSM	69	4.718	-12.5	-39
DECT	61.1	4.718	-18.5	-34.5
UMTS	69.6	4.718	-12.7	-40

Tableau 2.9 – Performances globale du récepteur RF.

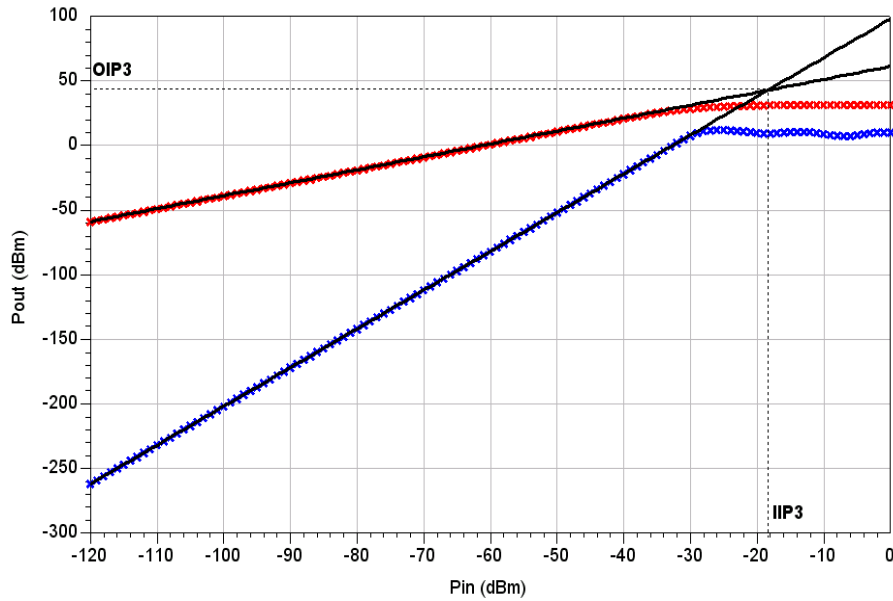


Figure 2.24 – Détermination graphique du facteur IIP3 de la chaîne RF pour la norme DECT.

2.5 Conclusion

Ce chapitre termine la première partie de ce rapport qui concerne la conception du récepteur radio multistandard. Nous avons défini dans celui-ci une méthode de dimensionnement des différents éléments constituant la chaîne de réception multistandard. En premier lieu nous avons défini les paramètres nécessaires au dimensionnement de la chaîne qui sont le facteur de bruit, les facteurs de linéarité, la dynamique et les gains. Nous avons ensuite décrit l'approche de dimensionnement et défini les différentes hypothèses adoptées pour le calcul des paramètres des circuits du récepteur : filtre RF, filtre anti-repliement, AGC et ADC tout en tenant compte des paramètres de non linéarité des circuits RF. La démarche de dimensionnement a été illustrée par un graphe flot qui met en évidence l'ordre chronologique des étapes de calcul ainsi que les données et les expressions nécessaires pour chaque étape. Cette méthode a été appliquée pour les normes GSM, DECT et UMTS. Dans la dernière partie la méthode de dimensionnement a été exploitée pour évaluer les performances de l'architecture à conversion directe proposée et valider les résultats de dimensionnement grâce à des simulations des circuits de réception à l'aide du logiciel ADS (Advanced Design System) d'Agilent Technology. Ces simulations ont été effectuées en définissant des modèles pour les circuits RF en considérant les caractéristiques présentées dans les fiches techniques des composants du commerce. Les résultats de simulation obtenus ont permis de vérifier les performances globales du récepteur radio en terme de bruit et linéarité calculées par la méthode de dimensionnement.

Après l'étude des étages RF du récepteur multistandard menée dans cette première partie du rapport. Nous allons consacrer la deuxième partie de notre étude au traitement poste conversion portant essentiellement sur la sélection numérique du canal radio.

Spécifications et optimisation du filtrage de sélection des canaux

Chapitre 3

Définition et spécifications des étages de sélection des canaux

3.1 Introduction

A partir de ce chapitre nous allons entamer le deuxième volet de recherche mené dans le cadre de nos travaux de thèse. L'objectif de ce chapitre est de définir les spécifications des étages de sélection des canaux. Dans la conduite de cette étude nous allons d'abord rappeler les principes de décimation et de sélection de canal dans un récepteur radio. Puis nous allons étudier les structures usuelles de filtrage de décimation afin de définir une structure de filtrage optimisée pour la réception multistandard. Une fois la structure de filtrage définie nous cherchons à établir, une méthode de spécification des différents étages de filtrage utilisés dans cette structure. A la fin de ce chapitre nous allons présenter les résultats d'application de la méthode établie pour déterminer les spécifications des filtres de sélection de canal pour les trois normes UMTS, DECT et GSM.

3.2 Optimisation de la structure du filtrage de décimation

D'après le choix conceptuel adopté pour le récepteur multistandard dans la première partie de ce rapport, nous avons opté pour une conversion analogique numérique en bande de base en utilisant une conversion à suréchantillonnage de type Sigma-Delta.

Par conséquent, un filtre de décimation poste conversion doit être défini pour assurer les fonctions suivantes (voir Figure 3.1) [48] :

- sélectionner le canal désiré (enlever les signaux hors bande),
- enlever le bruit de quantification,
- et réduire la cadence du signal d'un facteur M .

M étant le facteur de suréchantillonnage qui est égal au rapport de la fréquence d'échantillonnage sur la fréquence de Nyquist. En effet, le filtre effectue une moyenne pondérée sur chaque M valeurs à la sortie du convertisseur Sigma-Delta.

Le bruit de quantification ayant été modulé vers les hautes fréquences, il faudrait ainsi faire un filtrage pour diminuer les effets de repliement du spectre. Dans le cas d'une sélection numérique de canal, le rôle du filtre décimateur est de sélectionner le canal désiré.

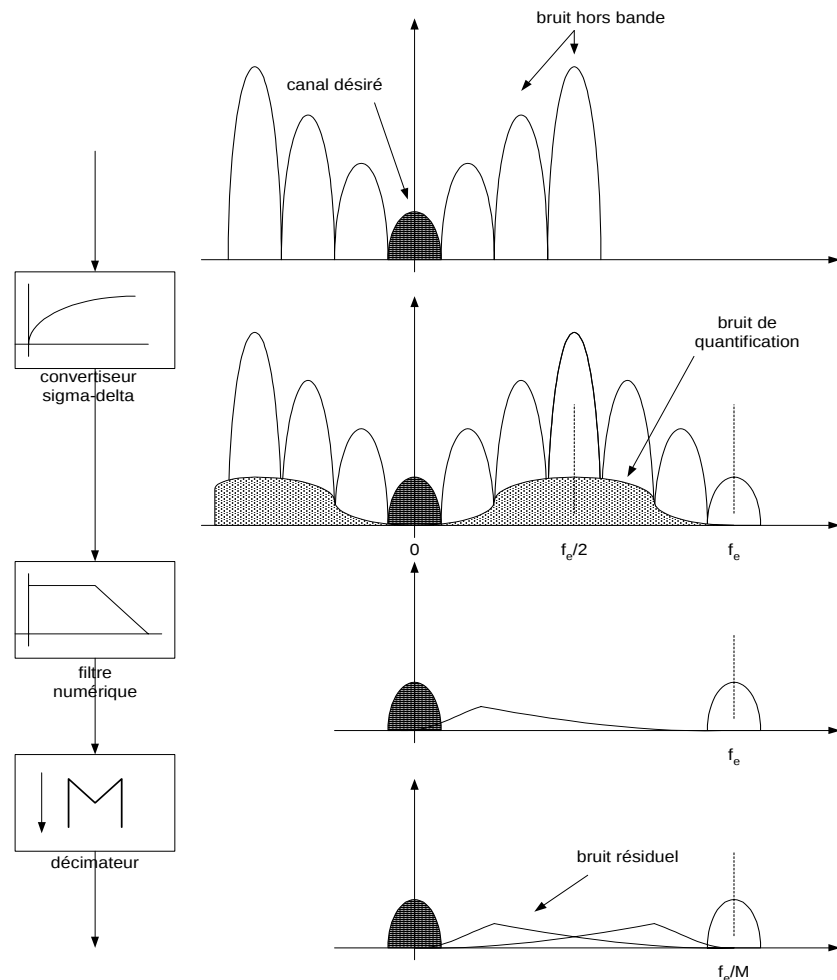


Figure 3.1 – Etapes des opérations de sélection numérique du canal.

3.2.1 Principe de décimation d'un signal radio numérisé

Avant de développer la méthodologie de conception des filtres décimateurs, il convient d'abord d'analyser l'effet de la décimation sur le signal et son spectre.

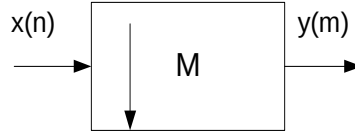


Figure 3.2 – Schéma bloc d'un décimateur.

Soit une suite d'échantillons notée $x(n)$ qui subit une décimation pour obtenir un signal $y(m)$ tel que $y(m) = x(mM)$ (voir Figure 3.2), nous nous proposons de trouver la relation entre le spectre de x noté $X(f)$ et le spectre de y noté $Y(f)$.

Nous pouvons toujours construire un nouveau signal noté $x'(n)$ tel que $x'(n) = x(n)$ aux instants d'échantillonnage de $y(m)$ et zéro ailleurs tel que c'est décrit par l'équation (3.1).

$$x'(n) = \begin{cases} x(n) & n = pM, \quad p \in \mathbf{Z} \\ 0 & \text{si non} \end{cases} \quad (3.1)$$

Nous pouvons écrire $x'(n)$ d'une manière plus commode grâce à l'équation (3.2).

$$x'(n) = x(n) \left\{ \frac{1}{M} \sum_{l=0}^{M-1} e^{j2\pi ln/M} \right\}, \quad -\infty < n < \infty \quad (3.2)$$

Nous avons donc l'égalité donnée par l'équation (3.3).

$$y(m) = x'(Mm) = x(Mm) \quad (3.3)$$

Nous pouvons maintenant écrire la transformée en z de $y(m)$ telle qu'elle est décrite par l'équation (3.4).

$$\begin{aligned} Y(z) &= \sum_{m=-\infty}^{+\infty} y(m) z^{-m} \\ &= \sum_{m=-\infty}^{+\infty} x'(Mm) z^{-m} \end{aligned} \quad (3.4)$$

Comme $x'(n)$ est nulle sauf aux multiples de M , l'équation (3.4) peut être réécrite par l'équation (3.5) :

$$\begin{aligned}
Y(z) &= \sum_{m=-\infty}^{+\infty} x'(Mm) z^{-\frac{m}{M}} \\
&= \sum_{m=-\infty}^{+\infty} x(m) \left[\frac{1}{M} \sum_{l=0}^{M-1} e^{j2\pi l m / M} \right] z^{-\frac{m}{M}} \\
Y(z) &= \frac{1}{M} \sum_{l=0}^{M-1} X(e^{-j2\pi l / M} z^{1/M})
\end{aligned} \tag{3.5}$$

Ce qui correspond, en domaine fréquentiel, aux expressions (3.6) et (3.7) qui se traduisent par une périodisation du spectre initial aux multiples de la nouvelle fréquence d'échantillonnage (voir Figure 3.3).

$$Y(f) = \frac{1}{M} \sum_{l=0}^{M-1} X\left(\frac{f-l}{M}\right) \tag{3.6}$$

$$Y(Mf) = \frac{1}{M} \sum_{l=0}^{M-1} X\left(f - \frac{l}{M}\right) \quad \text{on pose } f' = Mf \tag{3.7}$$

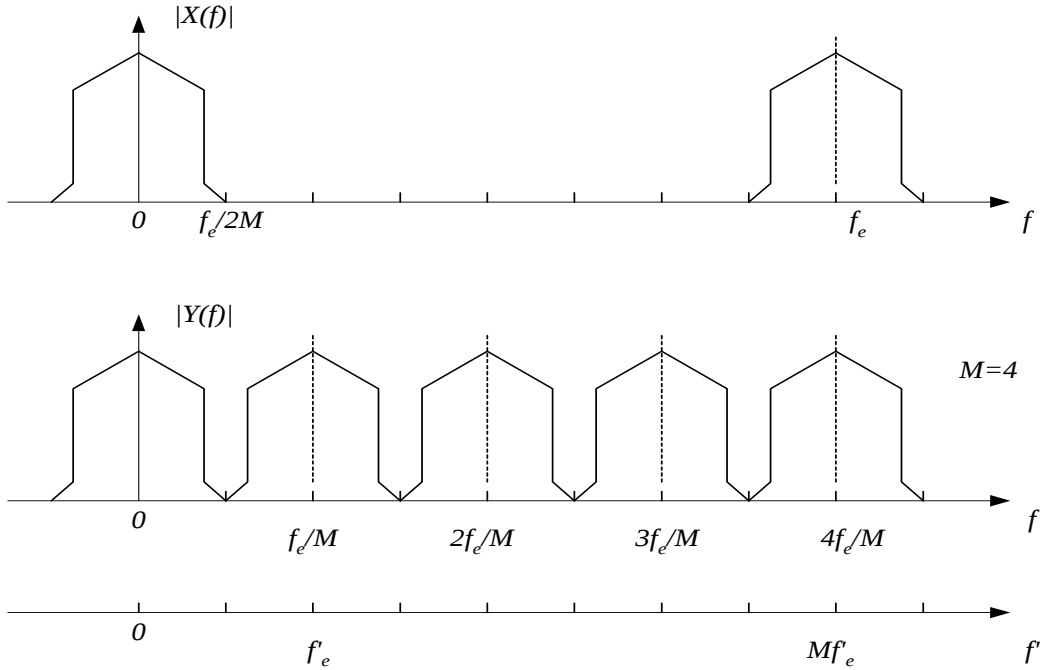


Figure 3.3 – Spectre obtenu après décimation.

3.2.2 Etude des structures usuelles de filtrage de décimation

La Figure 3.3 montre que le spectre résultant est une périodisation du spectre initial aux fréquences multiples de f_e/M . Si la bande du signal dépasse la fréquence $f_e/2M$ il y aura un recouvrement du spectre. Il faut, donc, introduire un filtre anti-repliement en amont de la décimation comme le montre la Figure 3.4.

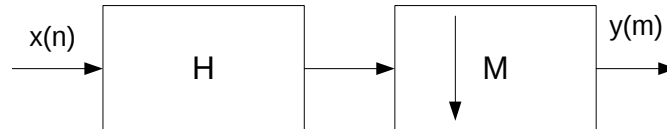


Figure 3.4 – Schéma bloc du filtre décimateur.

En effet, d’après presque toutes les études sur le filtrage de décimation l’utilisation d’un filtre en peigne (filtre sinus cardinal), juste après le modulateur sigma-delta, représente le meilleur choix compte tenu de la faible complexité de ses opérations de traitement qui sont appliquées au signaux à forte cadence d’échantillonnage.

Partant de ce choix commun de filtre en peigne différentes structures ont été proposées dans la littérature et dont les plus intéressantes sont les suivantes :

M. Laddomada et M. Mondin proposent dans [49] une structure à plusieurs filtres en peigne avec une fonction de transfert définie par la méthode de J. Kaiser et R. Hamming [50] qui a permis d’améliorer le filtrage en terme de sélectivité.

B. White et M. Elmasry proposent dans [19] une structure composée d’un filtre en peigne et deux filtres FIR.

Dans [51] les auteurs proposent une cascade de filtre décimateur composée d’un filtre en peigne et d’un filtre FIR qui achève la sélection. R. Crochiere et L. Rabiner [52] conseillent l’utilisation des filtres demi-bande sous leur forme polyphase afin de diminuer la complexité de traitement.

C. Barrette [20] propose une solution composée d’un filtre en peigne suivi de deux filtres demi-bande et un filtre FIR de correction.

Nous remarquons que le choix de la structure de filtrage est intuitif et dépend surtout de l’application souhaitée. Nous cherchons alors dans la suite de notre travail à définir une structure de filtrage.

3.2.3 Définition de la structure de filtrage optimisée

Dans le paragraphe 1.4.3, nous avons mis en évidence la nécessité d'une structure de filtrage de décimation composée de plusieurs étages. Par ailleurs, il ne faut pas augmenter le nombre d'étages jusqu'à en perdre le gain de complexité par rapport à un seul étage de filtrage. Nous cherchons alors à optimiser le nombre et le type de circuits de filtrage de façon à obtenir les performances requises avec le minimum de complexité matérielle.

Au niveau de la sortie du convertisseur analogique numérique, la fréquence d'échantillonnage est la plus élevée. Il est conseillé, donc, d'utiliser un filtre à faible complexité. Le filtre en peigne est un moyen efficace pour permettre la décimation d'un signal en sortie d'un convertisseur Sigma-Delta jusqu'à 4 fois la fréquence de Nyquist [53]. Ce filtre peut être implanté sans faire appel à aucune opération de multiplication comme il sera démontré au paragraphe 3.2.3.

A la sortie du filtre en peigne, il faut définir la structure de filtrage complémentaire qui permettra la décimation du signal ayant la facture de suréchantillonnage "4" restant et de finaliser l'opération de sélection de canal. Pour atteindre cet objectif nous avons exploré les trois possibilités de structure de filtrage suivante.

Une première structure de filtrage : Composée d'un filtre en peigne suivi d'un seul étage de filtrage de type FIR.

Une deuxième structure de filtrage : Elle fait appel aux filtres demi-bandes qui ont l'avantage d'avoir la moitié des coefficients nuls (voir §3.2.3). Comme ces filtres ne permettent qu'une décimation par un facteur de deux, le filtre en peigne doit être suivi par deux filtres demi-bande et un dernier filtre de type FIR pour garantir la sélectivité nécessaire [54, 55].

Une troisième structure de filtrage : composée d'un filtre en peigne suivi d'un seul filtre demi-bande et un filtre FIR [56].

Afin de comparer ces trois structures en terme de complexité de traitement nous avons considéré des spécifications préliminaires pour effectuer la synthèse des étages de filtrage pour ces 3 structures. D'après les résultats présentés au Tableau 3.1 ; pris pour le cas du DECT, nous remarquons que la troisième structure composée de trois étages (voir Figure 3.5) présente un avantage de complexité par rapport aux autres.

Structure de filtrage	DECT
Filtre en peigne + Filtre FIR	65800 Mul/s
Filtre en peigne + Filtre demi-bande + Filtre FIR	32900 Mul/s
Filtre en peigne + Filtre demi-bande + Filtre demi-bande + Filtre FIR	35700 Mul/s

Tableau 3.1 – Complexité de traitement des structures de filtrage de decimation pour le cas du DECT.



Figure 3.5 – Structure en cascade à 3 étages pour le filtre de décimation.

a. Filtre en peigne

Le filtre en peigne effectue une moyenne simple sur N échantillons. Sa réalisation ne nécessite forcément pas de multiplications. La fonction de transfert en z de ce filtre est donnée par l'équation (3.8), où K est le nombre de moyennneurs mis en cascade.

$$H(z) = \left(\frac{1}{N} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \right)^K \quad (3.8)$$

L'amplitude de la fonction de transfert du filtre en peigne est donnée par l'équation (3.9).

$$|H(f)| = \left| \left(\frac{\sin \pi f N T_e}{N \sin \pi f T_e} \right) \right|^K \quad (3.9)$$

Le filtre en peigne peut être réalisé de manière efficace en séparant l'équation (3.8) en un numérateur et un dénominateur (voir équation (3.10)) et en déplaçant la partie numérateur après la décimation (voir Figure 3.7).

$$H(z) = \left(\frac{1}{N} \right)^K \cdot (1 - z^{-N})^K \cdot \left(\frac{1}{1 - z^{-1}} \right)^K \quad (3.10)$$

En réalité, le filtre tel qu'il est représenté dans la Figure 3.7 réduit la complexité par rapport à la réalisation illustrée dans la Figure 3.6, car la partie numérateur opère à une cadence inférieure à celle qui se trouve à la sortie du convertisseur.

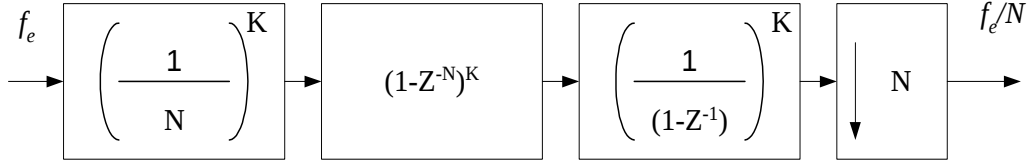


Figure 3.6 – Réalisation récursive directe.

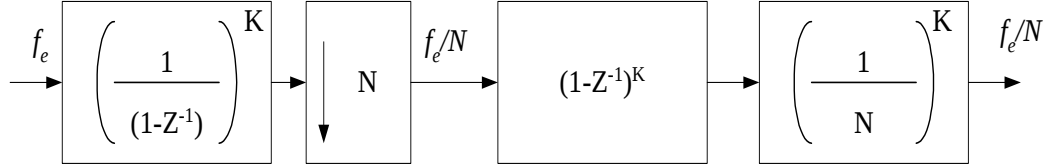


Figure 3.7 – Réalisation récursive optimale.

D'après [57], à la sortie d'un modulateur sigma-delta d'ordre L , un filtre en peigne avec $K = L + 1$ moyennneurs en cascade est suffisant pour atténuer le bruit de quantification qui se repliera sur la bande désirée. Pour une bande de largeur B les signaux qui vont se replier sur le signal utile se trouvent autour des fréquences multiples de $\frac{f_e}{N}$ avec une largeur de bande égale à B .

b. Filtre demi-bande et filtre de sélection de canal

Les fonctions de transfert des filtres demi-bande sont symétriques et ne laissent passer que la moitié de la bande. Ces filtres, sous leurs formes FIR, ont la particularité d'avoir les coefficients impairs nuls, excepté, le coefficient central qui vaut 0.5. Soit $h(n)$ la réponse impulsionnelle du filtre définie par les expressions (3.11) et (3.12), avec N entier impair égal à la longueur du filtre.

$$h(n) = \begin{cases} 0 & \text{pour } n \text{ impaire} \neq \frac{N-1}{2} \\ \frac{1}{2} & \text{pour } n = \frac{N-1}{2} \end{cases} \quad (3.11)$$

$$h(n) = h(N - 1 - n) \quad (3.12)$$

Comme la moitié des coefficients du filtre sont nuls, et que la réponse impulsionnelle est symétrique, la complexité de la réalisation du filtre est réduite. Ces filtres sont contraints à être à ondulations identiques (equiripples) en bande passante et bande atténuée avec une

bande de transition symétrique autour de $f_e/4$ où l'amplitude de la fonction de transfert est égale à $\frac{1}{2}$. Ces filtres sont utilisés pour la décimation d'un facteur de 2. La Figure 3.8 illustre la réponse théorique du filtre demi-bande.

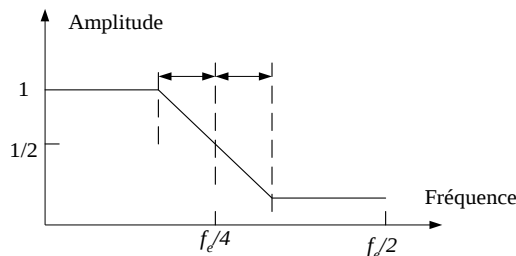


Figure 3.8 – Réponse théorique d'un filtre demi-bande.

Le filtre de sélection de canal est le dernier étage de filtrage. Il a de sévères contraintes en sélectivité, mais comme la fréquence d'échantillonnage a été réduite par les étages de filtrage précédents, l'ordre de ce filtre peut être réduit. La complexité globale des trois étages sera nettement inférieure à celle d'un seul étage de sélection de canal.

3.3 Etablissement d'une méthode de spécification des étages de filtrage

Ce paragraphe présente la démarche originale établie pour la détermination des spécifications minimales permettant un dimensionnement optimisé des étages du filtre de décimation et sélection de canal dans un contexte de réception radio multistandard [58, 59].

3.3.1 Mise en évidence de la complexité du problème

La méthode de dimensionnement des différents étages de filtrage repose plus sur l'intuition que sur une démarche théorique qui doit être suivie. Elle se résume, essentiellement, en un ensemble de règles ou de conseils qui doivent être vérifiés. En effet, la structure en cascade ayant été choisie, il faudrait penser à une réalisation qui s'apprête au mieux à la flexibilité au niveau de la réalisation matérielle. Nous essayons donc d'utiliser les mêmes architectures matérielles pour les différentes normes si les spécifications le permettent. Afin de déterminer les spécifications des étages de filtrage utilisés dans la structure choisie dans le paragraphe 3.2.3, il faudrait connaître la cadence et le facteur de suréchantillonnage

pour déterminer le facteur de decimation du filtre en peigne puisque le facteur des deux derniers étages a été fixé à deux (Figure 3.5).

La nature du spectre du signal utile permet de déterminer les fréquences passantes et d'arrêts de chacun des deux derniers étages de filtrage. En effet, le filtre demi-bande doit préserver toute la bande utile et le dernier étage doit sélectionner le canal en préservant convenablement la bande utile.

Enfin, le profil des bloqueurs et des interférants permet de déterminer les atténuations nécessaires au niveau de chaque étage, afin de préserver le rapport signal à bruit requis par la norme.

Nous pouvons résumer la démarche suivie comme suit :

1. Connaître le coefficient de suréchantillonnage pour déterminer le facteur de décimation du filtre en peigne.
2. Connaître la nature du spectre du signal utile et le profil des bloqueurs et des interférants pour déterminer les gabarits des différents étages,
3. Essayer de réutiliser les étages de filtrage,
4. Garantir le SNR requis en ajoutant les marges nécessaires sur les spécifications de chaque étage.

3.3.2 Méthode de spécification du filtre demi-bande

A la sortie du filtre en peigne, la sélection du canal n'est toujours pas achevée. Le filtre demi-bande doit donc contribuer à la sélection du canal avant de procéder à la décimation. La fréquence de bande passante doit donc contenir la bande du signal, c'est à dire $f_p \geq B$ pour chacune des normes. La fréquence d'arrêt de ce filtre notée f_s est directement déduite par symétrie par rapport à $\frac{f_c}{4}$. Selon le profil des interférants et des bloqueurs qui ont subi un premier filtrage par le filtre en peigne, nous pouvons estimer la valeur du bruit qui se repliera sur la bande utile une fois la décimation par le facteur deux est effectuée. Nous pouvons, ainsi, déterminer l'atténuation nécessaire pour préserver le signal pour chaque norme. Il faut aussi ajouter une marge contre l'effet de la quantification des coefficients. Si nous considérons le gabarit du filtre ayant la plus petite bande de transition normalisée et l'atténuation maximale calculées pour les normes considérées (Voir Figure 3.9), ce gabarit convient pour toutes les normes considérées. Il est clair que ce gabarit est surdimensionné. Cependant, il permet d'utiliser le même étage de filtrage pour toutes les normes considérées.

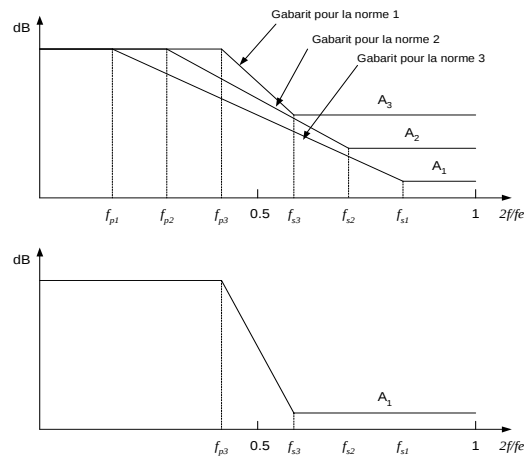


Figure 3.9 – Détermination du gabarit du filtre demi-bande.

3.3.3 Méthode de spécification du filtre de sélection de canal

La sélection du canal est obtenue par le dernier étage de filtrage. La fréquence de bande passante de ce filtre doit contenir l'essentiel de la bande utile, et, la fréquence f_s doit correspondre à la fréquence d'arrêt de la bande du signal. L'atténuation nécessaire est calculée de manière à garantir le rapport signal à bruit requis. Cependant, il faut prévoir une marge contre l'accumulation du repliement du bruit après deux étages de décimation et contre l'effet de la quantification des coefficients. Ce dernier étage ne peut être unique pour toutes les normes considérées car celles-ci diffèrent par leurs largeurs de canal.

3.4 Application de la méthode de spécification

Ce paragraphe présente un cas pratique d'application de la démarche de détermination des spécifications des étages de filtrage de décimation pour les trois normes UMTS, DECT et GSM.

3.4.1 Spécifications des filtres pour la norme UMTS

La norme UMTS précise l'utilisation d'une modulation QPSK pour un signal cadencé à 3840 Ksym/s avec un filtre de mise en forme en cosinus surélevé, dont le facteur de *rolloff* est égal à 0.22. La Figure 3.10 illustre le spectre d'un canal UMTS et la fonction de transfert du filtre de mise en forme. D'après la Figure 3.10, on peut déduire qu'un

canal UMTS occupe 5 MHz mais 3840 kHz contiennent l'essentiel de la puissance. La fréquence d'échantillonnage d'après le paragraphe 2.3.1, est 16 fois la fréquence symbole et vaut 61440 kHz. D'après le Tableau 2.1, les fréquences centrales sont autour des multiples de 5 MHz.

Dans le calcul qui suit, nous considérons des canaux d'une largeur de 3840 kHz centrés autour des multiples de 5 MHz, dont la puissance du signal est équi-répartie sur les deux lobes latéraux de largeur 1920 kHz.

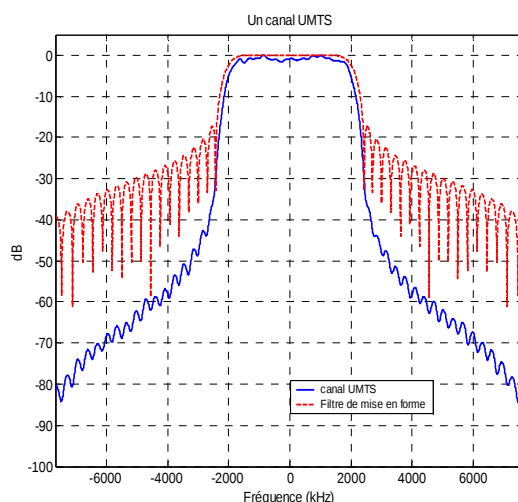


Figure 3.10 – Spectre d'un canal UMTS.

a. Spécification du filtre en peigne

La Figure 3.11 illustre le profil des bloqueurs et l'atténuation du filtre en peigne. Ce dernier présente une atténuation maximale autour des fréquences multiples de 4×3840 kHz. D'après le paragraphe 3.2.3, le filtre doit présenter une cascade de $K = L + 1 = 4 + 1 = 5$ moyenneurs. Cependant, une cascade de cinq moyenneurs n'est pas suffisante à cause du bloqueur autour des 15 MHz. Une cascade de six moyenneurs est nécessaire pour atténuer suffisamment le bruit de repliement. La Figure 3.11 illustre, aussi, le niveau des bloqueurs après filtrage et décimation d'un facteur quatre. Le cas des interférants est illustré par la Figure 3.12 : que ce soit dans le cas des interférants ou celui des bloqueurs, nous remarquons que le signal utile est bien préservé.

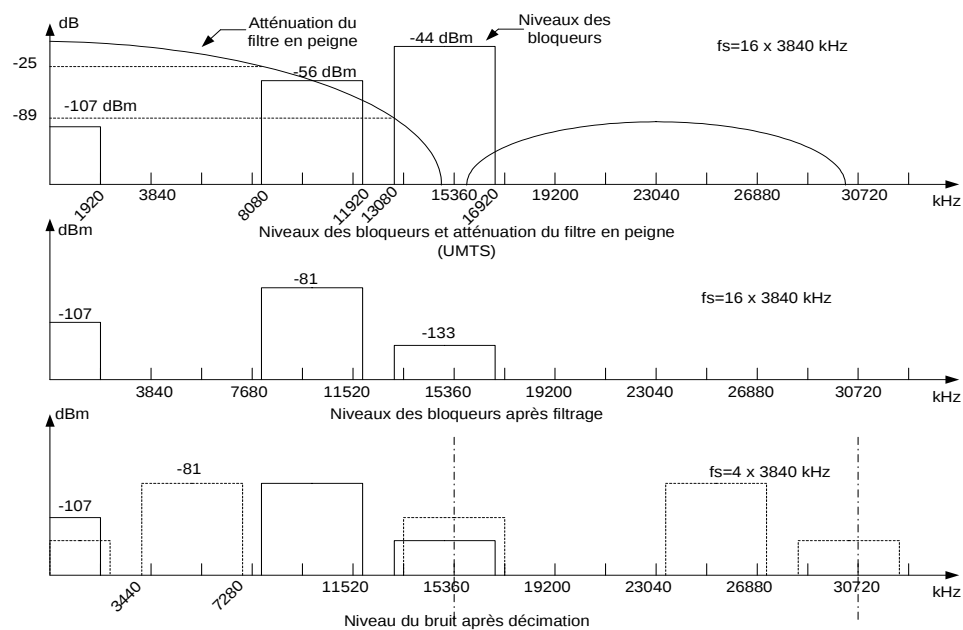


Figure 3.11 – Niveaux des bloqueurs à la sortie du filtre en peigne.

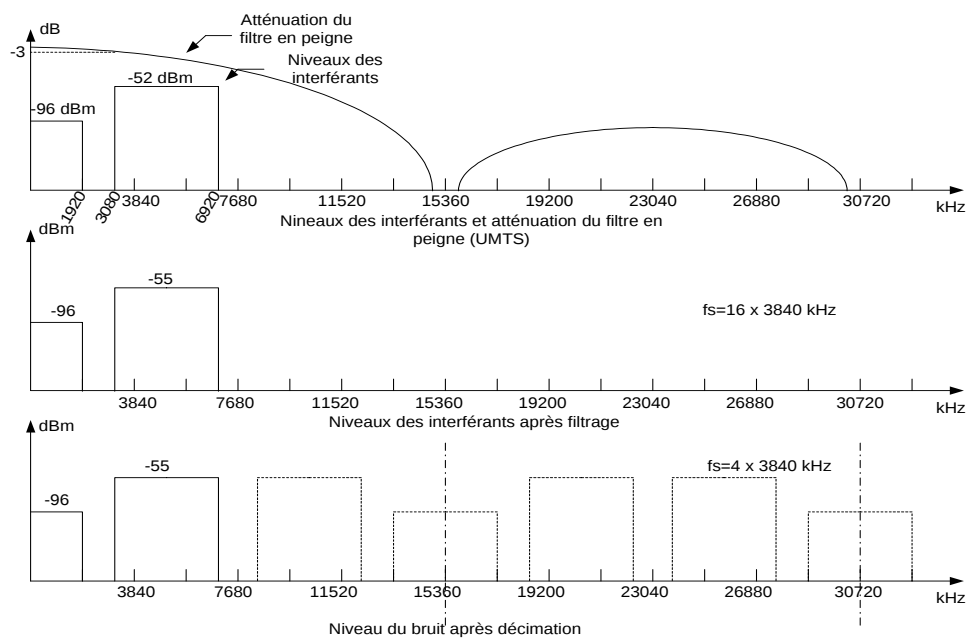


Figure 3.12 – Niveaux des interférents à la sortie du filtre en peigne.

b. Spécifications du filtre demi-bande

Le filtre demi-bande doit protéger le signal du repliement du bruit après décimation. La fréquence passante est choisie de façon à laisser passer toute la bande latérale. Elle est donc égale à 2500 kHz. Comme c'est un filtre dont la réponse fréquentielle est symétrique par rapport à 3840 kHz, la fréquence d'arrêt est de 5180 kHz. La Figure 3.13 illustre le bruit engendré par les bloqueurs après le filtre en peigne et l'atténuation du filtre demi-bande. Il est possible de partager le bruit des bloqueurs en trois sous bandes : la première entre [3440-3840 kHz], la seconde entre [3840,5180 kHz] et la troisième entre [5180,7280 kHz]. Comme nous avons supposé que la puissance est équi-répartie sur la bande du canal, nous pouvons estimer la puissance du bruit dans chaque sous bande. La première sous bande contient presque le dixième de la puissance donc $81 \text{ dBm} - 10 \text{ dB} = -91 \text{ dBm}$. De la même façon nous déterminons le niveau du bruit dans les autres sous bandes en tenant compte de l'atténuation du filtre.

D'après la Figure 3.13, le bruit qui se replie sur le signal a un niveau égal à $-83 \text{ dBm} - x \text{ dB}$. Pour que le rapport signal à bruit soit garanti, il faut que le niveau du bruit soit inférieur au niveau du signal utile diminué du SNR. C'est à dire, il faut que $-83 - x < -107 - 6,8$. Ceci implique que l'atténuation doit être au moins de 30,8 dB. Le même principe est appliqué aux interférants et la Figure 3.14 illustre le bruit des interférants qui se replie sur le signal utile. Pour garantir le rapport signal à bruit, il faut que $-58 - x < 96 - 6,8$. Ceci implique que l'atténuation doit être au moins de 44,8 dB.

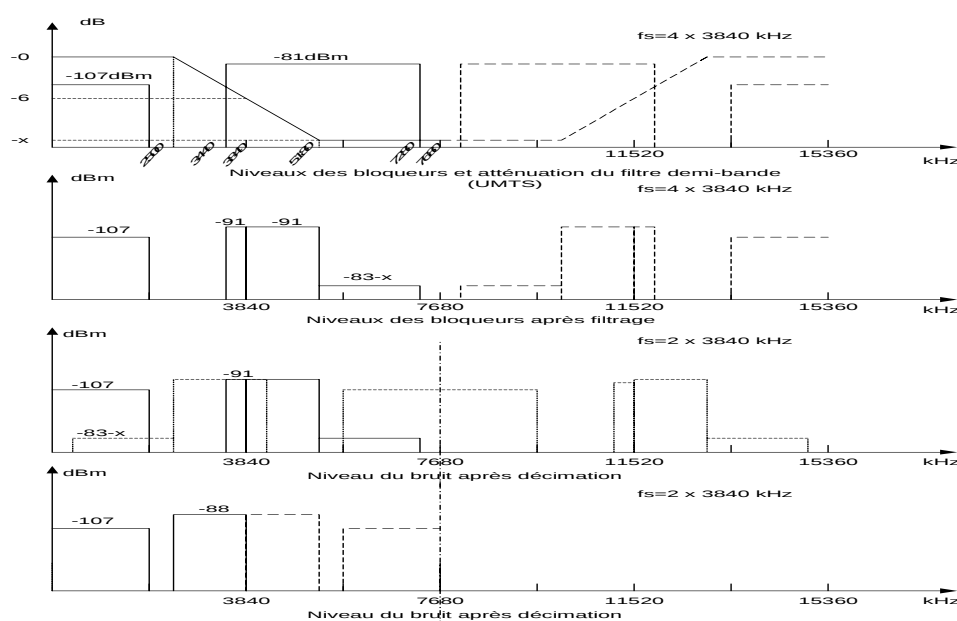


Figure 3.13 – Niveaux des bloqueurs à la sortie du filtre demi-bande pour l'UMTS.

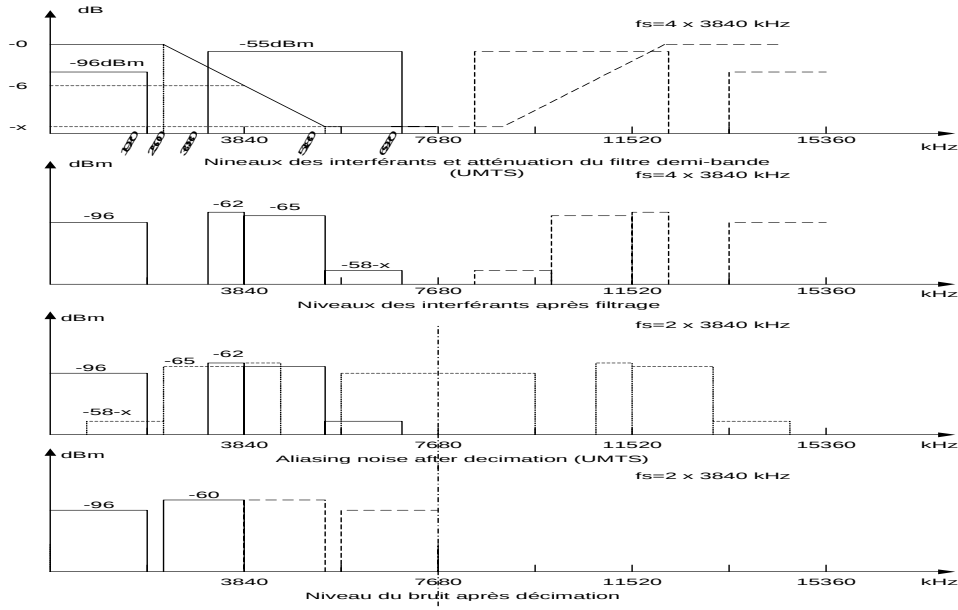


Figure 3.14 – Niveaux des interférants à la sortie du filtre demi-bande pour l'UMTS.

c. spécifications du filtre de sélection de canal

Le dernier étage de filtrage doit fournir un signal utile démunie de tout bruit hors bande. Il effectue aussi la sélection du canal. La fréquence de bande passante de ce filtre doit préserver la majorité de la puissance. Elle est donc égale à 1920 kHz. La fréquence d'arrêt correspond à la largeur de la bande latérale, c'est-à-dire 2500 kHz. Les Figures 3.15 et 3.16 présentent, respectivement, le cas des bloqueurs et des interférants après la sélection du canal. Les bloqueurs exigent une atténuation de 25,8 dB et les interférants une atténuation de 42,8 dB.

Si nous effectuons le bilan du bruit replié sur la bande utile, il serait le bruit engendré par les trois étages de filtrage. Le bruit de repliement à la sortie du filtre en peigne peut être négligé. Le rapport du signal à bruit est donné par l'équation (3.13).

$$S - (N_{comb} + N_{hb} + N_{FIR}) = S - ((S - SNR) + 3 \text{ dB}) \quad (3.13)$$

A cause de l'accumulation du bruit des deux derniers étages, le SNR s'est dégradé de 3 dB. Il est donc nécessaire d'ajouter au moins une marge de 3 dB sur les atténuations du filtre demi-bande et du filtre de sélection. Comme les coefficients des filtres seront quantifiés sur une précision finie, nous ajoutons encore une marge de 3 dB, ce qui fera en tout une marge de 6 dB sur les atténuations trouvées. L'atténuation retenue pour le filtre demi-bande est donc de $44,8 + 6 \simeq 51 \text{ dB}$ et celle du filtre de sélection est de $42,8 + 6 \simeq 49 \text{ dB}$.

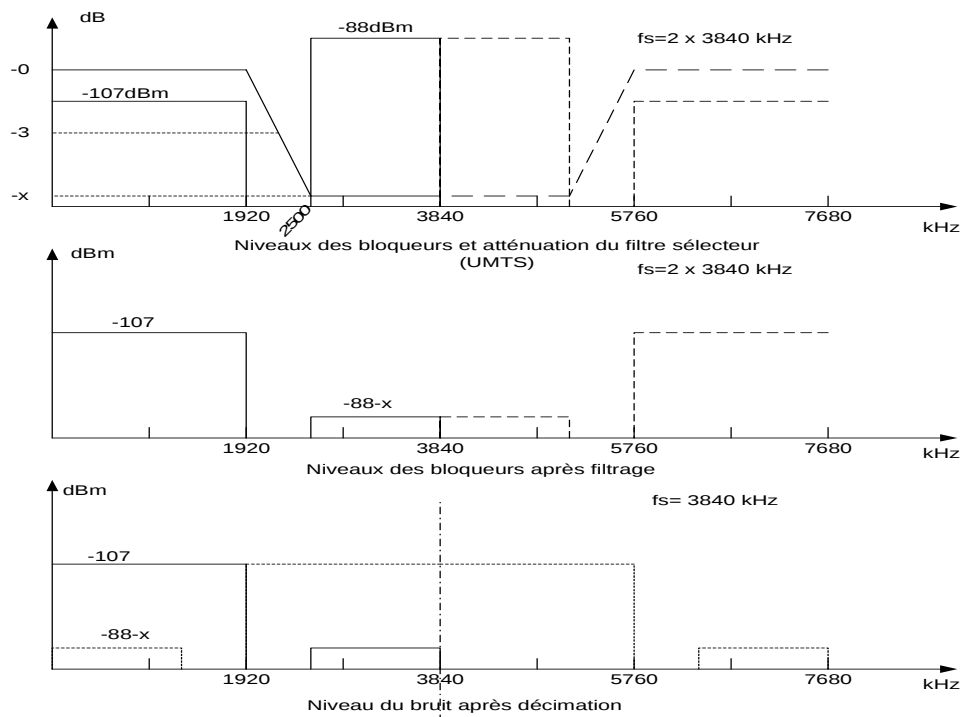


Figure 3.15 – Niveaux des bloqueurs à la sortie du filtre de sélection de canal pour l'UMTS.

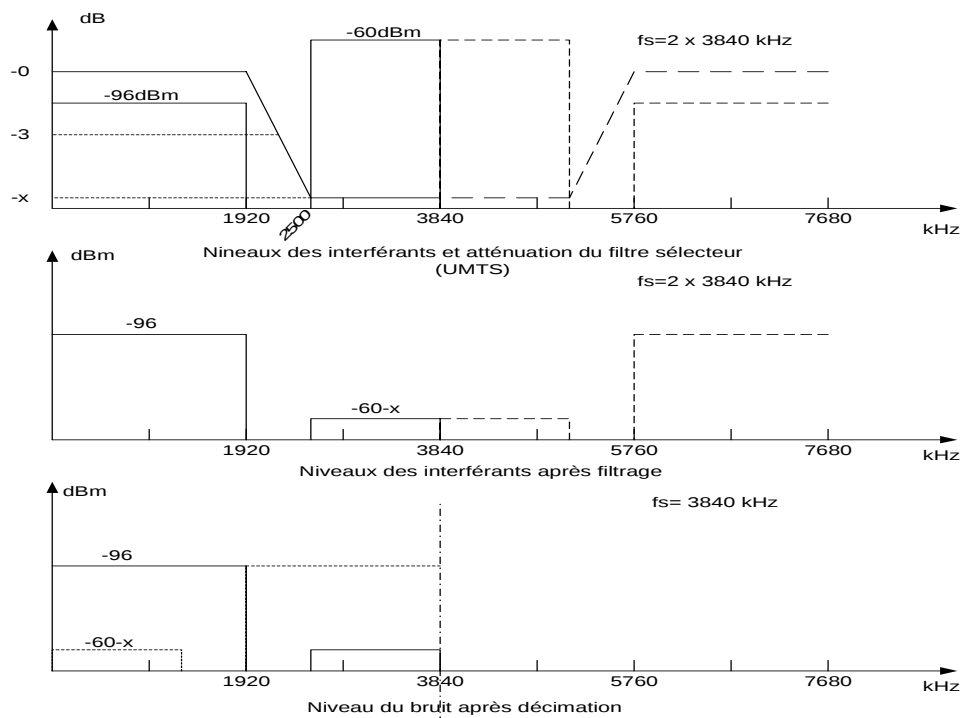


Figure 3.16 – Niveaux des interférants à la sortie du filtre de sélection de canal pour l'UMTS.

3.4.2 Spécifications des filtres pour la norme DECT

La norme DECT précise l'utilisation d'une modulation GFSK pour un signal cadencé à 1152 Sym/s avec une bande normalisée du filtre gaussien BT égale à 0.5.

L'expression d'une gaussienne est donnée par l'équation (3.14).

$$K e^{-\frac{x^2}{2\sigma^2}} \quad (3.14)$$

Le lobe à 3 dB correspond à une division de l'amplitude maximale par $\sqrt{2}$. La valeur de x correspondant à une telle diminution est donnée par l'équation (3.15).

$$x_{3dB} = \sigma \sqrt{2 \ln(\sqrt{2})} \quad (3.15)$$

La bande normalisée BT=0.5 correspond au lobe à 3 dB. La valeur de σ peut être déterminée par l'expression (3.16)

$$\sigma = \frac{BT\pi}{\sqrt{2 \ln(\sqrt{2})}} \quad (3.16)$$

La Figure 3.17 illustre le spectre d'un signal GFSK avec $BT = 0.5$ et une fréquence symbole égale à 1152 Ksym/s. Nous remarquons que la largeur de bande est de 700 kHz et que le signal utile prend la forme du filtre gaussien. Le spectre du signal peut être approché par une distribution gaussienne. Le calcul de la puissance du signal dans une bande égale à 2 B revient au calcul de l'aire $2 \int_0^B K e^{-\frac{x^2}{2\sigma^2}}$.

Soit la fonction $erf(x)$ définie par l'expression (3.17).

$$erf(x) = \frac{2}{\sqrt{\pi}} \int_0^x e^{-t^2} dt \quad \in [0, 1]. \quad (3.17)$$

Nous posons $u = \frac{t}{\sqrt{2}\sigma}$, $du = \frac{dt}{\sqrt{2}\sigma}$.

Nous pouvons exprimer la puissance comprise entre $[-B, B]$ en fonction de $erf(x)$ et de la puissance totale du signal noté P par l'expression (3.18), Pour $B = 2x_{3dB}$, $p = P \times 0.90$. C'est à dire que plus de 90% de la puissance est contenue dans la bande $[-2x_{3dB}, 2x_{3dB}]$. Ce qui signifie que pour le DECT la majorité de la puissance est comprise dans la bande $[-576, 576 \text{ kHz}]$. Afin de faciliter le dimensionnement, nous considérons dans ce qui suit que la

majorité de la puissance est equi-répartie dans la bande $2 \times 576 \text{ kHz}$ soit 82% de la bande occupée (qui est $2 \times 700 \text{ kHz}$). Selon le Tableau 2.1 les canaux sont centrés aux fréquences multiples de 1728 kHz . D'après le paragraphe 2.3.1, la fréquence d'échantillonnage est égale à $32 \times 1728 = 48 \times 1152 = 55296 \text{ kHz}$.

$$\begin{aligned} p &= 2K\sqrt{2\sigma} \frac{\sqrt{\pi}}{2} \frac{2}{\sqrt{\pi}} \int_0^{B/\sqrt{2}\sigma} e^u du \\ &= P \times \text{erf}(B/2\sigma) \end{aligned} \quad (3.18)$$

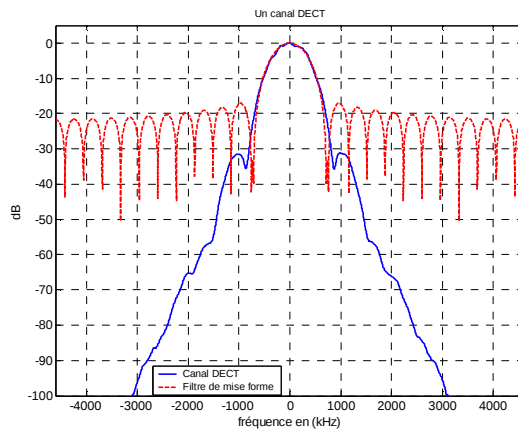


Figure 3.17 – Spectre d'un canal DECT.

a. Spécification du filtre en peigne

La fréquence de Nyquist de chacune des bandes latérales des voies I et Q est de 1400 kHz. Comme la fréquence d'échantillonnage est un multiple de 1152 kHz, à la sortie du filtre sélecteur nous devons avoir une cadence égale à 2×1152 au minimum. Nous avons imposé dès le départ que le filtre demi-bande et le filtre sélecteur aient un facteur de décimation de deux chacun. Ceci implique qu'à la sortie du filtre en peigne la cadence devrait être égale à $8 \times 1152 \text{ kHz}$. Donc ce dernier doit apporter un facteur de décimation de six. Ceci implique que le filtre en peigne apporte une atténuation maximale aux fréquences multiples de $8 \times 1152 \text{ kHz}$.

D'après le paragraphe 3.2.3, une cascade de cinq moyennneurs serait suffisante mais un meilleur résultat est obtenu si nous profitons des six moyennneurs déjà implantés pour l'UMTS et ceci en n'apportant qu'une modification à la partie commande. La Figure

3.18 illustre le résultat de filtrage et de décimation du filtre en peigne avec un signal en présence d'interférents.

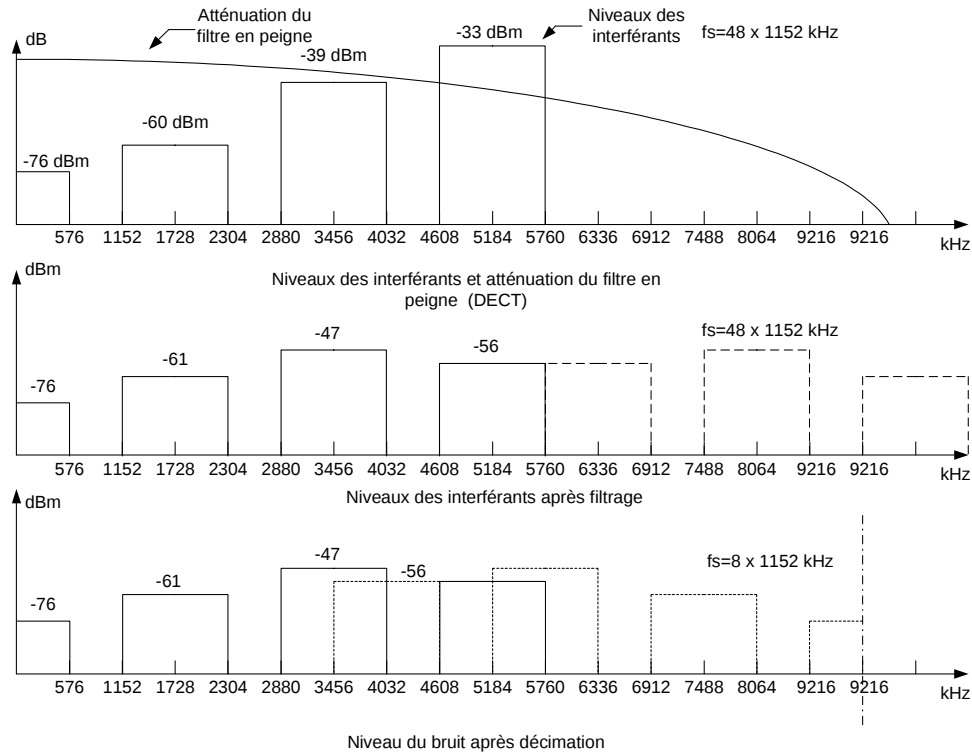


Figure 3.18 – Niveaux des interférents à la sortie du filtre en peigne pour le DECT.

b. Spécification du filtre demi-bande

Le filtre demi-bande doit protéger la bande du signal. La fréquence passante du filtre demi-bande doit être au moins de 700 kHz et la fréquence d'arrêt son symétrique. Cependant, si nous voulons profiter du filtre demi-bande de l'UMTS afin de garder les mêmes coefficients pour les deux standards et profiter de la même implantation, nous devons garder la même bande de transition normalisée. A ce filtre demi-bande utilisé à la fréquence $8 \times 1152 \text{ kHz}$ correspond une fréquence passante à 1500 kHz et une fréquence d'arrêt à 3108 kHz.

La Figure 3.19 illustre les niveaux des bloqueurs et l'atténuation du filtre demi-bande. L'atténuation nécessaire pour garder le rapport signal à bruit de 10,3 dB doit être au moins de 27 dB.

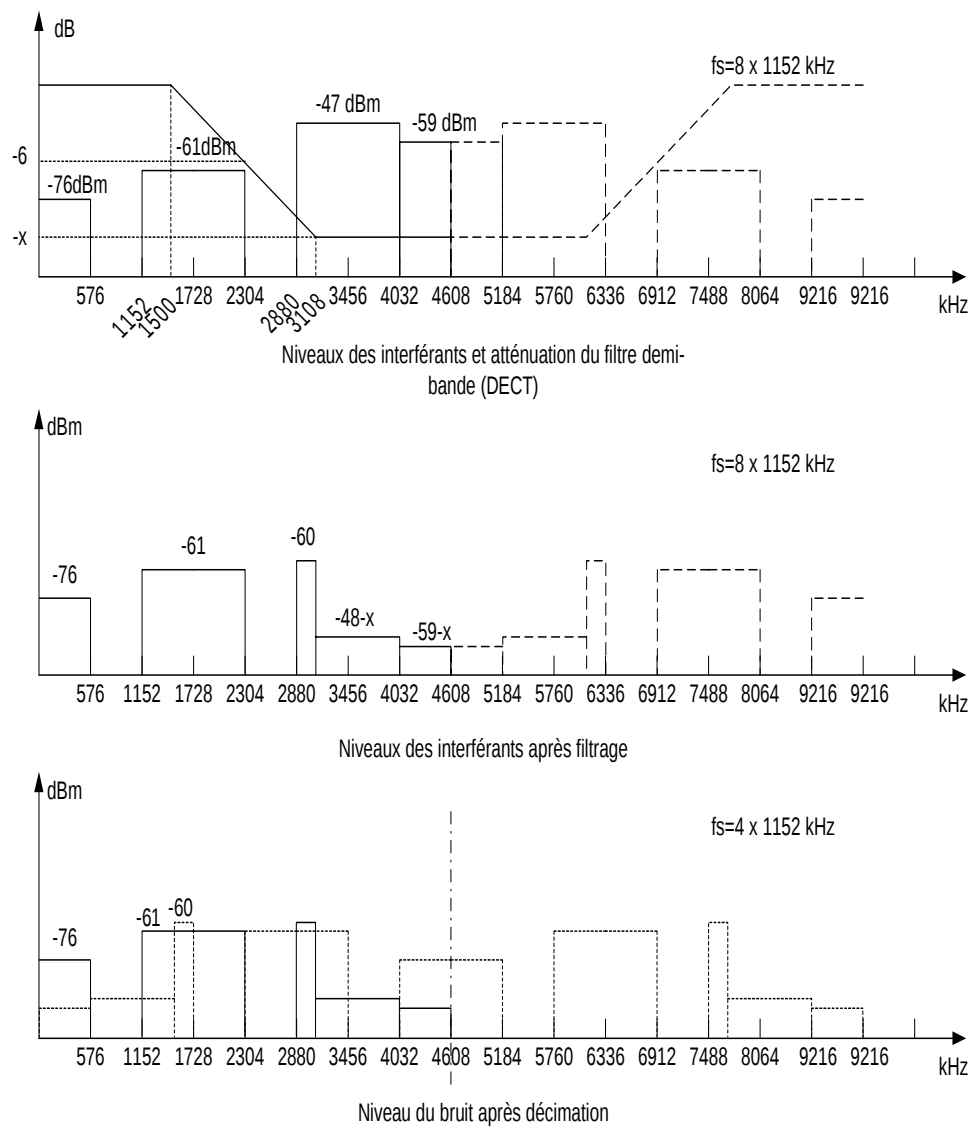


Figure 3.19 – Niveaux des interférants à la sortie du filtre demi-bande pour le DECT.

c. Spécification du filtre de sélection de canal

Le dernier étage doit sélectionner le signal utile, ce qui correspond à une fréquence passante égale à 576 kHz et une fréquence d'arrêt égale à 700 kHz.

La Figure 3.20 illustre le filtre de sélection de canal pour le DECT. Ce filtre nécessite une atténuation minimale de 29 dB pour garder un SNR de 10,3 dB.

De même que pour l'UMTS une marge de 6 dB peut être prise pour le filtre sélecteur de canal, ce qui conduit à une atténuation de 35 dB.

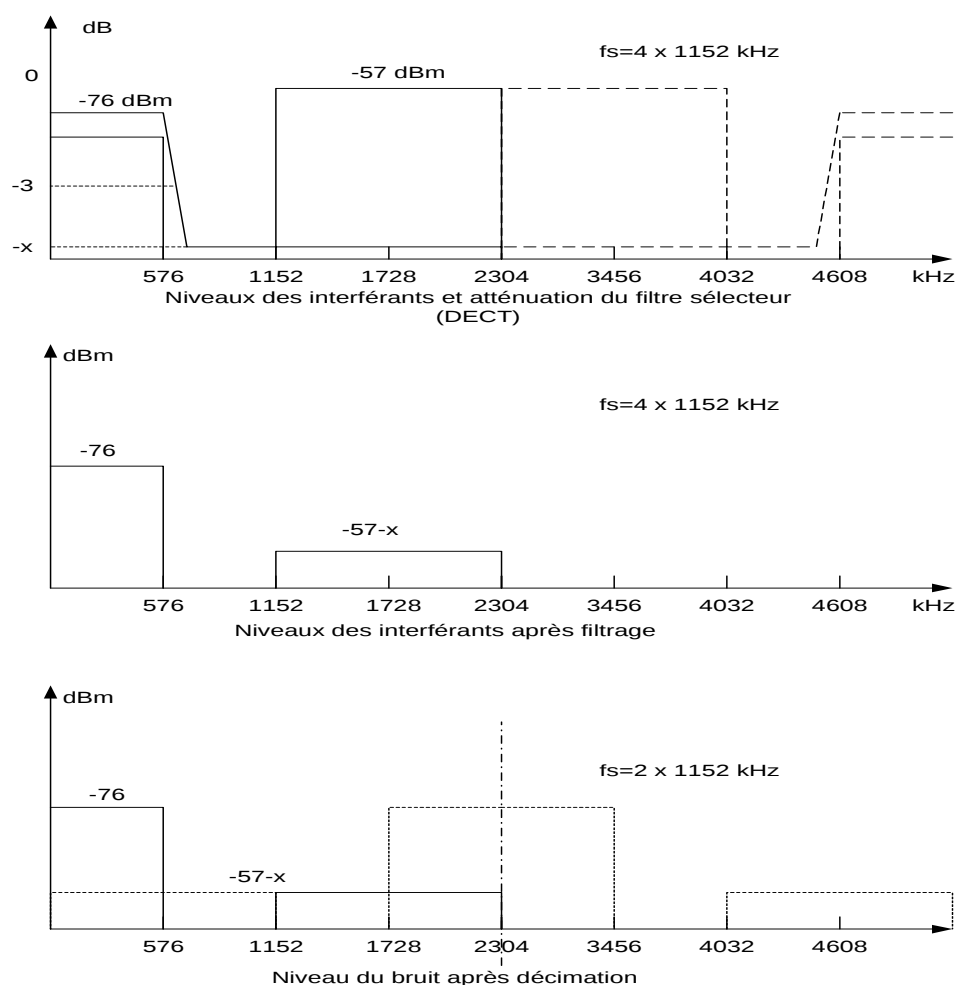


Figure 3.20 – Niveaux des interférants à la sortie du filtre de sélection de canal pour le DECT.

3.4.3 Spécifications des filtres pour la norme GSM

La norme GSM précise l'utilisation d'une modulation GMSK dont la bande normalisée BT est égale à 0.3 avec une fréquence symbole égale à 270.833 Ksym/s. La Figure 3.21 illustre le spectre d'un canal GSM. Nous remarquons que la largeur du canal est de 200 *kHz* et qu'une bande de 164 kHz contient la majorité de la puissance. D'après le paragraphe 2.3.1, la fréquence d'échantillonnage est de $65 \times 200 \simeq 48 \times 270,833 = 13 \text{ MHz}$.

Dans le calcul qui suit, les canaux sont supposés contenir toutes leurs puissances à l'intérieur de 82% de la bande et être centrés autour des fréquences multiples de 200 kHz.

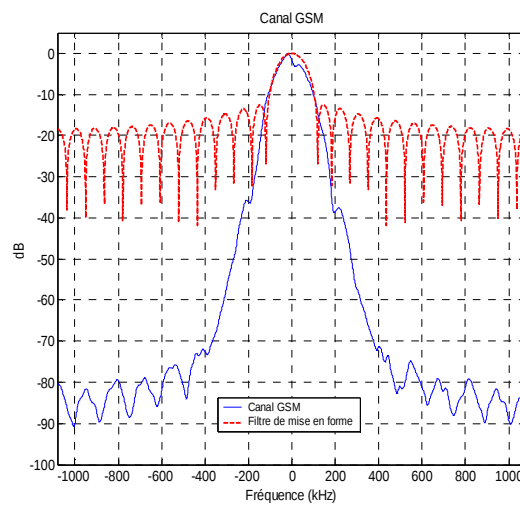


Figure 3.21 – Spectre d'un canal GSM.

a. Spécification du filtre en peigne

Comme pour le cas de la norme DECT nous gardons, une structure de filtre en peigne à 6 étages. Dans le cas de la norme GSM, ce filtre effectue une décimation d'un facteur de 12, il présente une atténuation maximale autour des fréquences multiples de $4 \times 270,833 \text{ kHz}$. Les Figures 3.22 et 3.23 représentent les niveaux des bloqueurs et des interférants ainsi que l'atténuation du filtre en peigne.

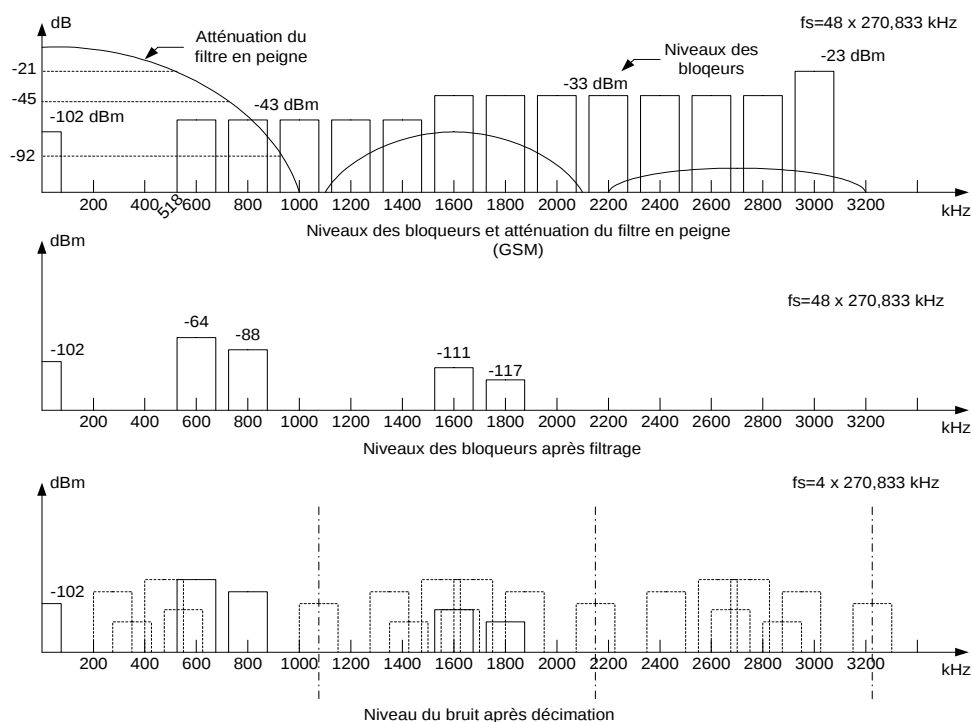


Figure 3.22 – Niveaux des bloqueurs à la sortie du filtre en peigne pour le GSM.

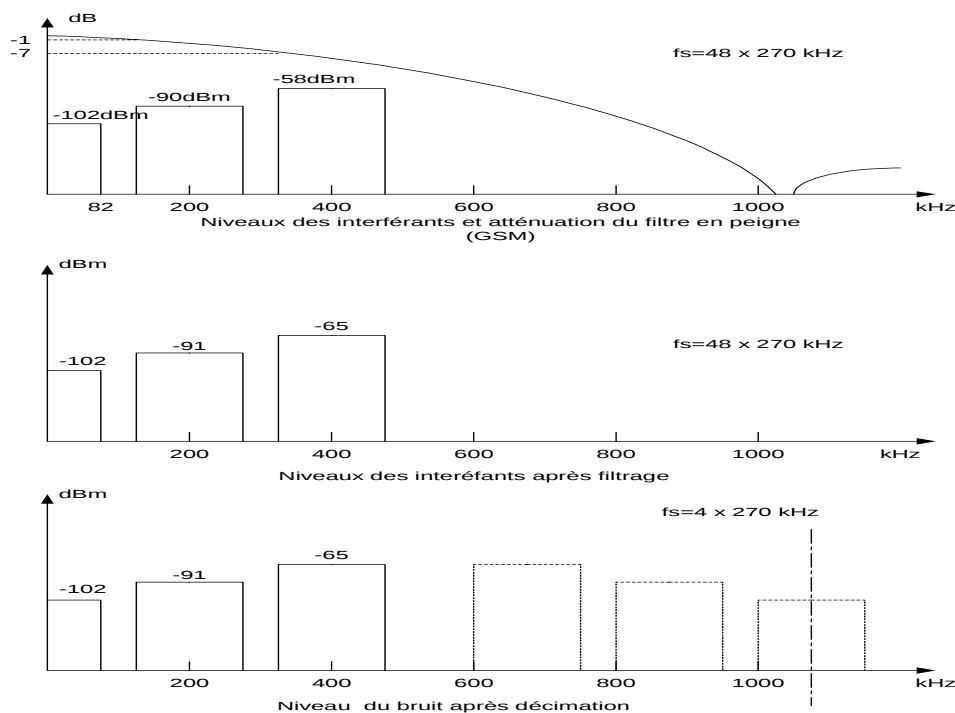


Figure 3.23 – Niveaux des interférents à la sortie du filtre en peigne pour le GSM.

b. Spécification du filtre demi-bande

Le filtre demi-bande doit préserver la bande du signal. Il devrait laisser passer les 100 kHz de la bande latérale. Pour avoir un unique filtre pour les trois normes, nous gardons la même bande de transition normalisée que le filtre demi-bande de l'UMTS. La fréquence passante est donc égale à 176 kHz et la fréquence d'arrêt égale à 364 kHz. Les Figures 3.24 et 3.25 illustrent le filtre demi-bande et les niveaux des bloqueurs et des interférants. Pour garantir un rapport signal à bruit égal à 9 dB, il faut au moins une atténuation de 47 dB. Si nous tenons compte de la marge de 6 dB, l'atténuation sera de 56 dB. Afin de garder les mêmes coefficients pour les trois normes et optimiser l'implantation, l'atténuation retenue pour ce filtre est l'atténuation maximale des trois déjà calculées, soit 56 dB.

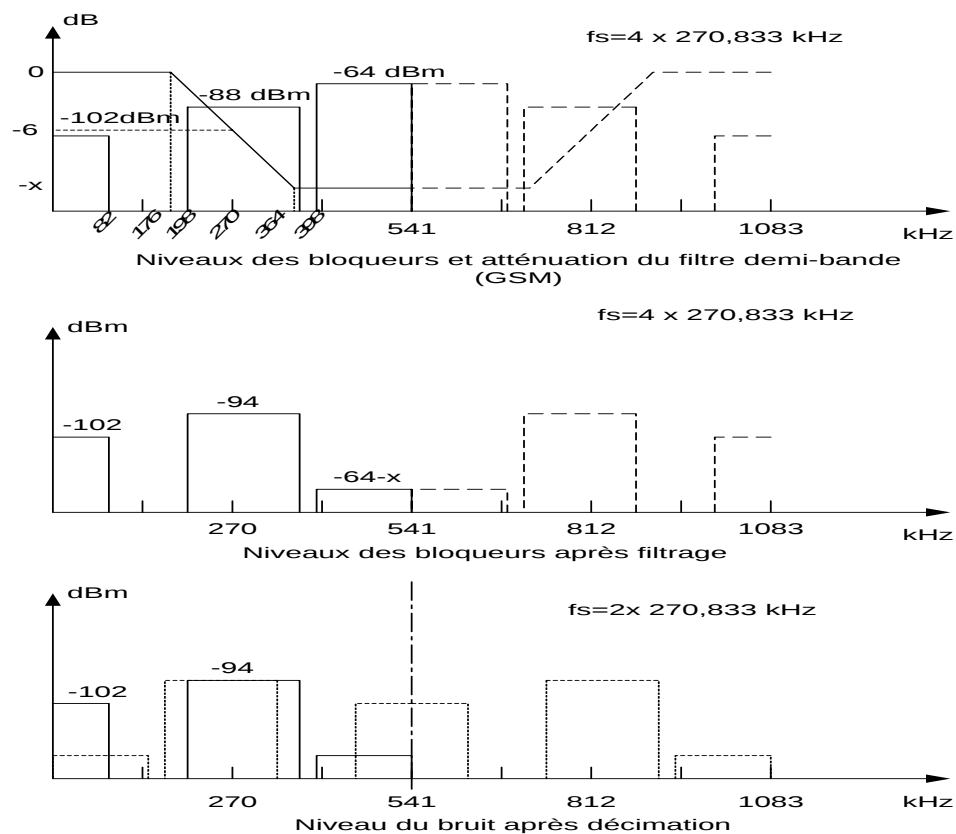


Figure 3.24 – Niveaux des bloqueurs à la sortie du filtre demi-bande pour le GSM.

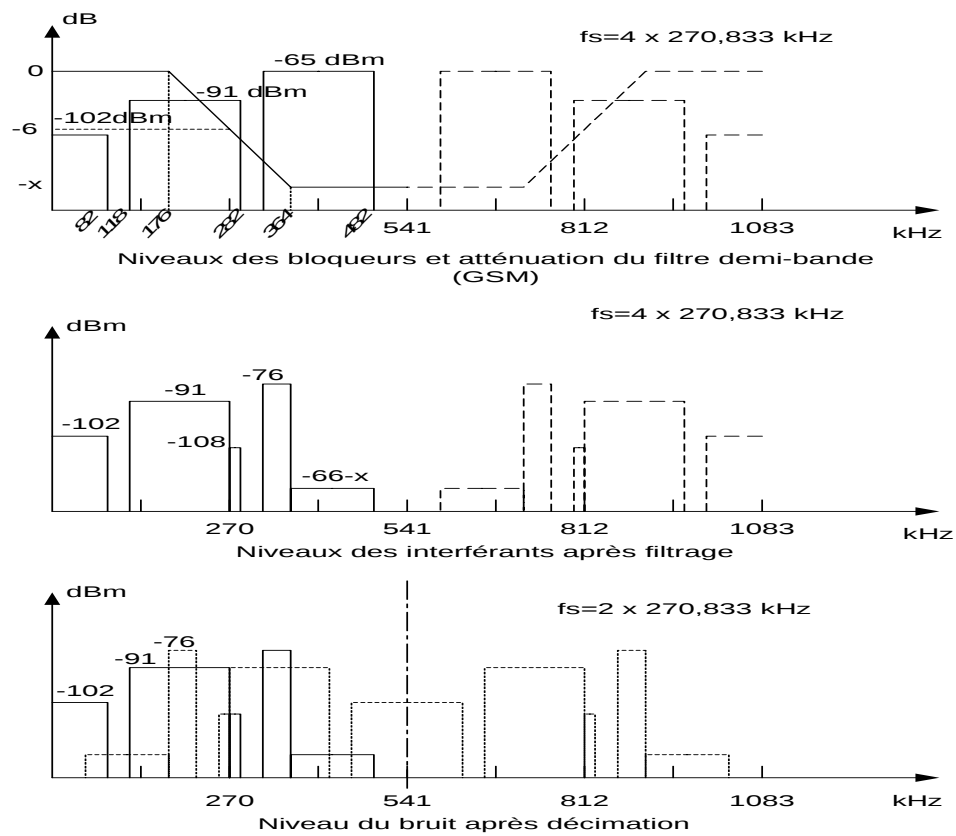


Figure 3.25 – Niveaux des interférants à la sortie du filtre demi-bande pour le GSM.

c. Spécification du filtre de sélection du canal

Le dernier étage doit sélectionner le canal et éliminer le bruit des interférants et des bloqueurs. La fréquence passante est de 82 kHz et la fréquence d'arrêt de 100 kHz. Les Figures 3.26 et 3.27 illustrent le filtre de sélection de canal et les niveaux des bloqueurs et des interférants. L'atténuation nécessaire est d'au moins 35 dB. Avec une marge de 6 dB elle devient 41 dB.

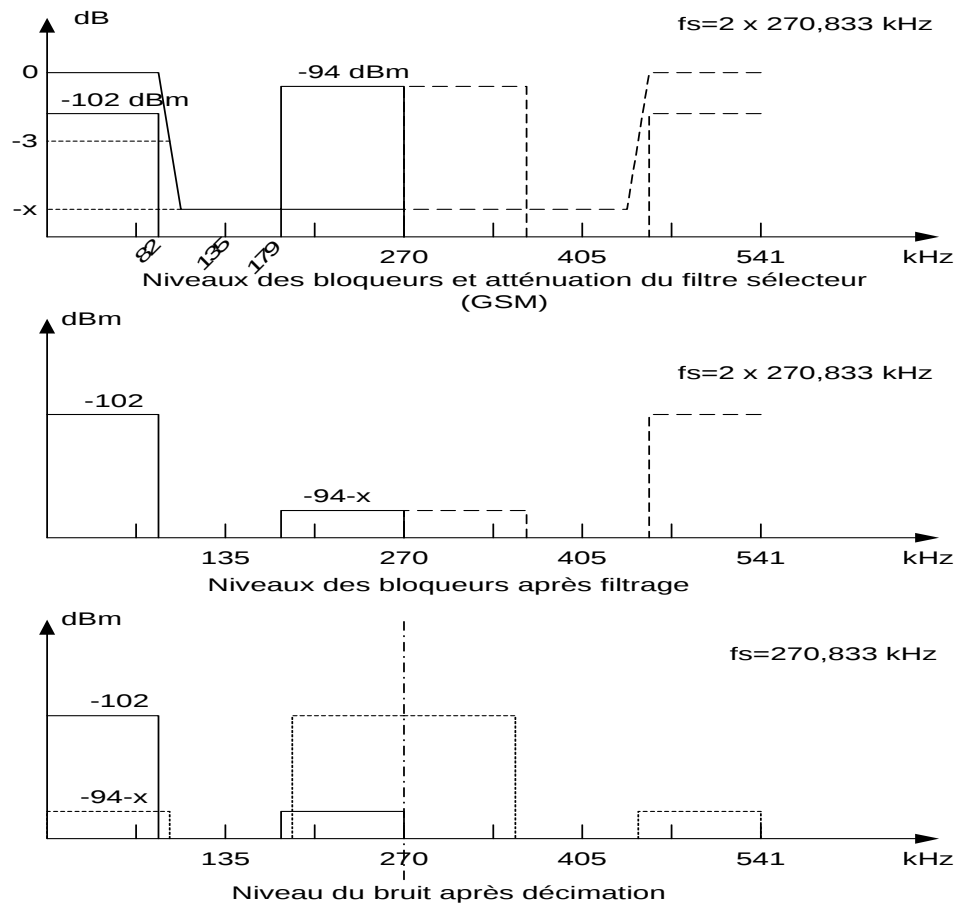


Figure 3.26 – Niveaux des bloqueurs à la sortie du filtre de sélection de canal pour le GSM.

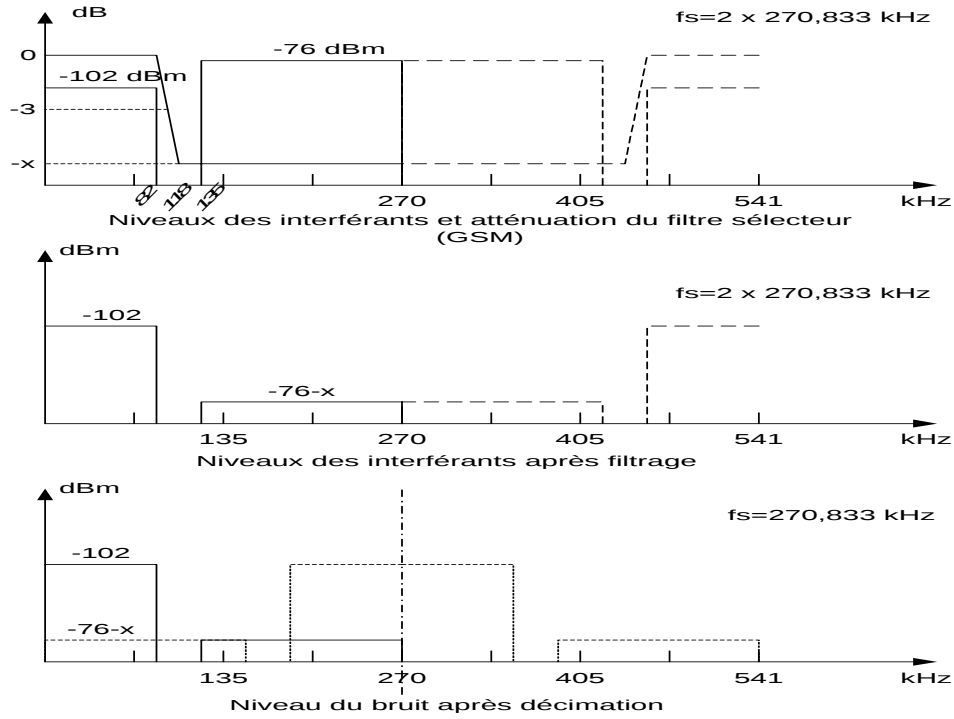


Figure 3.27 – Niveaux des interférants à la sortie du filtre de sélection de canal pour le GSM.

3.5 Conclusion

Ce chapitre a été consacré à la définition des spécifications des étages de sélection des canaux. D'après le choix conceptuel adopté pour le récepteur multistandard dans la première partie de ce rapport, nous avons opté pour une conversion analogique numérique en bande de base en utilisant une conversion à suréchantillonnage de type Sigma-Delta. Par conséquent, nous avons utilisé un filtre de décimation poste conversion pour sélectionner le canal, enlever le bruit de quantification et réduire la cadence du signal. Pour bien situer notre contribution de recherche dans la définition d'une structure mieux optimisée pour le filtrage de décimation nous avons d'abord commencé par analyser les principales structures présentées dans la bibliographie récente [19, 20, 49–51]. Dans la définition de la structure de filtrage nous avons utilisé un filtre en peigne à la sortie du modulateur Sigma-Delta pour décimer le signal jusqu'à 4 fois la fréquence de Nyquist [53]. Ce filtre peut être implanté sans faire appel à aucune opération de multiplication et sa fonction de transfert peut être divisée en deux parties en cascade où la deuxième fonctionne à la fréquence de sortie ce qui diminue considérablement la complexité. A la sortie du filtre en peigne nous avons défini une structure de filtrage formée d'un filtre demi-bande caractérisé par sa faible complexité et d'un filtre sélecteur de canal. Chacun de ces deux filtres effectue

une décimation par deux. Après la définition de la structure de filtrage nous avons défini une méthode permettant de déterminer les spécifications des étages de filtrage avec le souci d'aboutir à des spécifications communes aux trois normes UMTS, DECT et GSM et ceci dans le but d'optimiser l'architecture d'implantation matérielle des circuits de filtrage. La méthode proposée nécessite la connaissance de la cadence et le facteur de suréchantillonnage pour déterminer le facteur de décimation du filtre en peigne puisque le facteur des deux derniers étages a été fixé à deux. La nature du spectre du signal utile permet de déterminer les fréquences passantes et d'arrêts de chacun des deux derniers étages de filtrage. En effet, le filtre demi-bande doit préserver toute la bande utile et le dernier étage doit sélectionner le canal en préservant convenablement la bande utile. Enfin, le profil des bloqueurs et des interférants permet de déterminer les atténuations nécessaires au niveau de chaque étage afin de préserver le rapport signal à bruit requis par la norme. En appliquant cette méthode aux normes UMTS, DECT et GSM nous avons trouvé qu'il faut utiliser pour la norme UMTS un filtre en peigne formé d'une cascade de 6 moyenneurs avec un facteur de décimation égale à 4. Ce filtre a été réutilisé pour la norme DECT et GSM respectivement avec un facteur de 6 et 12. Nous avons aussi réutilisé le deuxième étage de filtrage constitué par le filtre demi-bande pour les trois normes. L'atténuation nécessaire trouvée pour ce filtre est de 56 dB tandis que la bande de transition normalisée par rapport à $f_e/2$ s'étend entre $f_p = 0.32$ et $f_s = 0.67$. Le dernier étage de filtrage diffère selon la norme. Pour la norme UMTS l'atténuation nécessaire de ce filtre est égale à 49 dB et sa bande de transition est égale à $[1920\text{ }kHz, 2500\text{ }kHz]$. Pour la norme DECT ce filtre doit avoir une atténuation de 35 dB et une bande de transition égale à $[576\text{ }kHz, 700\text{ }kHz]$. Enfin pour la norme GSM ce filtre doit présenter une atténuation de 41 dB et une bande de transition égale à $[82\text{ }kHz, 100\text{ }kHz]$.

Chapitre 4

Synthèse et optimisation des circuits de filtrage

4.1 Introduction

Dans ce chapitre nous allons présenter l'étude de synthèse des étages de filtrage dont les gabarits ont été définis dans le chapitre précédent. Ces gabarits peuvent être réalisés avec des filtres à réponse impulsionnelle finie (FIR) ou infinie (IIR). Les filtres IIR présentent généralement un ordre moins élevé que les filtres FIR à performances égales. Cependant les filtres IIR ont l'inconvénient d'avoir une phase non linéaire qui affecte les signaux en modulation de phase. Nous allons alors étudier les techniques de synthèse de filtre IIR à phase presque linéaire. La première technique consiste à utiliser des filtres passe-tout montés en parallèle pour avoir l'équivalent d'un passe-bas avec une phase quasi-linéaire. La deuxième méthode se base sur la minimisation de l'erreur quadratique entre la réponse d'un filtre IIR et la réponse désirée. La troisième méthode effectue une réduction sur l'ordre d'un filtre FIR de départ. Après l'application de ces trois méthodes nous présenterons une étude comparative entre leurs résultats de synthèse pour les filtres IIR à phase presque linéaire ainsi qu'une comparaison de ces derniers avec les filtres FIR. Dans la dernière partie de ce chapitre nous allons définir les critères d'optimisation et la configuration de la solution optimisée avec les résultats d'analyse des performances de filtrage par des simulations sous Matlab.

4.2 Techniques de synthèse de filtres IIR à phase presque linéaire

Les filtres numériques à réponse impulsionnelle infinie sont des systèmes linéaires discrets invariants dans le temps dont le fonctionnement est régi par une équation de convolution portant sur une infinité de termes. Ils sont ainsi à mémoire infinie. Une telle mémoire est réalisée par une boucle de réaction sur des sorties précédentes. L'expression générale d'un filtre IIR qui, à la suite de données $x(n)$, fait correspondre la suite $y(n)$ est donnée par l'expression de l'équation (4.1) :

$$y(n) = \sum_{l=0}^L a_l x(n-l) - \sum_{k=0}^K b_k y(n-k) \quad (4.1)$$

L'ordre d'un filtre IIR noté N est le $\sup(K, L)$.

Le recours à l'utilisation de filtres IIR peut être considéré comme une meilleure alternative aux filtres FIR puisque pour le même gabarit de filtrage les structures IIR présentent un ordre plus faible que celui des filtres FIR. En contre partie, les filtres IIR présentent l'inconvénient majeur d'avoir une phase fortement non linéaire qui ne peut pas être tolérée par les standards des radiocommunication.

Ainsi, nous proposons dans la suite des nos travaux de rechercher d'abord à améliorer la linéarité de phase des filtres IIR avant d'analyser leurs complexité de traitement dans la chaîne de filtrage de décimation et de sélection de canal d'un récepteur radio multi-standard.

4.2.1 Synthèse de filtre IIR par des filtres passe-tout en parallèle

Il s'agit d'une technique de réalisation de filtres à phase presque linéaire, qui consiste à mettre en parallèle des filtres passe-tout (voir Figure 4.1), et d'arranger leurs phases afin de trouver le gabarit souhaité avec une phase globale presque linéaire [60–68].

Une variante de cette méthode consiste à utiliser dans la branche inférieure un simple retard z^{-K} avec K un entier égal à l'ordre du filtre de la branche supérieure (voir Figure 4.2)

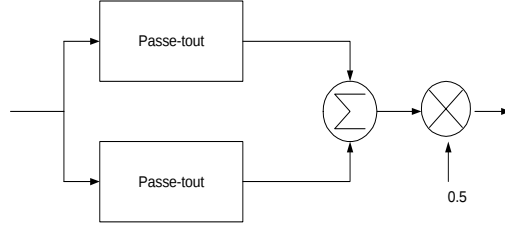


Figure 4.1 – Filtre IIR à phase presque linéaire 1^{ère} méthode

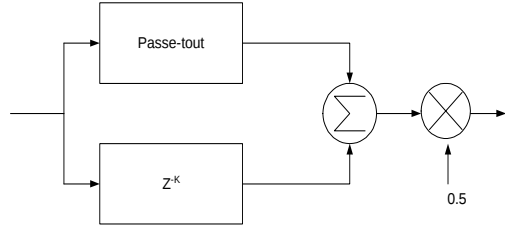


Figure 4.2 – Filtre IIR à phase presque linéaire 2^{ème} méthode

La fonction de transfert d'un filtre passe-tout est de la forme exprimée par l'équation (4.2) [69], avec $C_i = \alpha_i + j\beta_i$ et C_i^* est son conjugué.

$$G(z) = \frac{\sum_{i=0}^n C_n^* z^{i-n}}{\sum_{i=0}^n C_i z^{-i}} \quad (4.2)$$

D'après l'équation (4.2) le numérateur et le dénominateur sont liés de façon à ce que $N(z) = z^{-n}D(z^{-1})$. Nous pouvons facilement déduire la phase de la fonction de $G(z)$ par $\Phi_G(z) = -n\theta - 2\Phi_D(z)$ avec $\Phi_D(z)$ la phase du dénominateur et $\theta = \omega T$. Ceci mène au résultat exprimé par l'équation (4.3).

$$\Phi_G(\theta) = n\theta + 2 \arctan \left(\frac{\sum_{k=0}^n \alpha_k \sin k\theta - \beta_k \cos k\theta}{\sum_{k=0}^n \alpha_k \cos k\theta + \beta_k \sin k\theta} \right) \quad (4.3)$$

Si nous considérons le cas où les coefficients du filtre passe-tout seraient réels, l'équation (4.3) peut être ramenée à la forme de l'équation (4.4). Cette équation est linéaire par rapport à α_k , elle peut donc représenter la forme de base d'un ensemble d'équations.

$$\sum_{k=1}^n \alpha_k \sin \left(\frac{1}{2}(\Phi_G + n\theta) - k\theta \right) = -\sin \left(\frac{1}{2}(\Phi_G + n\theta) \right) \quad (4.4)$$

En choisissant plusieurs points θ_i , en général le cardinal de cet ensemble est plus grand que n . Ce système surdéterminé peut se résoudre selon le critère d'erreur quadratique

moyenne minimale. Une écriture matricielle est donnée par l'équation (4.5).

$$\mathbf{Ax} = \mathbf{b} \quad (4.5)$$

Avec :

$$A_{ij} = \sin(\tfrac{1}{2}(\Phi_G + n\theta_i) - j\theta_i)$$

$$x_j = \alpha_j$$

$$b_i = -\sin(\tfrac{1}{2}(\Phi_G + n\theta_i))$$

Où $i = 1, 2, \dots, m$ et $j = 1, 2, \dots, n$. Ainsi les dimensions de la matrice $\mathbf{A}$ sont $m \times n$ avec $m \geq n$. La solution à l'équation (4.5) est donnée par l'équation (4.6) [70].

$$\hat{\mathbf{x}} = (\mathbf{A}^T \mathbf{W} \mathbf{A})^{-1} \mathbf{A}^T \mathbf{W} \mathbf{b} \quad (4.6)$$

Où $\mathbf{W}$ est une matrice de dimensions $m \times m$ qui représente des poids de pondération et qui s'agit généralement d'une matrice identité.

Soit H_1 la fonction de transfert du premier filtre passe-tout et H_2 celle du deuxième filtre passe-tout, nous pouvons déduire le résultat de l'équation (4.7).

$$\begin{cases} M(\theta) = |\cos \tfrac{1}{2}(\Phi_1 - \Phi_2)| \\ \Phi(\theta) = \tfrac{1}{2}(\phi_1 + \phi_2) \\ \tau(\theta) = \tfrac{1}{2}(\tau_1 + \tau_2) \end{cases} \quad (4.7)$$

$M(\theta)$, $\Phi(\theta)$ et $\tau(\theta)$ sont l'amplitude, la phase et le temps de propagation de la fonction de transfert globale $H = \tfrac{1}{2}(H_1 + H_2)$. ϕ_1 , τ_1 et ϕ_2 , τ_2 sont respectivement la phase et le temps de propagation de groupe des deux filtres passe-tout (voir Figure 4.1).

Pour un filtre passe-bas, l'amplitude dans la bande passante est $M(\theta) \simeq 1$. Ceci implique selon l'équation (4.7) que $\phi_1 \simeq \phi_2$. Pour que le filtre soit à phase presque linéaire, il faut que $\Phi \simeq -k\theta$ avec $k > 0$. Ainsi, d'après l'équation (4.7) les phases des deux filtres passe-tout sont de la forme $-k\theta$ dans la bande passante. Dans la bande atténuée $M(\theta) \simeq 0$. En se référant toujours à l'équation (4.7) on a $\phi_1 \simeq \phi_2 + \pi$. Nous remarquons que la condition de la linéarité dans la bande atténuée n'est pas nécessaire, le plus important c'est de garder une opposition de phase entre les deux filtres passe-tout.

4.2.2 Synthèse de filtre IIR avec minimisation d'erreur quadratique (LMS)

Dans la littérature beaucoup de références traitent de la réalisation de filtres IIR à phase linéaire selon le critère des moindres carrés [69, 71–80]. En effet, cette méthode tend

à minimiser l'erreur quadratique entre la réponse fréquentielle désirée et la réponse du filtre.

Contrairement au cas des filtres FIR, la réalisation des filtres IIR utilisant la minimisation de l'erreur quadratique est un problème non linéaire dû à une interdépendance non linéaire des coefficients et la réponse du filtre. Une autre difficulté s'ajoute concernant la stabilité. En effet, les pôles doivent rester dans le cercle unitaire, ainsi toutes les méthodes numériques utilisées pour la réalisation de filtres IIR moyennant des spécifications sur la phase et sur l'amplitude doivent aussi contraindre les pôles à rester dans ce cercle.

Dans [72] l'auteur propose une étude exhaustive sur les méthodes des moindres carrés ainsi qu'une solution de minimisation d'erreur quadratique permettant d'aboutir à des filtres IIR stables à phase presque linéaire. Cette méthode utilise le critère des moindres carrés et impose des conditions aussi bien sur l'amplitude que sur la phase du filtre. Sachant que ce type d'optimisation peut aboutir à des filtres non stables, une condition sur les pôles a été ajoutée. Cette condition consiste à imposer un rayon maximum à l'intérieur du cercle unitaire à ne pas dépasser par le module des pôles. Cette condition est très importante car elle garantit la stabilité du filtre ainsi qu'une marge de sécurité sur les pôles qui peuvent se trouver à l'extérieur du cercle unitaire après quantification.

La fonction de transfert d'un filtre IIR causal est donnée par l'expression (4.8).

$$H(z) = \frac{B(z)}{A(z)} = \frac{\sum_{m=0}^M b_m z^{-m}}{\sum_{n=0}^N a_n z^{-n}} \quad (4.8)$$

Nous pouvons assumer que les b_m et les a_n sont réels, M et N sont des entiers quelconques et peuvent ne pas être égaux. Il est préférable de prendre M supérieure à N pour mieux approcher la phase linéaire d'un filtre FIR. En effet, les pôles contribuent essentiellement dans la bande passante, par contre les zéros contribuent aussi bien dans la bande atténuée que dans la bande passante [71].

Soit $D(e^{jw})$ la fonction de transfert souhaitée, la fonction $H(e^{jw})$ doit approcher au mieux la fonction de transfert souhaitée. Soit $L > M + N + 1$ des échantillons de la fonction $D(e^{jw})$ évalués à des fréquences w_i avec $i = 0, 1, \dots, L - 1$. Notons r_n , $n = 1, 2, \dots, N$ les modules respectifs des pôles de $H(z)$. Le problème se résume à la minimisation de l'expression (4.9), où $E(w) = D(e^{jw}) - H(e^{jw})$ la fonction d'erreur complexe, $W(w)$ est une fonction de pondération non négative et ρ le rayon maximum des pôles qui ne doit être en aucun cas dépassé.

$$\min \sum_{i=0}^{L-1} W(w_i) |E(w_i)|^2$$

$$\begin{aligned} \text{avec} \quad & r_n \leq \rho \quad n = 1, 2, \dots, N \\ & 0 < \rho < 1 \end{aligned} \quad (4.9)$$

Il faut noter qu'en formulant le problème ainsi, c'est-à-dire, une minimisation d'erreur dans le domaine complexe, nous approchons simultanément la phase et l'amplitude de la fonction de transfert désirée. Ceci est différent des autres méthodes qui essaient d'approcher l'amplitude et le temps de propagation de groupe [81–83]. Il est plus judicieux d'approcher la phase plutôt que le temps de propagation de groupe [72].

4.2.3 Synthèse de filtre IIR par réduction d'un filtre FIR

La technique de synthèse des filtres IIR à phase linéaire basée sur la réduction d'un filtre FIR a suscité beaucoup d'intérêt ces dernières années [84–87]. Elle se base sur la détermination d'une base orthonormale composée des vecteurs propres de la matrice Cross-Gramian notée $\mathbf{W}_{co}$ (équation 4.11). Le principe consiste à approcher la réponse fréquentielle d'un filtre FIR par celle d'un filtre IIR dont l'ordre a été réduit. La raison majeure de l'utilisation d'un filtre FIR, comme solution de départ, c'est d'essayer de préserver la linéarité de phase, du moins en bande passante.

L'état d'un système linéaire d'ordre N à l'instant n est défini par un ensemble d'au moins N variables internes représentées par le vecteur $U(n)$ appelé vecteur d'état. Le fonctionnement de ce système est régi par les relations entre ce vecteur d'état et les signaux d'entrée et de sortie. Le fonctionnement d'un système linéaire, auquel est appliquée la suite d'entrée $x(n)$, et qui fournit la suite de sortie $y(n)$, est caractérisé en théorie des systèmes par le couple de relation (4.10), appelé équations d'états [88], où $\mathbf{A}$ est appelée matrice du système, $\mathbf{B}$ la commande, $\mathbf{D}$ le vecteur d'observation et $\mathbf{C}$ les coefficients de transition.

$$\begin{aligned} U(n+1) &= \mathbf{A}U(n) + \mathbf{B}x(n) \\ y(n) &= \mathbf{C}U(n) + \mathbf{D}x(n) \end{aligned} \quad (4.10)$$

La suite $x(n)$ est l'innovation et $y(n)$ l'observation. La matrice de *Cross – Gramian* est définie par (4.11).

$$\mathbf{W}_{co} = \sum_{k=0}^{\infty} \mathbf{A}^k \mathbf{B} \mathbf{C} \mathbf{A}^k \quad (4.11)$$

Les valeurs singulières de la matrice $\mathbf{W}_{co}$ notées σ_i sont données par l'équation (4.12), où

les $\lambda_i(\cdot)$ sont les valeurs propres de la matrice et $|\cdot|$ les valeurs absolues de ces éléments.

$$\sigma_i = |\lambda_i(\mathbf{W}_{co})|, \quad i = 1, 2, \dots, N \quad (4.12)$$

Soit la transformation $\mathbf{T}$, qui décompose le système d'origine (4.10) en deux sous-systèmes qui se basent sur les valeurs propres les plus larges et les plus petits de $\mathbf{W}_{co}$, cette transformation diagonalise la matrice $\mathbf{W}_{co}$ en deux blocs : l'un contenant les valeurs propres les plus larges, l'autre les valeurs propres les plus petites comme l'indique l'équation (4.13), où $\mathbf{W}_{Big}$ et $\mathbf{W}_{Small}$ sont respectivement des matrices $n \times n$ et $(N-n) \times (N-n)$, avec $\sigma_i = |\lambda_i(\mathbf{W}_{Big})|$, $i = 1, 2, \dots, n$ constituant les modules des valeurs propres les plus larges de $\mathbf{W}_{co}$ et $\sigma_i = |\lambda_i(\mathbf{W}_{Small})|$, $i = n+1, n+2, \dots, N$, constituant les modules des valeurs propres les plus petites de $\mathbf{W}_{co}$.

$$\mathbf{T}^{-1} \mathbf{W}_{co} \mathbf{T} = \tilde{\mathbf{W}}_{co} = \begin{pmatrix} \mathbf{W}_{Big} & 0 \\ 0 & \mathbf{W}_{Small} \end{pmatrix} \quad (4.13)$$

La matrice $\mathbf{T}$ peut être partagée comme l'indique l'équation (4.14).

$$\mathbf{T} = (\mathbf{T}_{RB} \quad \mathbf{T}_{RS}) \quad \mathbf{T}^{-1} = \begin{pmatrix} \mathbf{T}_{LB} \\ \mathbf{T}_{LS} \end{pmatrix} \quad (4.14)$$

Où

$$\begin{pmatrix} \mathbf{T}_{LB} \\ \mathbf{T}_{LS} \end{pmatrix} (\mathbf{T}_{RB} \quad \mathbf{T}_{RS}) = \begin{pmatrix} \mathbf{I}_n & 0 \\ 0 & \mathbf{I}_{N-n} \end{pmatrix} \quad (4.15)$$

Si nous appliquons la transformation (4.14) sur le système d'origine (4.10), on obtient les résultats indiqués par l'équation (4.16).

$$\begin{aligned} \begin{pmatrix} \mathbf{T}_{LB} \\ \mathbf{T}_{LS} \end{pmatrix} \mathbf{A} (\mathbf{T}_{RB} \quad \mathbf{T}_{RS}) &= \begin{pmatrix} \tilde{\mathbf{A}}_{11} & \tilde{\mathbf{A}}_{12} \\ \tilde{\mathbf{A}}_{21} & \tilde{\mathbf{A}}_{22} \end{pmatrix} \\ \begin{pmatrix} \mathbf{T}_{LB} \\ \mathbf{T}_{LS} \end{pmatrix} \mathbf{B} &= \begin{pmatrix} \tilde{\mathbf{B}}_1 \\ \tilde{\mathbf{B}}_2 \end{pmatrix} \\ \mathbf{C} (\mathbf{T}_{RB} \quad \mathbf{T}_{RS}) &= (\tilde{\mathbf{C}}_1 \quad \tilde{\mathbf{C}}_2) \\ \tilde{\mathbf{D}} &= \mathbf{D} \end{aligned} \quad (4.16)$$

Le système $(\tilde{\mathbf{A}}, \tilde{\mathbf{B}}, \tilde{\mathbf{C}}, \tilde{\mathbf{D}})$ correspond à la matrice de *Cross – Gramian* $\tilde{\mathbf{W}}_{co}$ [84]. Le système réduit définit par (4.17) et dont la matrice de *Cross – Gramian* est $\mathbf{W}_{Big}$ est

une approxiamtion du système d'origine (4.10) [84]. Plus l'ordre n est réduit moins l'approximation est fidèle.

$$\begin{aligned}
\mathbf{A}_r &= \tilde{\mathbf{A}}_{11} - \tilde{\mathbf{A}}_{12}(\tilde{\mathbf{A}}_{22} - \mathbf{I}_{N-n})^{-1}\tilde{\mathbf{A}}_{21} \\
\mathbf{B}_r &= \tilde{\mathbf{B}}_1 - \tilde{\mathbf{A}}_{12}(\tilde{\mathbf{A}}_{22} - \mathbf{I}_{N-n})^{-1}\tilde{\mathbf{B}}_2 \\
\mathbf{C}_r &= \tilde{\mathbf{C}}_1 - \tilde{\mathbf{C}}_2(\tilde{\mathbf{A}}_{22} - \mathbf{I}_{N-n})^{-1}\tilde{\mathbf{A}}_{21} \\
\mathbf{D}_r &= \tilde{\mathbf{D}} - \tilde{\mathbf{C}}_2(\tilde{\mathbf{A}}_{22} - \mathbf{I}_{N-n})^{-1}\tilde{\mathbf{B}}_2
\end{aligned} \tag{4.17}$$

La fonction de transfert $H(z)$ d'un filtre FIR est définie par l'équation (4.18) [85], où les h_i sont les coefficients du filtre et $(\mathbf{A}, \mathbf{B}, \mathbf{C}, \mathbf{D})$ les variables d'états définies par (4.19) et (4.20).

$$H(z) = \sum_{i=0}^N h_i z^{-i} = \mathbf{D} + \mathbf{C}(z\mathbf{I}_N - \mathbf{A})^{-1}\mathbf{B} \tag{4.18}$$

$$\mathbf{A} = \begin{pmatrix} 0 & 0 & \cdot & \cdot & 0 \\ 1 & 0 & \cdot & \cdot & 0 \\ 0 & 1 & 0 & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ 0 & \cdot & \cdot & 1 & 0 \end{pmatrix} \quad \mathbf{B} = \begin{pmatrix} 1 \\ 0 \\ \cdot \\ \cdot \\ 0 \end{pmatrix} \tag{4.19}$$

$$\mathbf{C} = (h_1 \quad h_2 \quad \cdots \quad h_N) \quad \mathbf{D} = h_0 \tag{4.20}$$

La matrice de *Cross – Gramian* est définie par (4.21) [86].

$$\mathbf{W}_{co} = \begin{pmatrix} h_1 & h_2 & \cdots & h_N \\ h_2 & h_3 & \cdots & 0 \\ \cdot & \cdot & \cdots & \cdot \\ h_N & 0 & \cdots & 0 \end{pmatrix} \tag{4.21}$$

La fonction de transfert réduite notée $H_r(z)$ définie par (4.22) est la fonction de transfert d'un filtre IIR dont la réponse approche celle du filtre FIR, avec $\mathbf{A}_r$, $\mathbf{B}_r$, $\mathbf{C}_r$ et $\mathbf{D}_r$ des matrices déduites par l'équation (4.17).

$$H_r(z) = \mathbf{D}_r + \mathbf{C}_r(z\mathbf{I}_n - \mathbf{A}_r)^{-1}\mathbf{B}_r \quad (4.22)$$

La stabilité de ce filtre est garantie puisque le système d'origine est stable [87].

4.3 Analyse des résultats de synthèse des filtres

Dans ce paragraphe, nous présentons les résultats de synthèse des circuits de filtrage à base de filtres FIR et IIR à phase presque linéaire. Une étude comparative, entre ces deux types de réalisation, a été menée.

4.3.1 Résultats de synthèse à base de filtres FIR

Les filtres numériques à réponse impulsionnelle finie (FIR) sont des systèmes linéaires discrets invariants dans le temps définis par une équation selon laquelle la sortie, représentant un échantillon du signal filtré, est obtenue par sommation pondérée d'un ensemble fini de nombres d'entrées, représentant les échantillons du signal à filtrer.

Soit un signal $x(t)$ représenté par ses échantillons $x(nT)$, prélevés à la fréquence $f_e = \frac{1}{T}$, et soit $y(n)$ la sortie du filtre, les suites $x(n)$ et $y(n)$ sont reliées par la relation (4.23).

$$y(n) = \sum_{i=0}^{N-1} a_i x(n-i) \quad (4.23)$$

Le filtre ainsi défini comporte un nombre N fini de coefficients a_i . Considéré comme un système discret, il a pour réponse impulsionnelle la suite $h(i)$ décrite par (4.24).

$$\begin{cases} h(i) = a_i & \text{si } 0 \leq i \leq N-1 \\ h(i) = 0 & \text{ailleurs.} \end{cases} \quad (4.24)$$

Si les coefficients sont symétriques, la fonction de transfert peut se mettre sous la forme d'un produit de deux termes dont l'un est une fonction réelle et l'autre un nombre complexe de module 1 représentant un temps de propagation τ constant et égal à un multiple entier de la demi-période d'échantillonnage. Un tel filtre est dit à phase linéaire.

La réalisation d'un filtre FIR décrit par la relation (4.23) se base sur trois opérations fondamentales qui sont la mise en mémoire, la multiplication et l'addition. La Figure 4.3 illustre une structure de réalisation d'un filtre FIR.

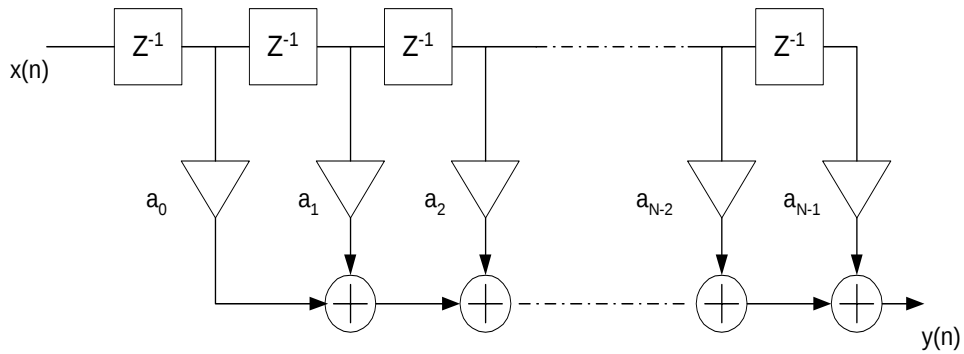


Figure 4.3 – Structure directe d'un filtre FIR

a. Résultats de synthèse du filtre demi-bande

Le filtre demi-bande est le deuxième étage de décimation. Il offre une faible complexité grâce à ses particularités évoquées dans le paragraphe 3.2.3. Pour optimiser l'implantation de ce filtre, nous avons choisi d'appliquer le même filtre pour les trois normes. La Figure 4.4 illustre la fonction de transfert du filtre demi-bande. C'est un filtre d'ordre 19. Les coefficients de ce filtre sont déterminés par l'algorithme de Parks and McClellan [89].

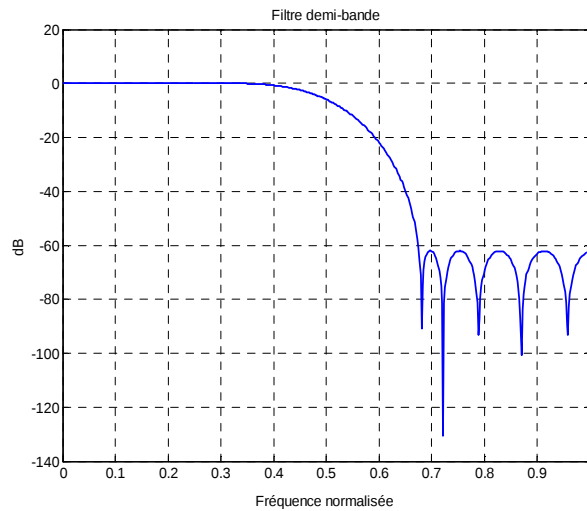


Figure 4.4 – Réponse fréquentielle du filtre FIR demi-bande.

b. Résultats de synthèse du filtre sélecteur du canal

Le dernier étage de filtrage est celui de sélection du canal. Ce filtre varie selon la norme choisie. La Figure 4.5 présente les réponses des filtres FIR de sélection du canal des trois normes UMTS, DECT et GSM. Les coefficients de ces filtres sont déterminés par l'algorithme de Parks and McClellan.

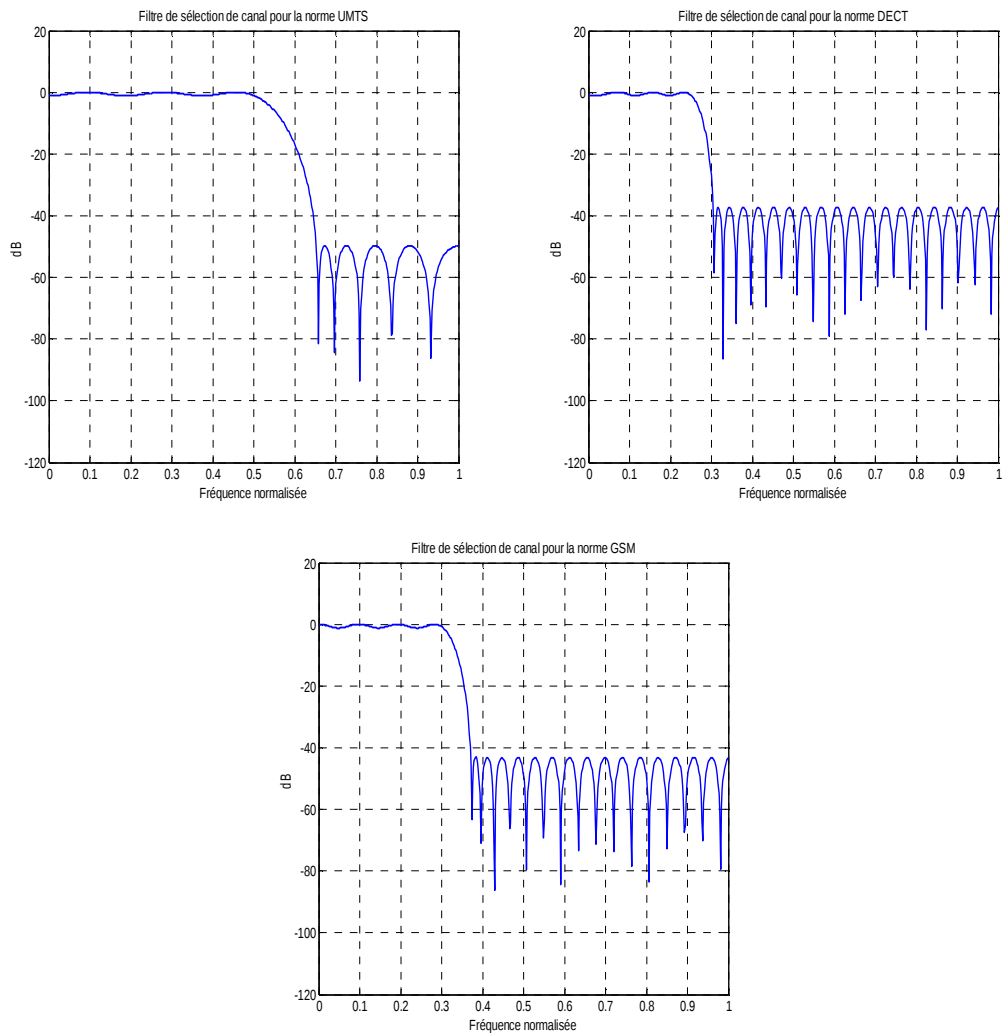


Figure 4.5 – Réponses fréquentielles des filtres de sélection de canal.

4.3.2 Résultats de synthèse à base de filtres IIR

Dans ce paragraphe, nous présentons les résultats de synthèse des deux derniers étages de filtrage à l'aide de structures IIR à phase presque linéaire tout en comparant les résultats de synthèse obtenus par chacune des 3 méthodes de linéarisation de phase.

a. Résultats de synthèse du filtre IIR demi-bande

Le filtre demi-bande a été synthétisé par les trois méthodes exposées dans le paragraphe 4.2. Dans chacun des trois résultats la stabilité a été vérifiée. D'après les résultats de synthèse indiquées dans le Tableau 4.1 la solution qui se base sur la minimisation de l'erreur quadratique entre la réponse désirée et celle du filtre permet d'obtenir l'ordre le plus petit (8 et 4 respectivement pour le numérateur et le dénominateur). Les réponses en amplitude et en phase du filtre retenu sont respectivement représentés sur la Figure 4.6. Le résultat de la Figure 4.7 permet de vérifier que tous les pôles sont à l'intérieur du cercle unitaire ce qui confirme la stabilité du filtre.

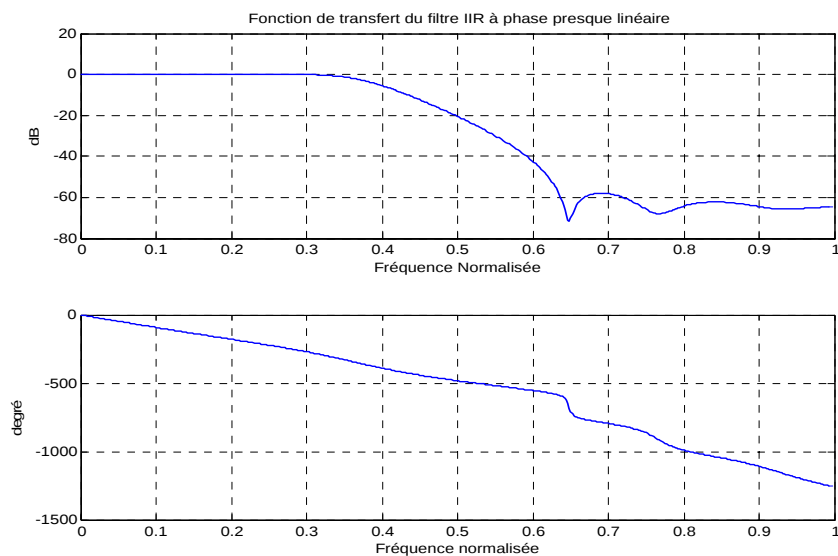


Figure 4.6 – Réponse en amplitude et en phase du filtre demi-bande IIR.

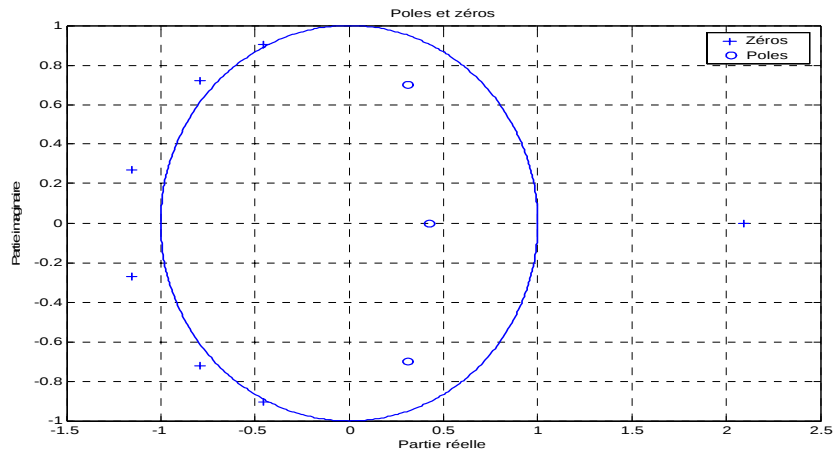


Figure 4.7 – Pôles et zéros du filtre demi-bande IIR.

Méthode de synthèse	Ordre du filtre
Filtres passe-tout en parallèle	$N_{num}=15, N_{den}=15$
Réduction d'un filtre FIR	$N_{num}=11, N_{den}=11$
Minimisation des moindres carrés	$N_{num}=8, N_{den}=4$

Tableau 4.1 – Ordres des filtres demi-bande IIR à phase presque linéaire.

b. Résultats de synthèse du filtre IIR de sélection de canal

En suivant la même démarche, le filtre de sélection de canal a été synthétisé pour les trois normes avec les trois méthodes décrites dans le paragraphe 4.2. Le Tableau 4.2 qui résume les résultats de synthèse montre que les meilleurs résultats sont obtenus avec la méthode de minimisation de l'erreur quadratique. La Figure 4.8 illustre les réponses des filtres de sélection de canal pour chacune des normes. En observant le résultat de la Figure 4.9, nous pouvons vérifier que tous les pôles sont à l'intérieur du cercle unitaire pour chacun des filtres ce qui confirme leur stabilité.

Méthode de synthèse	Ordre du filtre		
	UMTS	GSM	DECT
Filtres passe-tout en parallèle	$N_{num} = 27 \ N_{den} = 27$	$N_{num} = 51 \ N_{den} = 51$	$N_{num} = 59 \ N_{den} = 59$
Réduction d'un filtre FIR	$N_{num} = 13 \ N_{den} = 13$	$N_{num} = 15 \ N_{den} = 15$	$N_{num} = 13 \ N_{den} = 13$
Minimisation des moindres carrés	$N_{num} = 13 \ N_{den} = 8$	$N_{num} = 12 \ N_{den} = 7$	$N_{num} = 10 \ N_{den} = 7$

Tableau 4.2 – Ordres des filtres sélecteur IIR à phase presque linéaire.

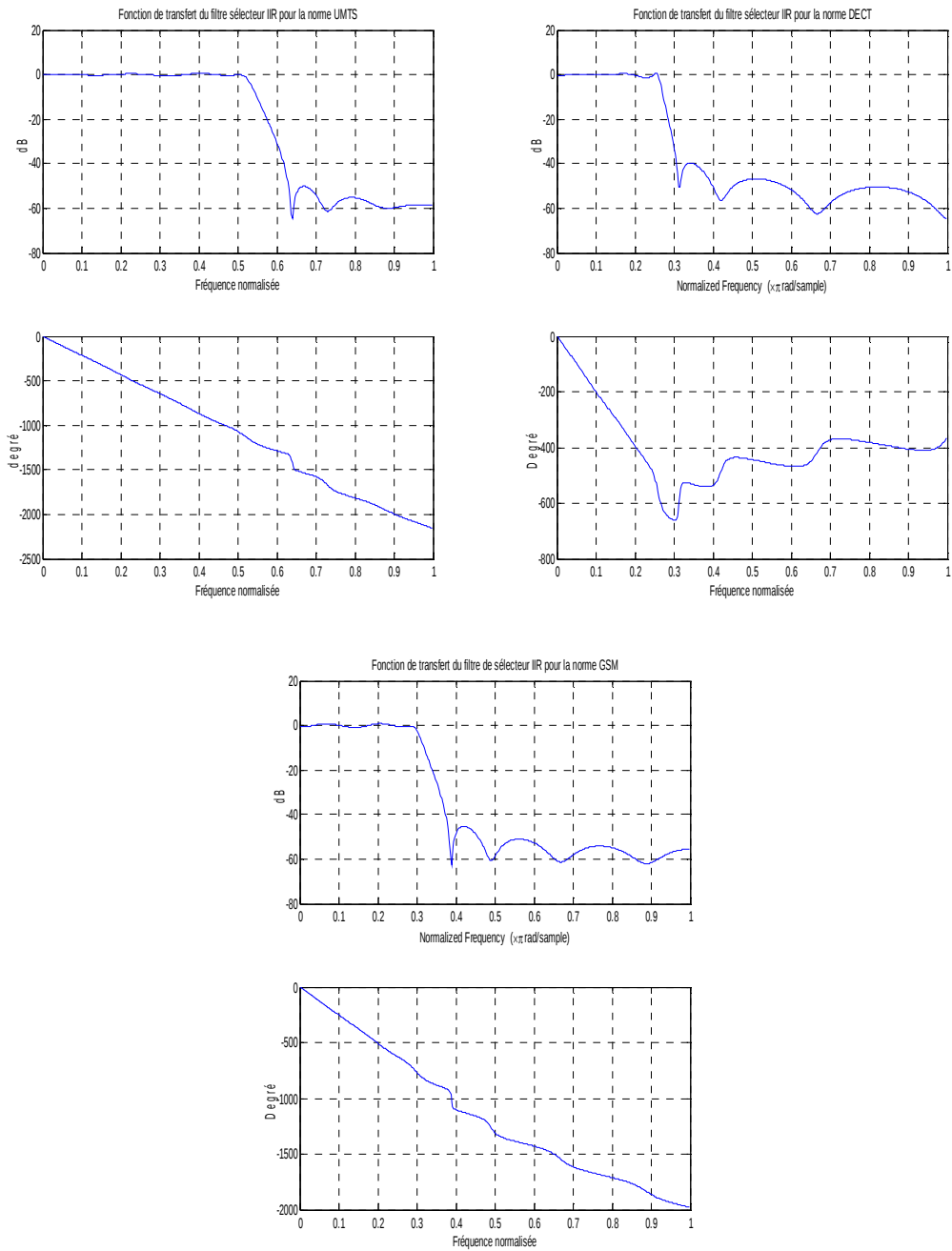


Figure 4.8 – Réponse en amplitude et en phase des filtres sélecteur IIR pour les normes UMTS, GSM et DECT.

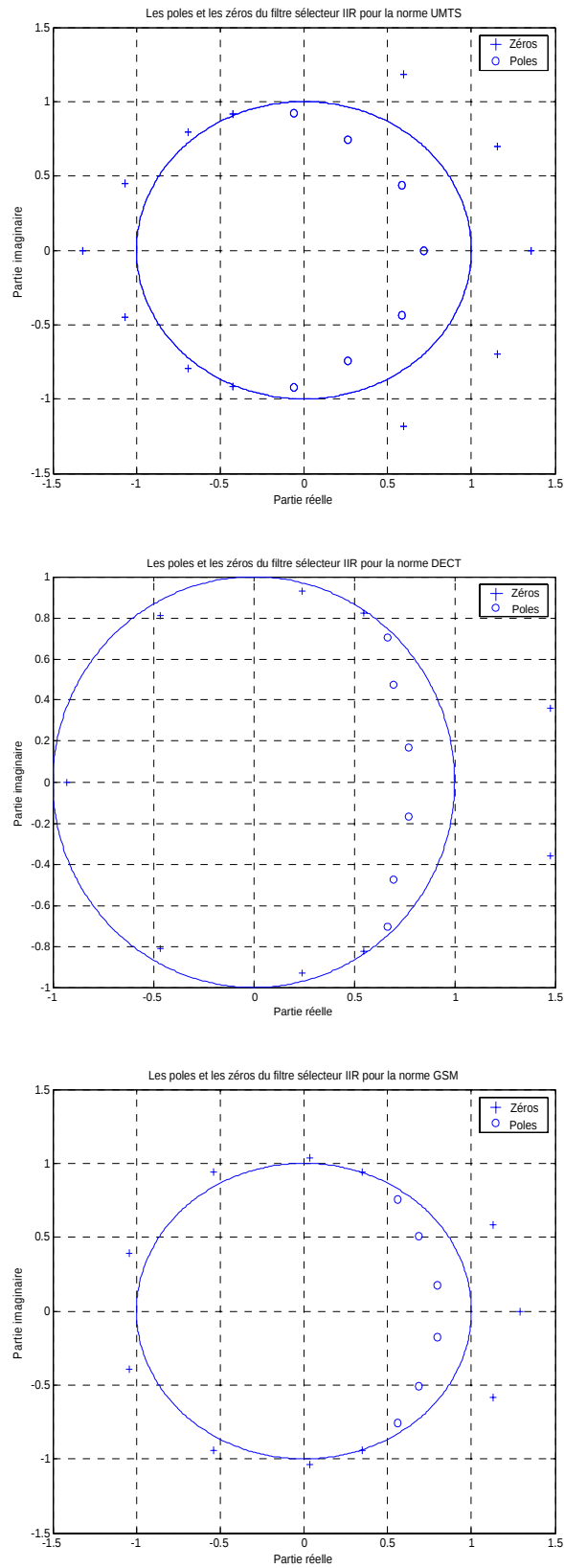


Figure 4.9 – Pôles et Zéros des filtres sélecteur IIR pour les normes UMTS, DECT et GSM.

4.3.3 Etude comparative des solutions FIR et IIR

L'objectif de la comparaison entre les solutions de filtrage FIR et IIR à phase presque linéaire est d'identifier, à performances de filtrage égales, quelle est la solution qui conduit à la plus faible complexité de réalisation.

D'une manière générale, les filtres FIR ont l'avantage de la symétrie des coefficients ce qui réduit à moitié le nombre de multiplications. De même l'implantation des filtres FIR sous forme polyphase permet aux opérateurs du circuit de filtrage de décimation de fonctionner à la cadence de sortie qui est inférieure à celle de l'entrée.

Les filtres IIR nécessitent généralement moins de registres ou de mémoires que les filtres FIR car ils présentent souvent un ordre moins élevé et réalisent une réponse impulsionnelle "infinie" grâce à leur forme récursive. En plus du problème de stabilité qui se pose pour les filtres IIR, il se pose aussi le problème du bruit de calcul lié à la capacité des mémoires.

Toutes ces informations générales sur les caractéristiques des structures FIR et IIR (voir Tableau 4.3) restent insuffisantes pour formuler notre jugement de choix de structure à faible complexité d'implantation. Ainsi, nous avons opté pour une méthode de comparaison numérique en considérant les spécifications des étages de filtrage telles quelles ont été définies au chapitre précédant.

Critères	Filtre FIR	Filtre IIR
Ordre	élevé	faible
Linéarité de phase	oui	non ou presque linéaire
Symétrie	oui si la phase est linéaire	non garantie
Stabilité	garantie	garantie sous condition
Saturation	non	oui (nécessite une troncature dans la boucle)

Tableau 4.3 – Comparaison qualitative des filtres FIR et IIR

Le Tableau 4.4 compare les deux solutions FIR et IIR en terme de nombre de multiplications par seconde et de nombre de registres mémoires nécessaires pour chacun des deux filtres demi-bande et de sélection de canal en se basant sur les résultats des Tableaux 4.1 et 4.2. Nous avons utilisé dans cette comparaison seulement les filtres IIR réalisés par la méthode des moindres carrés.

La simple analyse des résultats de l'étude comparative du Tableau 4.4 ne permet pas de tirer des conclusions sur le meilleurs choix sans définir les critères d'optimisation de la réalisation matérielle.

	Filtre demi-bande		Filtre sélecteur	
UMTS	FIR	IIR	FIR	IIR
f (kHz)	7680 ¹	15360 ²	3840	7680
Nombre de Multiplications	6	11	12	20
MPS ($10^3/s$)	46080	168960	46080	153600
Nombre de cases Mémoire	19	8	23	13
DECT	FIR	IIR	FIR	IIR
f (kHz)	4608	9216	2304	4608
Nombre de Multiplications	6	11	26	16
MPS ($10^3/s$)	27648	101376	59094	73728
Nombre de cases Mémoire	19	8	51	10
GSM	FIR	IIR	FIR	IIR
f (kHz)	540	1080	270	540
Nombre de Multiplications	6	11	24	18
MPS ($10^3/s$)	3240	11880	6480	9720
Nombre de cases Mémoire	19	8	47	12

Tableau 4.4 – Comparaison de la complexité d’implantation des filtres FIR et IIR.

4.4 Définition de la solution optimisée de filtrage

Avant de procéder à la définition du choix optimisé pour les étages de décimation à base de structures FIR ou IIR nous commençons par la définition des critères de complexité d’implantation matérielle qui seront pris en compte lors de cette étude.

4.4.1 Critères d’optimisation et de mise en œuvre

Les critères de choix, entre les structures FIR et les structures IIR à phase presque linéaire, sont essentiellement la complexité de synthèse et la complexité d’implantation.

Pour les filtres FIR, il existe plusieurs méthodes pour déterminer les coefficients telles que l’algorithme de Parks and McClellan [89] ou la méthode des fenêtres [88]. Il y a aussi des méthodes des moindres carrés qui permettent de trouver les coefficients d’un filtre avec un module quelconque de la fonction de transfert [90] [91] [92], la routine “*fir2.m*” de Matlab réalise cette fonction [93].

Pour les filtres IIR à phase presque linéaire, nous avons évoqué plusieurs méthodes

¹ : Fréquence d’entrée

² : Fréquence de sortie

dans le paragraphe 4.2 pour déterminer les coefficients d'un filtre passe-bas. Ces méthodes peuvent être classées en trois catégories : celles qui se basent sur la mise en parallèle de filtres passe-tout, celles qui se basent sur la minimisation d'erreur quadratique et celles qui se basent sur la réduction des filtres FIR.

La complexité de l'implémentation du filtre constitue un critère de choix important, car c'est ce critère qui reflète le coût de la structure. Cette complexité est relative, dans un premier stade, à l'ordre du filtre. A un stade plus avancé, interviennent la complexité de la mise en œuvre de la structure elle-même à savoir la complexité de l'unité de commande, le nombre de composants mis en œuvre, la surface occupée, la taille et le format des données manipulées.

4.4.2 Configuration de la solution optimisée de filtrage

D'après le Tableau 4.4, la structure FIR est la meilleure solution pour le filtre demi-bande et le filtre de sélection de canal utilisé pour la norme UMTS. En revanche, concernant les filtres de sélection de canal utilisés pour les normes DECT et GSM, il faut regarder de plus près la différence entre les deux solutions.

Pour pouvoir les départager, nous allons admettre l'hypothèse que la taille de l'entrée de chaque filtre est de 25 bits et que celle des coefficients est de 11 bits. Cette hypothèse sera vérifiée ultérieurement dans le paragraphe 6.3.3.

D'après le Tableau 4.4, la solution IIR engendre un surcoût de, respectivement, 24% et 50% en nombre de multiplications par seconde pour les filtres de sélection de canal des normes DECT et GSM. Nous pouvons estimer le nombre de registres et à quelle fréquence ils y sont sollicités pour chacun de ces deux filtres. En effet, nous pouvons estimer le nombre de registres pour les deux filtres FIR par le nombre de mémoires multiplié par la taille des données d'entrée. Ces registres sont sollicités au taux d'échantillonnage en sortie. Dans le cas des deux filtres IIR, le nombre de registres est estimé par le nombre de mémoires multiplié par la taille des données d'entrée augmentée par celle des coefficients. Ces registres sont sollicités au taux d'échantillonnage en entrée. Nous introduisons un nouveau paramètre que nous notons TPS pour le nombre de transitions par seconde. Ce terme correspond au nombre de registres multiplié par la fréquence à laquelle ils sont sollicités (voir l'équation (4.25)). Le Tableau 4.5 illustre la comparaison du nombre des registres et de leur utilisation.

$$TPS = N_{reg} \times f_e \quad (4.25)$$

DECT	Sélecteur FIR	Sélecteur IIR
f (kHz)	2304	4608
Nombre de case Mémoire	51	10
Taille de données (bits)	25	25+11
Nombre de registre (monobit)	1275	360
TPS ($10^3/s$)	2937600	1658880
GSM	Sélecteur FIR	Sélecteur IIR
f (kHz)	270	540
Nombre de case Mémoire	47	12
Taille de données (bits)	25	25+11
Nombre de registre (monobit)	1175	432
TPS ($10^3/s$)	317250	233280

Tableau 4.5 – Comparaison de l'utilisation des mémoires.

D'après les Tableaux 4.4 et 4.5, la solution IIR est plus efficace de point de vue surface occupée. Cependant, l'aspect consommation ne doit pas être négligé. Si nous notons l'énergie consommée lors d'un changement d'état d'un registre par w_r et l'énergie consommée par un multiplieur par w_m , nous pouvons estimer la puissance consommée par la relation (4.26).

$$P_{consommee} \propto (MPS \times w_m) + (TPS \times w_r) \quad (4.26)$$

D'après le Tableau 4.5, la solution FIR engendre un surcoût de, respectivement, 77% et 35% en nombre de transitions par seconde pour le filtre de sélection de canal de la norme DECT et la norme GSM. En résumé, la solution IIR est pénalisée en termes de consommation liée aux multiplieurs de près de 24% et de 50%, par rapport à la solution FIR, dans le cas de la norme DECT et la norme GSM, respectivement. En revanche, la solution FIR est pénalisée en termes de consommation liée aux registres de près de 77% et de 35% par rapport à la solution IIR, respectivement, dans le cas de la norme DECT et la norme GSM. Nous estimons que l'énergie, consommée par un registre, est beaucoup moins importante que celle consommée par un multiplieur $25 \text{ bits} \times 11 \text{ bits}$ et ce, indépendamment de la façon dont celui-ci a été implanté. De ce fait, le choix de la solution FIR pour la norme GSM devient évident pour réduire la consommation. Vue la taille des multiplieurs mis en œuvre, nous estimons que les 24% du surplus de consommation liés aux multiplieurs priment sur les 77% de surplus de consommation liés aux registres.

En conclusion, nous identifions deux architectures de filtrage. La première est constituée par un filtre en peigne et un filtre FIR demi-bande, tous deux communs aux trois normes,

suivis par trois filtres en parallèles dont un filtre FIR et deux filtres IIR pour sélection de canal pour la norme UMTS, DECT et GSM, respectivement. Cette architecture, qui privilégie l'occupation de surface, est représentée par la Figure 4.10. La deuxième solution, qui privilégie la consommation, n'est constituée que par des filtres FIR. Elle est illustrée par la Figure 4.11.

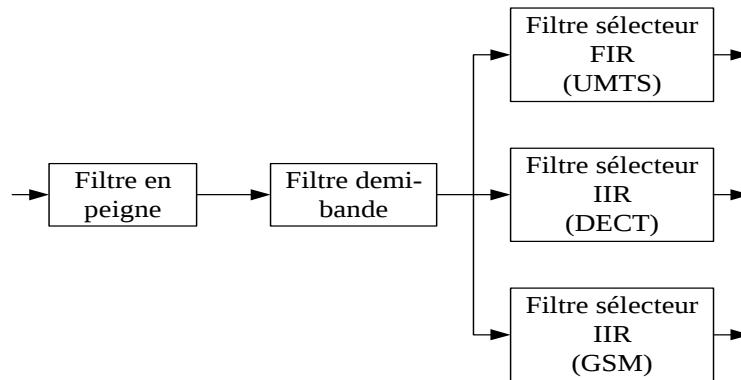


Figure 4.10 – Structure de filtrage en cascade optimisée de point de vue surface.

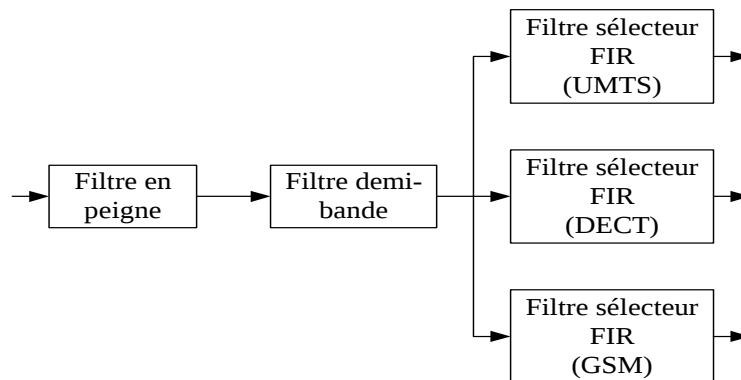


Figure 4.11 – Structure de filtrage en cascade optimisée de point de vue consommation.

La solution qui devrait être choisie doit garantir une certaine flexibilité. C'est pourquoi elle doit être munie de certains degrés de liberté. Cependant, cette flexibilité ne doit pas être trop contraignante. Nous retenons essentiellement deux qualités que devrait présenter l'architecture de filtrage : la première serait la possibilité de configurer les coefficients des filtres, la seconde serait la possibilité de changer la structure des filtres.

La programmabilité des coefficients des filtres est une option assez importante. En effet, elle permet d'ajuster la fonction de transfert si nécessaire. Dans le cas du filtre demi-bande, elle n'est pas vraiment nécessaire car ses coefficients sont fixes pour les trois normes. Cependant, il n'est pas trop pénalisant d'accorder une telle option à ce filtre car

l'ordre n'est pas trop élevé. Pour le filtre de sélection de canal, les coefficients doivent être configurables car ils dépendent de la norme traitée. Pour permettre la programmabilité des coefficients, il suffit de les stocker dans des mémoires ou des registres et d'y faire appel lors des opérations de multiplications.

Pour le filtre en peigne et le filtre demi-bande, la programmabilité de la structure ne se pose pas, car leurs structures ont été fixées dès le départ. Le premier filtre possède une structure réursive et le second une structure non réursive. En revanche, le filtre de sélection de canal peut prendre les deux structures conformément aux Figures 4.10 et 4.11. Une solution serait d'utiliser une implantation logicielle de ce dernier étage sur un DSP par exemple. Comme l'objectif majeur de cette étude est de réaliser un accélérateur de traitement afin de décharger les unités de traitement dans un terminal des tâches répétitives et les impliquer dans d'autres tâches plus complexes, nous avons opté pour le choix d'implanter le filtre de sélection de canal d'une manière matérielle, c'est-à-dire, à l'aide par exemple de deux filtres FIR et IIR dont les coefficients sont programmables.

Afin d'optimiser la complexité de traitement de l'étage de filtrage, nous avons choisi de commencer le traitement par un filtre en peigne car il peut être implanté sans faire appel à des multiplieurs. Puis nous avons réduit la bande et la fréquence d'échantillonnage grâce à un filtre demi-bande. Nous avons montré que, si ce dernier est implanté avec une structure FIR, il présenterait une complexité de traitement moindre (voir Tableau 4.4). Concernant le dernier étage, si nous voulons que la solution soit optimale de point de vue surface et qu'elle soit programmable, il faudrait implanter deux structures : l'une IIR et l'autre FIR. Nous avons donc deux structures à implanter, au lieu d'une seule, ce qui rend la solution sous-optimale. Nous pouvons l'améliorer en profitant de la structure IIR et de la programmabilité de ses coefficients pour réaliser le filtre de sélection de canal de l'UMTS sous sa forme IIR. Mais pour une solution multistandard, nous préférons choisir une solution à moindre coût de point de vue complexité de traitement. Nous choisissons donc une solution basée uniquement sur la structure FIR. Le dernier étage sera un filtre FIR dont les coefficients seront programmables. La Figure 4.12 illustre l'architecture choisie de la cascade de filtres décimateurs.

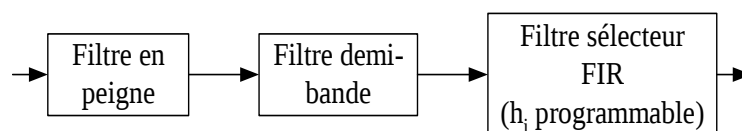


Figure 4.12 – Structure de filtrage en cascade optimisée pour la réception multistandard.

4.4.3 Résultats de validation de l'étage de filtrage multistandard

Avant de passer à l'étape de réalisation de la structure en cascade de la Figure 4.12, nous avons procédé à des tests de validation. A l'aide du logiciel Matlab, nous avons pu générer des signaux GMSK, GFSK et QPSK en présence d'interférents ou de bloqueurs. Ces signaux ont été numérisés par un modèle Matlab d'un convertisseur Sigma-Delta d'ordre trois. Les signaux récupérés ont été filtrés par la cascade de filtres simulée par Matlab. Les Figures 4.13, 4.15 et 4.17 illustrent les performances de la cascade des filtres décimateurs pour sélectionner un canal en présence d'interférents pour les normes UMTS, DECT et GSM, respectivement. Dans tous ces tests, les signaux ont pu être démodulés correctement.

La Figure 4.14 illustre l'évolution du SNR à travers la cascade de filtrage dans le cas de la norme UMTS. Le signal d'entrée du convertisseur est un signal sinusoïdal de fréquence égale à 1900 kHz en présence d'un interférent à $+41\text{ dB}$ à la fréquence $(1.9 + 5)\text{ MHz}$. A la sortie de la cascade de filtres le SNR est de 15.65 dB ce qui est supérieur à la valeur 6.8 dB requise.

La Figure 4.16 illustre l'évolution du SNR à travers la cascade de filtrage dans le cas de la norme DECT. Le signal d'entrée est une sinusoïde de fréquence égale à 690 kHz en présence de 3 interférents à $+13\text{ dB}$, $+34\text{ dB}$ et $+40\text{ dB}$, respectivement, aux fréquences $(0.69 + 1.728)\text{ MHz}$, $(0.69 + 2 \times 1.728)\text{ MHz}$ et $(0.69 + 3 \times 1.728)\text{ MHz}$. A la sortie de la cascade de filtres le SNR est de 12.93 dB ce qui est supérieur à la valeur 10.3 dB requise.

La Figure 4.18 illustre l'évolution du SNR à travers la cascade de filtrage dans le cas de la norme GSM. Le signal d'entrée est une sinusoïde de fréquence égale à 80 kHz en présence de 2 interférents à $+9\text{ dB}$ et $+41\text{ dB}$, respectivement, aux fréquences $(80 + 200)\text{ kHz}$ et $(80 + 2 \times 200)\text{ kHz}$. A la sortie de la cascade de filtres le SNR est de 27.5 dB ce qui est supérieur à la valeur 9 dB requise.

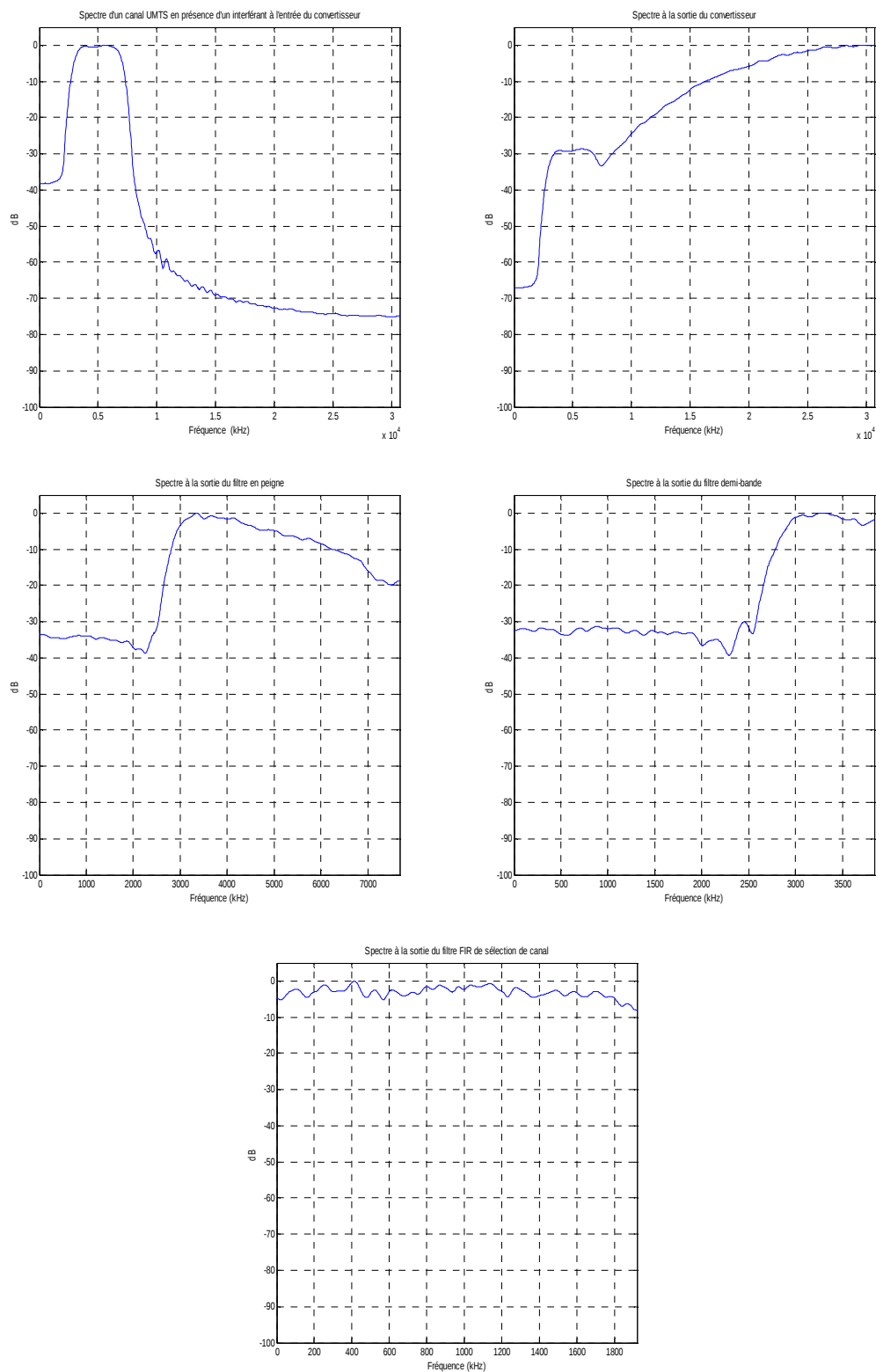


Figure 4.13 – Performances des étages de filtrage pour la norme UMTS.

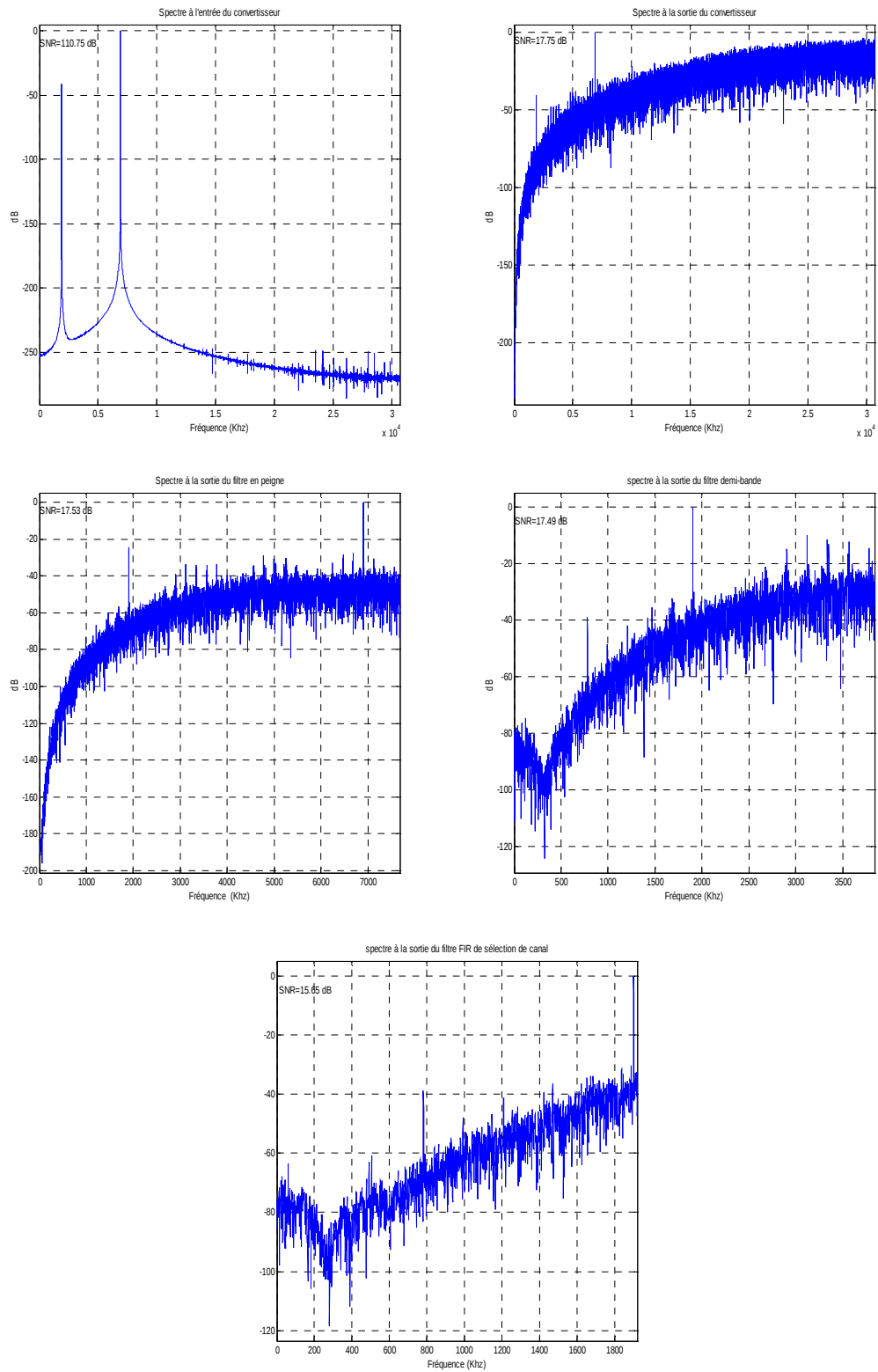


Figure 4.14 – Performances des étages de filtrage pour la norme UMTS en terme de SNR.

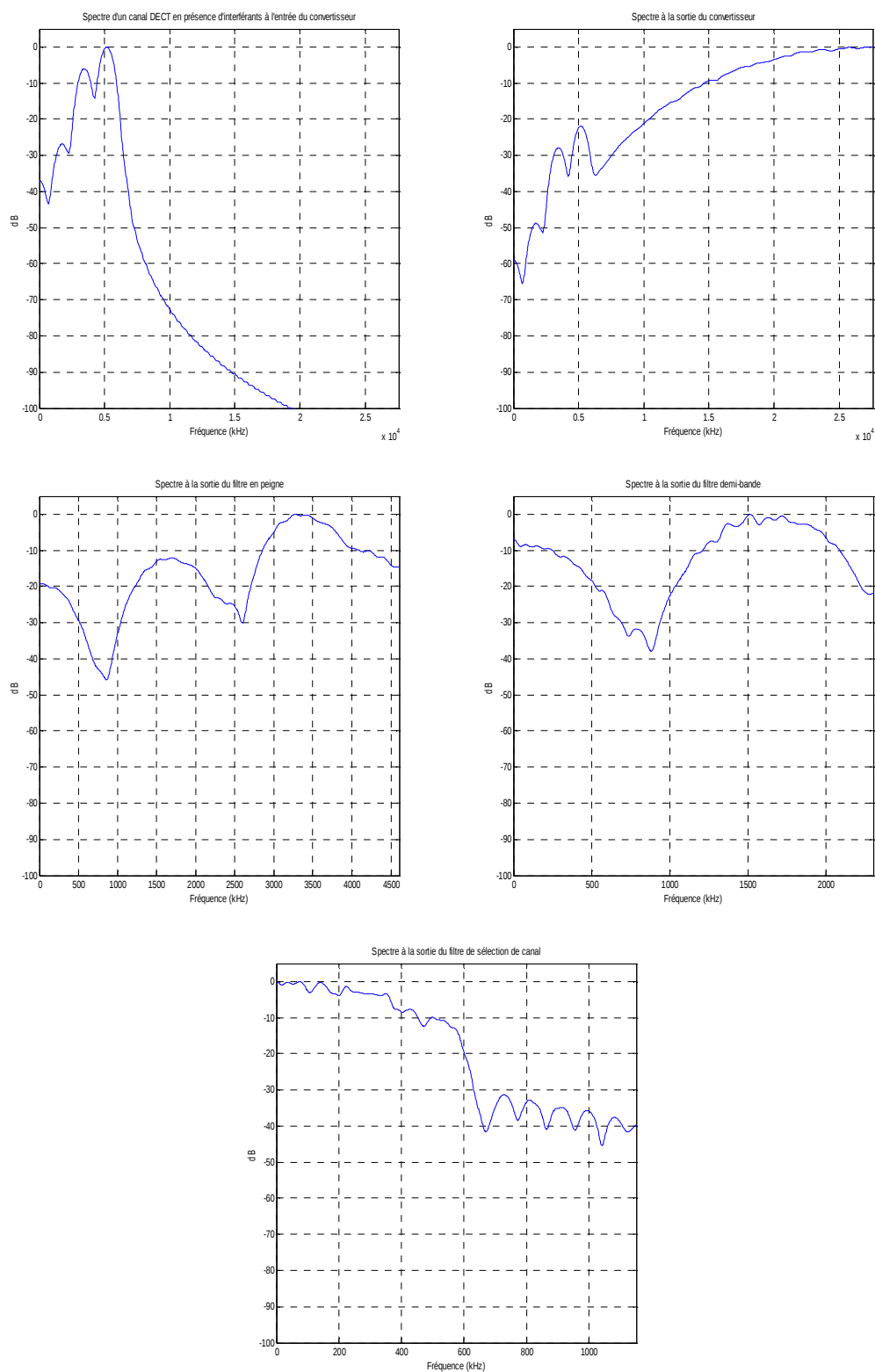


Figure 4.15 – Performances des étages de filtrage pour la norme DECT.

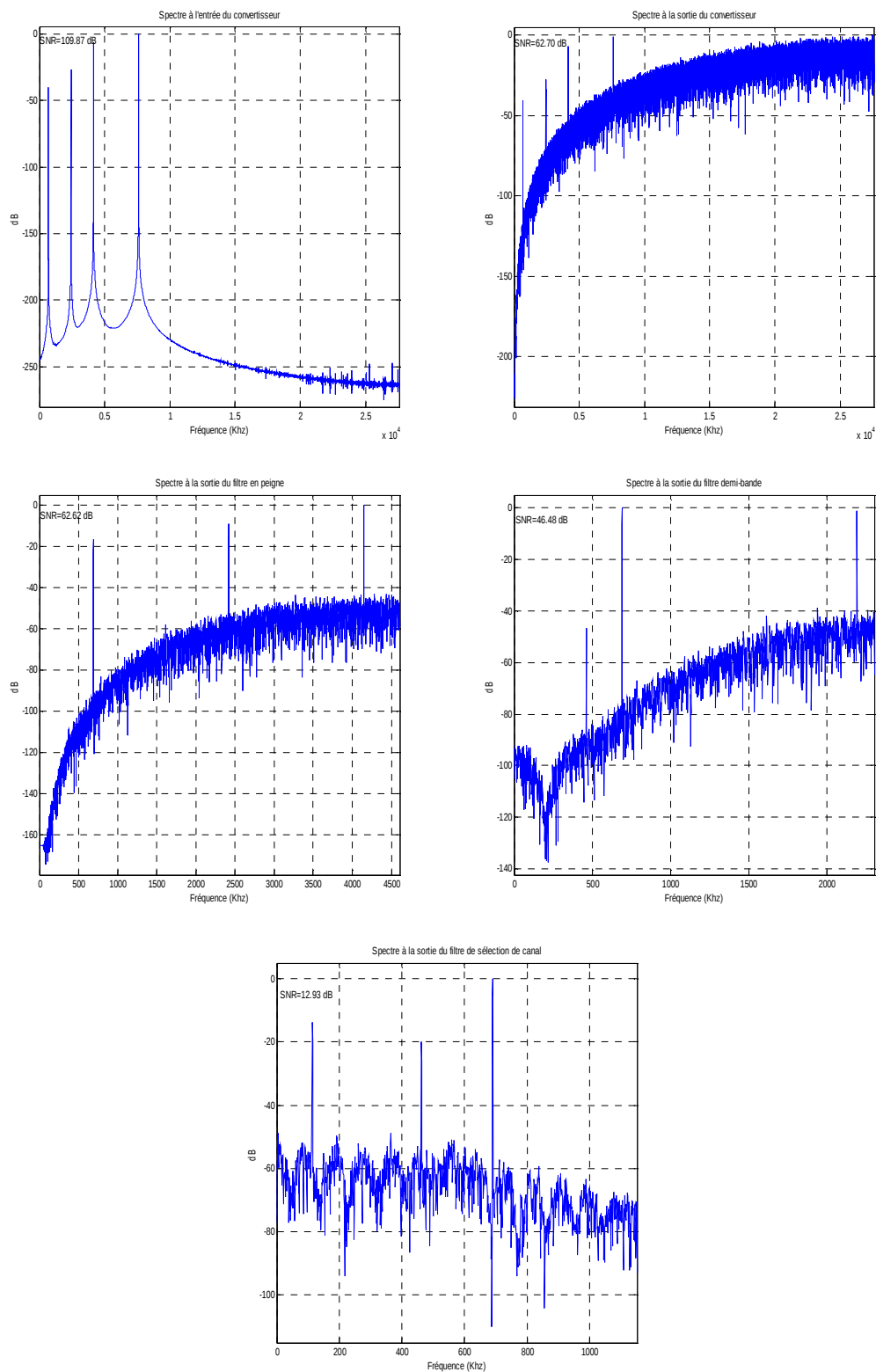


Figure 4.16 – Performances des étages de filtrage pour la norme DECT en terme de SNR.

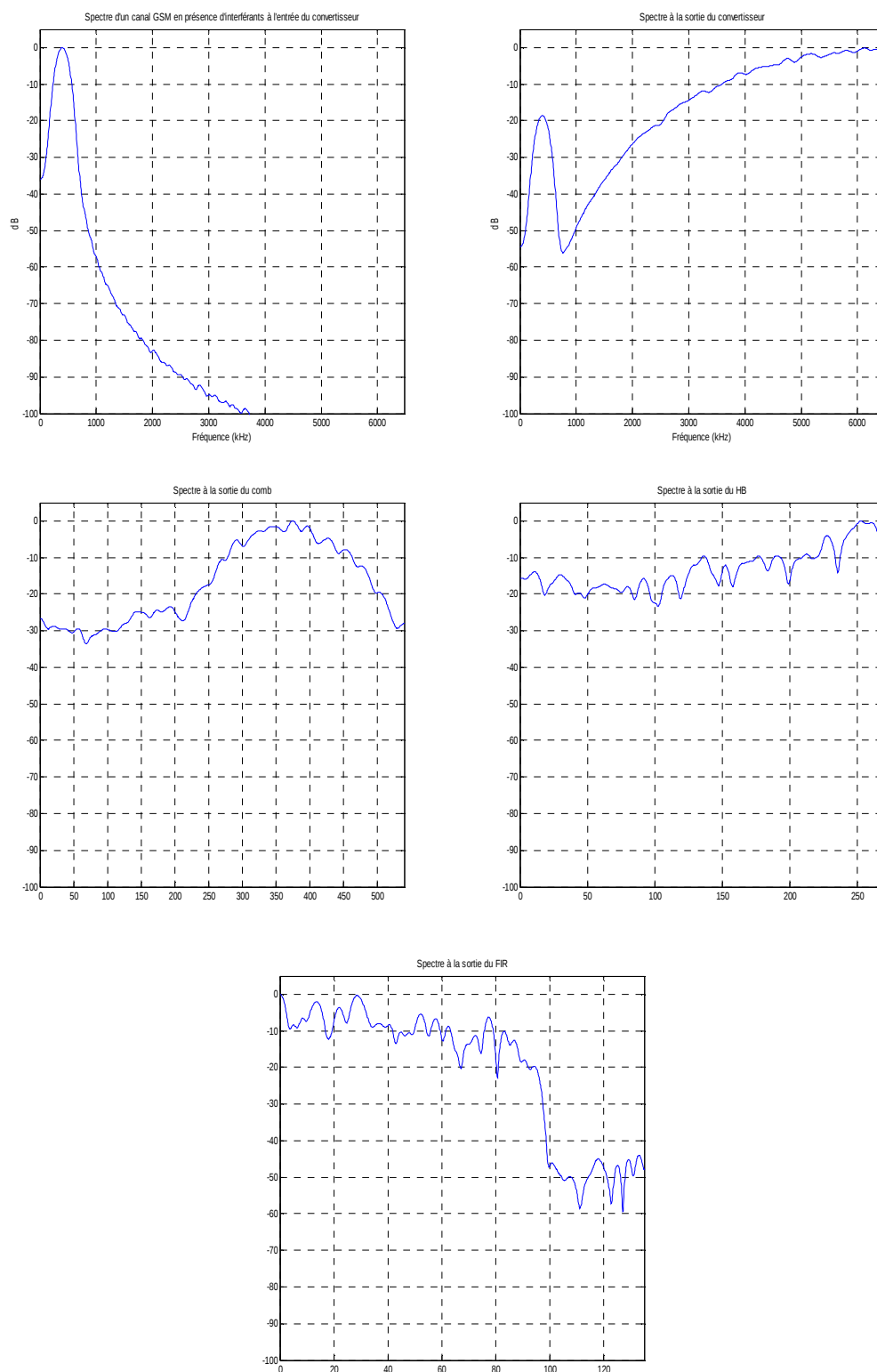


Figure 4.17 – Performances des étages de filtrage pour la norme GSM.

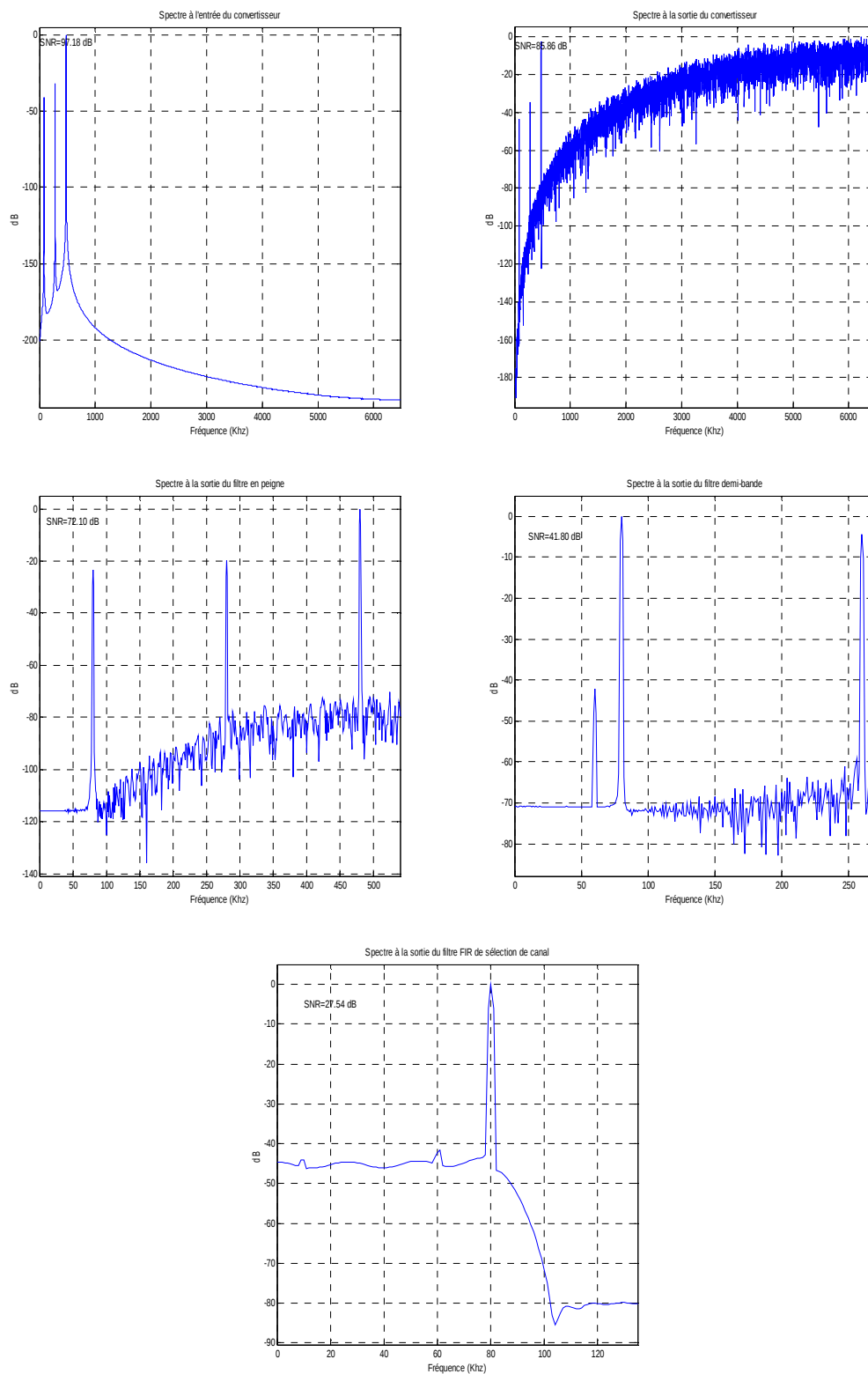


Figure 4.18 – Performances des étages de filtrage pour la norme GSM en terme de SNR.

4.5 Conclusion

Dans l'étude des filtres numériques présentée dans ce chapitre, nous avons commencé par l'étude des filtres IIR. L'objectif était de mettre en œuvre une structure de filtrage à phase presque linéaire pour tenir compte des exigences des normes radio choisies. Nous avons étudié trois différentes techniques de synthèse qui se basent respectivement sur des filtres passe-tout mis en parallèle, la minimisation d'erreur quadratique et la réduction d'ordre d'un filtre FIR. La synthèse des deux derniers étages de filtrage selon ces trois méthodes a révélé un avantage de point de vue complexité de calcul pour la méthode de minimisation d'erreur quadratique. Nous avons comparé ces résultats à une synthèse par de filtres FIR et dans le but de choisir une architecture de filtrage flexible et optimisée de point de vue complexité de traitement. La cascade de filtre choisie est constituée d'un filtre en peigne et d'un filtre FIR demi-bande d'ordre 19 commun à toutes les normes, suivis d'un seul filtre FIR dont les coefficients sont programmables selon la norme traitée et dont l'ordre est égale à 23, 47 et 51, respectivement pour la norme UMTS, GSM et DECT. La cascade de filtre a été testée et validée par simulation Matlab. Nous avons tout d'abord généré des signaux GMSK, GFSK et QPSK en présence d'interférants ou de bloqueurs respectivement pour les normes GSM, DECT et UMTS. Ces signaux ont été numérisés par un modèle Matlab d'un modulateur Sigma-Delta d'ordre trois. Les signaux récupérés ont été filtrés par la cascade de filtres simulée par Matlab. Dans tous les tests effectués, les signaux ont pu être démodulés correctement. Puis nous avons effectué des tests sur des signaux sinusoïdaux en présence d'interférents pour les trois normes et nous avons pu vérifier à chaque fois que le SNR requis est atteint. La troisième et dernière partie de ce rapport sera consacrée à la réalisation pratique d'une telle architecture de filtrage et l'évaluation de ses performances expérimentales.

Implantation matérielle du processeur de filtrage de sélection des canaux

Chapitre 5

Optimisation de l'architecture matérielle des circuits de filtrage

5.1 Introduction

L'objectif de cette troisième et dernière partie de ce rapport, composée elle aussi de deux chapitres, est de présenter les détails de l'implantation matérielle du processeur de filtrage de sélection des canaux. Dans ce chapitre en particulier nous allons étudier les architectures matérielles des circuits de filtrage afin d'optimiser l'implantation matérielle des différents étages de filtrage de décimation et de sélection de canal. Nous allons commencer par étudier les systèmes de représentation binaire ainsi que les opérateurs numériques de base tels que les additionneurs et les multiplieurs. Ensuite, nous allons étudier trois approches différentes de conception d'architectures numérique de filtrage. La première consiste en une approche parallèle, la seconde se base sur l'arithmétique distribuée et la dernière exploite la ressemblance entre les différents coefficients pour diminuer la complexité. A la fin de ce chapitre nous mènerons une étude comparative entre les différentes approches de conception afin de définir la meilleure configuration d'implantation matérielle.

5.2 Conception d'opérateurs matériels pour le filtrage

Dans ce paragraphe nous présentons les différentes représentations binaires couramment utilisées dans les architectures de calcul numérique, ainsi que les opérateurs élémentaires d'addition et de multiplication qui sont à la base des opérations de filtrage numérique.

5.2.1 Systèmes de représentation binaire

Les représentations binaires définies dans ce paragraphe permettent de coder des nombres entiers. Ces représentations peuvent être étendues pour les nombres fractionnels. Nous pouvons partager les représentations binaires essentiellement en deux familles : les représentations signées et les représentations non signées. Une représentation non signée permet le codage binaire des nombres appartenant à $\mathbb{N}$. Elle est définie par l'équation (5.1).

$$X = \sum_{i=0}^{n-1} x_i 2^i \quad x_i \in \{0, 1\} \quad (5.1)$$

Où $X \in [0, 2^n - 1] \cap \mathbb{N}$.

Dans la famille des représentations signées nous en dénombrons plusieurs ; A commencer par la représentation biaisée : Elle permet le codage des nombres appartenant à $\mathbb{Z}$ en ajoutant un biais R . Soit un nombre $X \in \mathbb{Z}$, R est choisi de sorte que $X + R$ soit toujours positif, X est ainsi codé par le nombre $Y \in \mathbb{N}$ tel que $Y = X + R$.

Il existe aussi les représentations en complément : La méthode du complément est basée sur une représentation biaisée appliquée uniquement aux nombres négatifs. Pour coder sans ambiguïté des nombres appartenant à $[-P, Q] \cap \mathbb{Z}$, il est nécessaire et suffisant que le biais R soit supérieur ou égal à $P + Q + 1$. Cette condition garantit l'absence de recouvrement entre valeurs négatives et positives. Un cas particulier serait la représentation en complément à deux dite aussi complément vrai. Elle utilise un biais R égal à 2^n et autorise le codage de nombres appartenant à $[-2^{n-1}, 2^{n-1} - 1] \cap \mathbb{Z}$. Y et son complément $\hat{Y}$, qui désigne son opposé, sont ainsi définis par les équations (5.2) et (5.3).

$$Y = -y_{n-1}2^{n-1} + \sum_{i=0}^{n-2} y_i 2^i \quad (5.2)$$

$$\hat{Y} = 2^n - Y = (2^n - 1) - Y + 1 = \overline{Y} + 1 \quad (5.3)$$

Il y a aussi les représentations redondantes qui font en sorte qu'un élément peut admettre plusieurs écritures. Nous évoquerons celle d'Avizienis dont le principe consiste à coder les nombres en base r à l'aide de chiffres appartenant à l'ensemble $D_\rho = \{-\rho, \dots, \rho\}$, où $\rho \leq r-1$ et $2\rho+1 \geq r$. La deuxième condition garantit que tous les nombres possèdent au moins une représentation [94]. Un cas particulier serait la représentation ***Borrow-save*** utilisée pour la base 2. Un chiffre x_i appartenant à $D_1\{-1, 0, 1\}$ est codé à l'aide de deux bits x_i^+ et x_i^- tel que $x = x_i^+ - x_i^-$. Le Tableau 5.1 illustre la représentation ***Borrow-save***.

	(x_i^+, x_i^-)
-1	(0,1)
0	(0,0) ou (1,1)
1	(1,0)

Tableau 5.1 – Représentation Borrow-save

Nous dénombrons aussi une représentation dite à retenue conservée (***carry-save***). Lors d'une addition de deux nombres X et Y à la main comme l'illustre le Tableau 5.2, les colonnes de droite à gauche sont parcourues en déterminant pour chacune d'entre elles la somme $x_i + y_i + c_i$ où c_i dénote une éventuelle retenue provenant de la colonne $i-1$.

En base deux, la valeur $x_i + y_i + c_i$ comprise entre zéro et trois se représente à l'aide d'un bit de somme s_i et d'un bit retenue sortante c_{i+1} . La représentation carry-save est obtenue en définissant $r_i(c_{i+1}, s_i)$ par la relation (5.4).

$$r_i = r_i(c_{i+1}, s_i) = 2c_{i+1} + s_i \quad r_i \in \{0, 1, 2, 3\} \quad (5.4)$$

La somme $X + Y$ s'écrit selon la représentation à retenue conservée comme l'indique l'expression (5.5).

$$X + Y = \sum_{i=0}^{n-1} r_i 2^i \quad (5.5)$$

i	5	4	3	2	1	0
c_i	1	0	0	0	0	
x_i		1	1	1	0	
y_i		1	0	0	1	
s_i		0	1	1	1	

Tableau 5.2 – Somme binaire

5.2.2 Opérateurs d'addition binaire

De la même manière que les représentations binaires, nous pouvons partager les opérateurs d'addition binaire en deux familles : la première serait celle qui accepte deux opérandes et la seconde serait à plusieurs opérandes. Dans ce paragraphe, nous donnerons un aperçu sur ces deux types d'additionneurs.

Lorsque on effectue une addition binaire de deux nombres positifs X et Y , on additionne tout d'abord les deux bits de poids faible et on détermine le bit s_0 du résultat ainsi qu'un bit de retenue c_1 tel que c'est défini par les trois équations (5.6), (5.7) et (5.8).

$$2c_1 + s_0 = x_0 + y_0 \quad (5.6)$$

Où

$$s_0 = (x_0 + y_0) \bmod 2 = x_0 \oplus y_0 \quad (5.7)$$

$$c_1 = (x_0 + y_0) \div 2 = x_0 y_0 \quad (5.8)$$

Le circuit effectuant ce calcul est appelé demi-additionneur (*half-adder*). La Figure 5.1 illustre sa représentation symbolique ainsi que sa réalisation et une possibilité d'implantation sur un circuit FPGA. Cette dernière utilise un XOR réalisé par une "look up table" (LUT) pour trouver s_0 . En revanche, l'obtention de c_1 est plus subtile. En effet, si $x_0 \neq y_0$, on a $x_0 \oplus y_0 = 1$ et $c_1 = 0$. L'équation (5.8) est vérifiée car $x_0 y_0 = 0$ si $x_0 \oplus y_0 = 1$. De même, si $x_0 = y_0 = x_0 y_0$, $c_1 = y_0$ car $x_0 \oplus y_0 = 0$ et l'équation (5.8) est toujours vérifiée.

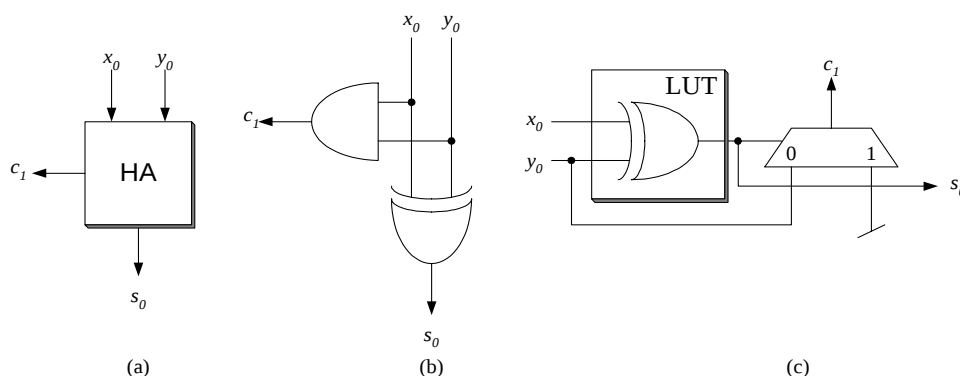


Figure 5.1 – Circuits de réalisation de la cellule demi-additionneur.

En traitant les colonnes restantes de la somme de droite à gauche, nous additionnons x_i , y_i et la retenue c_i afin de générer un bit de somme s_i ainsi qu'une retenue sortante c_{i+1} définie par l'équation (5.9).

$$2c_{i+1} + s_i = x_i + y_i + c_i \quad (5.9)$$

Où

$$s_i = (x_i + y_i + c_i) \bmod 2 = x_i \oplus y_i \oplus c_i \quad (5.10)$$

$$c_{i+1} = (x_i + y_i + c_i) \div 2 = x_i y_i + x_i c_i + y_i c_i \quad (5.11)$$

Le circuit effectuant ce calcul est appelé additionneur complet (*full-adder*). Les Figures 5.2 (a) et (b) illustrent respectivement le schéma fonctionnel et le schéma de réalisation d'une cellule full-adder. La Figure 5.2 (c) illustre un exemple d'implantation sur un circuit FPGA.

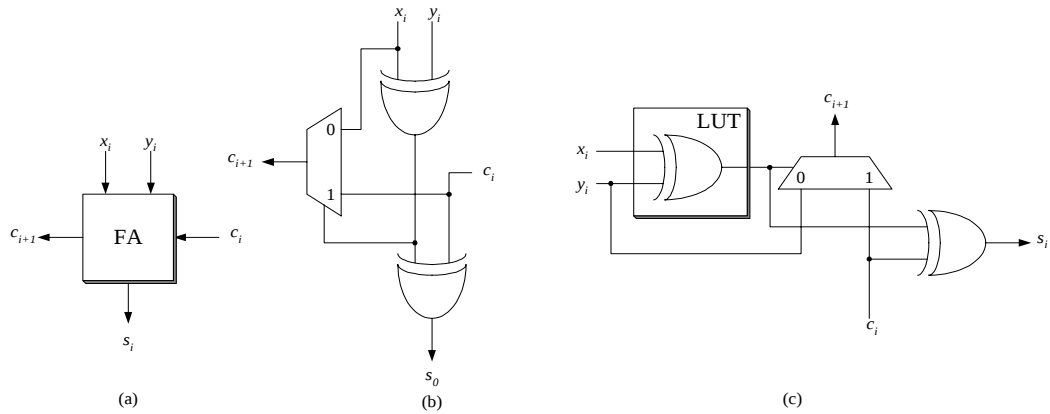


Figure 5.2 – Circuits de réalisation de la cellule additionneur complet.

Les deux cellules décrites précédemment sont suffisantes pour la réalisation matérielle d'un additionneur à retenue propagée. Il est constitué d'une cellule half-adder et de $n - 1$ cellules full-adder connectées en cascade.

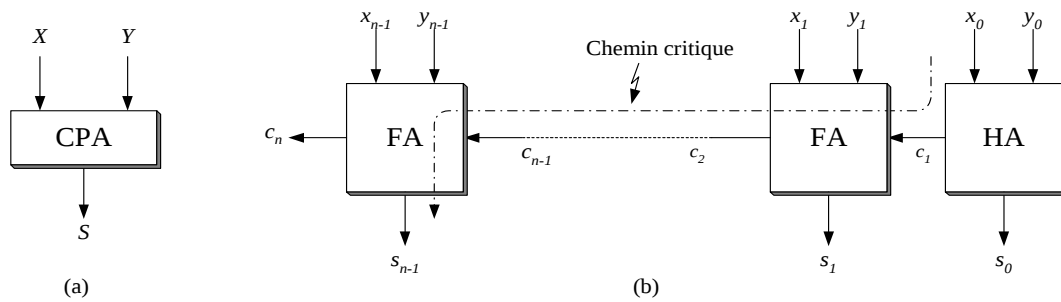


Figure 5.3 – Principe de l'architecture d'un additionneur à retenue propagée.

La propagation de la retenue implique théoriquement un temps de calcul proportionnel à la taille des opérandes (Voir Figure 5.3). Ainsi, en doublant la précision des opérandes de l'additionneur on divise sa fréquence de fonctionnement. Certains fabricants de FPGA tel que Xilinx proposent sur leur produit Virtex des lignes dédiées à la propagation de

retenue. La Figure 5.4 illustre un exemple d'implantation de l'additionneur sur FPGA. Une fois la première LUT traversée, il n'y a plus qu'une succession de multiplexeurs et une porte logique XOR sur le chemin critique. Le délai de ces composants est nettement inférieur à celui de la LUT.

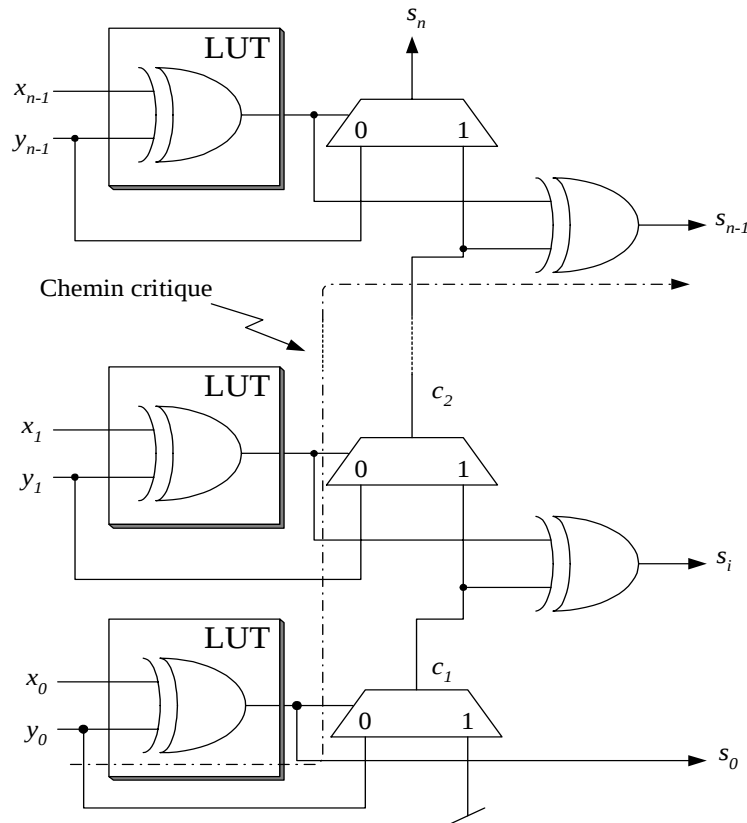


Figure 5.4 – Architecture d'un additionneur à retenue propagée sur FPGA.

Lorsque deux opérandes en complément à deux comportent un nombre de chiffres identiques, leur addition s'effectue à l'aide du circuit à retenue propagée étudié précédemment. S'ils sont de tailles différentes il faudrait faire une extension de signe. Pour réaliser un soustracteur, il suffit d'inverser tous les bits de Y et de substituer le Half-adder par un full-adder dont la retenue entrante vaut un.

L'addition de deux nombres de n bits requiert un temps de calcul proportionnel à n . Toutefois, les entrées x_i et y_i d'une cellule full-adder sont disponibles bien avant la retenue entrante c_i . Il est possible d'exploiter cette information pour réaliser l'addition en un temps inférieur. La méthode de sklansky permet un temps de cycle proportionnel à $\log_2 n$ [94]. Cependant, un tel additionneur occupe beaucoup plus de surface qu'un additionneur à retenue propagée.

La deuxième famille d'additionneur serait celle des multiopérandes. Si nous désirons effectuer une addition de m opérandes X_i de n chiffres, nous supposons que les X_i sont non signés ou en complément à deux. Le résultat comporte $n + \text{Log}_2(m)$ bits.

$$S = \sum_{i=0}^{m-1} X_i = \sum_{i=0}^p s_i 2^i, \quad p = n + \text{Log}_2(m) \quad (5.12)$$

Un cas particulier serait pour seulement trois opérandes dans lequel nous pouvons utiliser un additionneur à retenue conservée pour effectuer l'opération en un temps constant indépendant de la taille des opérandes. Le principe de l'addition à retenue conservée consiste à traiter chacune des retenues intermédiaires générées par une cellule full-adder comme une sortie au lieu de la propager (voir Figure 5.5). Cette méthode permet ainsi l'addition en temps constant : le temps que prend un full-adder. La conversion du résultat en une représentation non redondante nécessite une addition à retenue propagée.

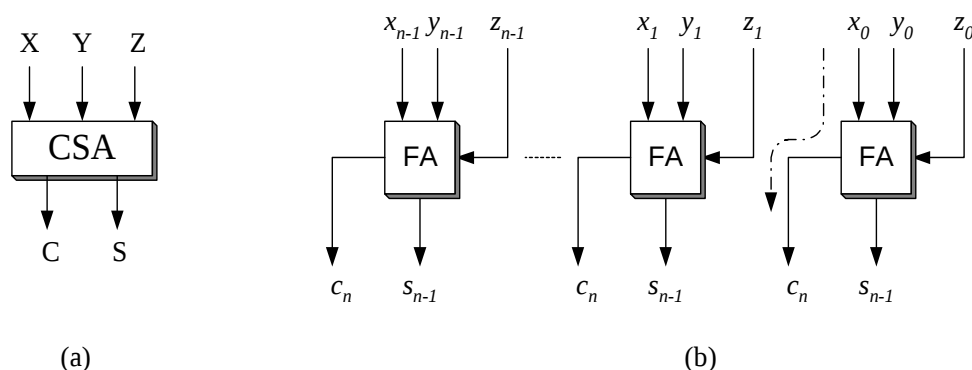


Figure 5.5 – Principe de l'architecture d'un additionneur à retenue conservée.

La Figure 5.6 décrit deux circuits implantant l'équation (5.12). Le premier utilise $m - 1$ additionneurs à retenues propagées connectés en série. Le second calcule la somme des opérandes à l'aide de $m - 2$ additionneurs à retenues conservées puis convertit le résultat en complément à deux grâce à une dernière addition à retenue propagée. Les deux solutions ont un chemin critique semblable mais la seconde permet d'utiliser un calcul préfixe pour le dernier étage afin d'améliorer le temps de calcul. Une amélioration peut être amenée à l'implantation décrite par la Figure 5.6 en utilisant des structures en arbre plutôt que linéaires.

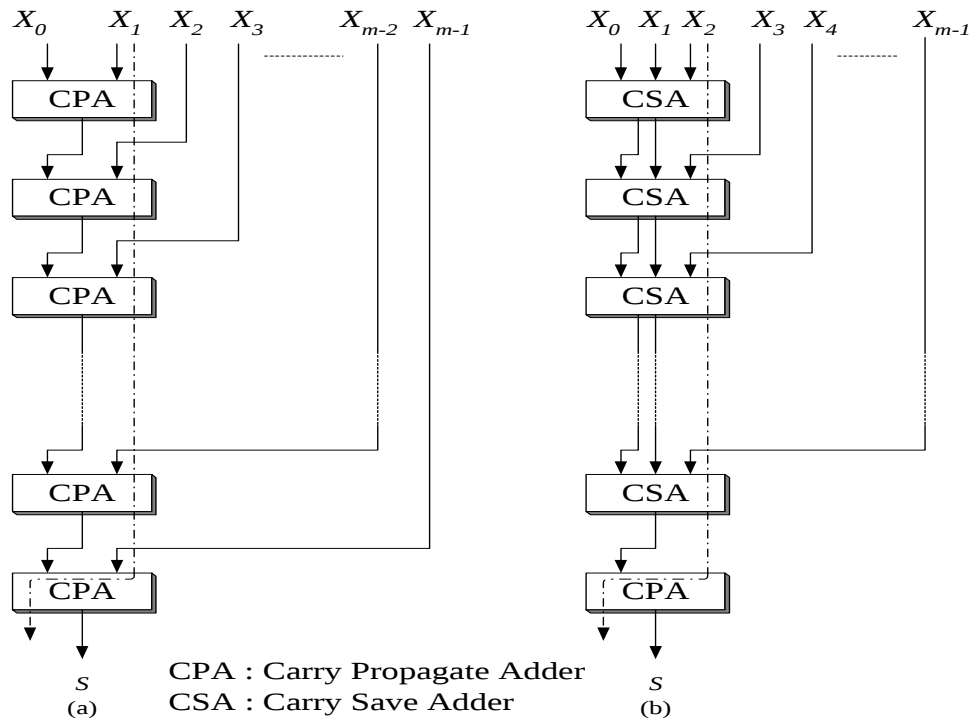


Figure 5.6 – Architecture d'additionneurs multiopérande.

Afin de diminuer la surface occupée par un additionneur nous pouvons effectuer l'opération d'une manière sérielle qui prend plus d'un cycle d'horloge. L'addition sérielle, non signée ou en complément à deux, s'effectue sur le chiffre de poids faible en tête à l'aide du circuit de la Figure 5.7. A chaque itération, ce dispositif calcule un chiffre s_i du résultat ainsi que la retenue c_{i+1} , mémorisée dans une bascule dont le contenu initial vaut zéro. Pour transformer ce circuit en un soustracteur, il suffit d'inverser l'entrée Y et d'initialiser la bascule avec la valeur un. Ce principe d'addition sérielle peut être facilement étendu pour les additionneurs multiopérandes.

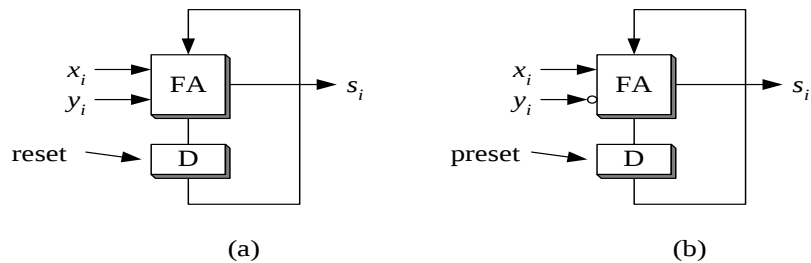


Figure 5.7 – Architecture d'additionneur et soustracteur sériels.

Le choix de structure de l'opérateur d'addition est dicté par l'exigence de l'application. En effet, les additionneurs sériels nécessitent peu de ressources et peuvent fonctionner à de hautes fréquences. Les additions avec calcul de préfixe présentent un temps de cycle inférieur à un additionneur à retenue propagée mais occupent plus de surface. Cependant, si l'opérateur est implanté sur un circuit FPGA l'additionneur à retenue propagée peut être plus avantageux que les additionneurs avec calcul de préfixe car les FPGA disposent généralement de ligne de propagation de retenue [94]. Le Tableau 5.3 illustre une comparaison qualitative entre les différents types d'additionneurs.

Critères	Additionneur à retenue propagée	Additionneur à retenue conservée	Additionneur avec calcul de préfixe	Additionneur sérielle
Surface	faible	moyenne	importante	très faible
fréquence de fonctionnement	faible (pour les grandes tailles)	élevée	moyenne	très élevée

Tableau 5.3 – Comparaison des architectures d'additionneurs

5.2.3 Opérateurs de multiplication binaire

Considérons X et Y deux nombres entiers non signés de n chiffres, leur produit Z un nombre comportant $2n$ chiffres s'obtient par exemple en calculant le résultat de l'équation (5.13).

$$Z = XY = \sum_{i=0}^{n-1} y_i X 2^i = \sum_{i=0}^{n-1} p_i 2^i \quad (5.13)$$

Où p_i sont les produits partiels.

Le Tableau 5.4 correspond à la méthode utilisée pour calculer à la main le produit de deux nombres. La conception d'un circuit numérique implantant l'équation (5.13) s'avère triviale. Les produits partiels sont déterminés par des portes ET puis leur somme est déterminée par un additionneur multi-opérandes.

Il est également possible de calculer séquentiellement les produits partiels et d'établir leur somme avec un additionneur et un accumulateur.

				x_3	x_2	x_1	x_0	X
			$\times$	y_3	y_2	y_1	y_0	Y
				y_0x_3	y_0x_2	y_0x_1	y_0x_0	$y_0X \cdot 2^0$
				y_1x_3	y_1x_2	y_1x_1	y_1x_0	$y_1X \cdot 2^1$
		y_2x_3	y_2x_2	y_2x_1	y_2x_0			$y_2X \cdot 2^2$
	y_3x_3	y_3x_2	y_3x_1	y_3x_0				$y_3X \cdot 2^3$
z_7	z_6	z_5	z_4	z_3	z_2	z_1	z_0	

Tableau 5.4 – Multiplication de deux nombres de quatre bits.

a. Recodage modifié de Booth

Il existe plusieurs méthodes d'optimisation de la multiplication dont le recodage modifié de booth. Son principe consiste à réécrire le multiplicateur dans une grande base en exploitant une notation redondante pour diminuer le nombre de produits partiels. En effet, considérons une chaîne de '1' de longueur k débutant à la position i :

$$\begin{array}{ccccccc} & & & & 2^{i+k-1} & & 2^i \\ 0 & 0 & & 1 & 1 & \dots & 1 & 1 & 0 \end{array}$$

En utilisant l'ensemble des chiffres appartenant à $D_1\{\bar{1}, 0, 1\}$, cette chaîne admet également la représentation :

$$\begin{array}{ccccccc} & & & & 2^{i+k} & & 2^i & 0 \\ 0 & 1 & 0 & 0 & \dots & 0 & \bar{1} & 0 \end{array}$$

Cette dernière représentation admet moins de produits partiels lors de la multiplication. Booth propose un algorithme de conversion dans la base deux appelé recodage de Booth. Chaque chiffre $\tilde{x}_i$ du nombre converti $\tilde{X}$ est déterminé par x_i et x_{i-1} comme le décrit l'équation (5.14).

$$\tilde{x}_i = x_{i-1} - x_i \quad (5.14)$$

Nous définissons $z_i = 2\tilde{x}_{2i+1} + \tilde{x}_{2i}$. Comme $\tilde{X}$ ne comporte aucune chaîne de 1 ou de -1 de longueur supérieure à un, on en déduit que $z_i \in \{-2, -1, 0, 1, 2\}$. On exprime ainsi

X à l'aide d'une notation redondante en base quatre comme l'indique l'équation (5.15).

$$X = \sum_{i=0}^p z_i 4^i, \quad p = \frac{n}{2} \quad (5.15)$$

Grâce à cette conversion de X , appelée recodage modifié de Booth, seuls $\frac{n}{2} + 1$ produits partiels interviennent lors de la multiplication. La valeur des coefficients z_i se déduit de (5.14) par l'équation (5.16).

$$\begin{aligned} z_i &= 2\tilde{x}_{2i+1} + \tilde{x}_{2i} \\ &= x_{2i-1} + x_{2i} - 2x_{2i+1} \end{aligned} \quad (5.16)$$

et, par conséquent,

$$X = \sum_{i=0}^p \underbrace{(x_{2i-1} + x_{2i} - 2x_{2i+1})}_{\{-2, -1, 0, 1, 2\}} 4^i, \quad p = \frac{n}{2} \quad (5.17)$$

Le principe exploité pour le développement du recodage modifié en base quatre s'applique à de plus grandes bases. Les recodages en base huit et 2^r s'expriment respectivement par les équations (5.18) et (5.19).

$$X = \sum_{i=0}^p \underbrace{(x_{3i-1} + x_{3i} + 2x_{3i+1} - 4x_{3i+2})}_{\{-4, -3, \dots, 3, 4\}} 8^i, \quad p = \frac{n}{3} \quad (5.18)$$

$$X = \sum_{i=0}^p \underbrace{\left(x_{ri-1} + \left(\sum_{j=0}^{r-2} x_{ri+j} 2^j \right) - 2^{r-1} x_{ri+(r-1)} \right)}_{\{-2^{r-1}, \dots, 2^{r-1}\}} (2^r)^i, \quad p = \frac{n}{r} \quad (5.19)$$

Pour comprendre l'intérêt pratique, on étudie le cas où $r = 3$. La réécriture du multiplicateur en base huit engendre des chiffres z_i appartenant à l'ensemble $\{-4, \dots, 4\}$. Les éléments de cet ensemble peuvent être codés sur 3 bits avec la représentation complément à deux sauf le chiffre 4 qui nécessite 4 bits. Il suffit donc de substituer l'élément 4 par -4, à condition de corriger cette erreur, volontairement introduite, par l'ajout d'un 8. Cette opération de correction correspond au forçage de x_{3i-1} à un pour le calcul du prochain produit partiel. La Figure 5.8 illustre le fonctionnement d'un tel multiplieur. Une telle procédure peut nécessiter une extension de signe pour ne pas introduire une erreur à la fin du traitement.

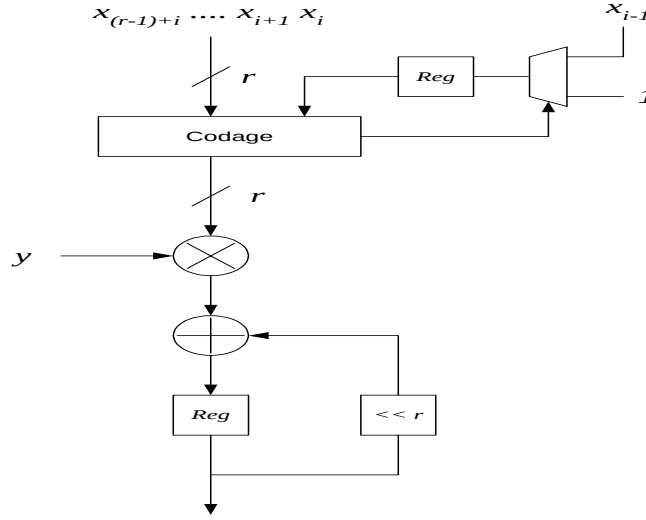


Figure 5.8 – Architecture du multiplieur adaptée à la subdivision sur r bits.

b. Multiplication parallèle-série

Nous supposons que le multiplicateur est reçu sérielement, chiffre de poids fort en tête et l'autre opérande est enregistrée dans un registre. La Figure 5.9 décrit l'architecture de l'opérateur [94]. Durant les n premiers cycles d'horloge les portes ET déterminent un produit partiel p_i qui ensuite additionné à l'aide d'un circuit à retenue conservée à la somme des $i - 1$ premiers produits partiels mémorisés dans les bascules. Le mécanisme de décalage des bits de somme garantit un alignement correct des opérandes. Au terme de ces n cycles, nous ne disposons que de n bits de poids faibles du résultat. Il faut donc fixer à zéro les bits du multiplicateur durant les n prochains cycles afin d'obtenir le résultat complet du calcul.

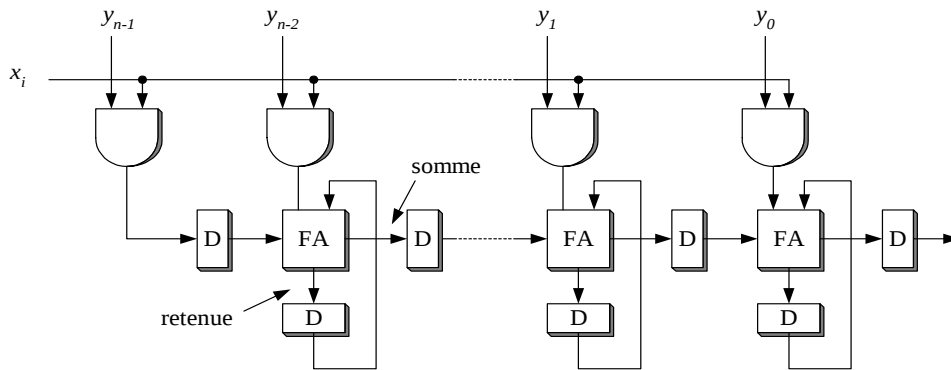


Figure 5.9 – Multiplieur parallèle-série.

5.3 Conception d'architectures de filtrage numérique

Après avoir étudié les différents opérateurs arithmétiques élémentaires, nous nous intéressons à l'optimisation des architectures de filtrage. Dans le chapitre 3, nous avons montré qu'une opération de filtrage n'est autre qu'un produit de convolution entre un signal et la réponse impulsionnelle du filtre. Les paragraphes suivants exploitent cette propriété.

5.3.1 Approche d'architecture parallèle

C'est la réalisation la plus évidente d'un filtre FIR. Elle est fidèle à la structure illustrée par la Figure 4.3. Il s'agit d'utiliser autant d'opérateurs d'addition et de multiplication qu'il y a de coefficients dans le filtre. Cette implantation réduit l'opération de filtrage en un seul cycle d'horloge, mais occupe plus de surface.

5.3.2 Approche d'architecture basée sur l'arithmétique distribuée

Dans le cas d'une réponse impulsionnelle finie, l'opération de filtrage se résume à l'équation (5.20) [88].

$$y(n) = \sum_{k=1}^K h_k x_{n-k} = \sum_{k=1}^K h_k x_k(n) \quad (5.20)$$

où

$y(n)$: la réponse à l'instant n

h_k : le k^{ieme} coefficient à l'instant n

$x_k(n)$: la k^{ieme} variable d'entrée à l'instant n

Si nous exprimons x_k avec la représentation en complément à deux, nous obtenons l'équation (5.21).

$$x_k = -x_{\{k, N-1\}} 2^{N-1} + \sum_{n=0}^{N-2} x_{\{k, n\}} 2^n \quad (5.21)$$

En substituant x_k dans l'équation (5.20) par son expression exprimée par (5.21) nous

obtenons l'expression (5.22).

$$\begin{aligned}
y &= \sum_{k=1}^K h_k \left[-x_{\{k,N-1\}} 2^{N-1} + \sum_{n=0}^{N-2} x_{\{k,n\}} 2^n \right] \\
&= -\sum_{k=1}^K x_{\{k,N-1\}} 2^{N-1} h_k + \sum_{k=1}^K \sum_{n=0}^{N-2} x_{\{k,n\}} 2^n h_k \\
&= -\sum_{k=1}^K x_{\{k,N-1\}} 2^{N-1} h_k + \sum_{n=0}^{N-2} \sum_{k=1}^K x_{\{k,n\}} 2^n h_k
\end{aligned} \tag{5.22}$$

L'équation (5.22) peut être développée comme l'indique l'expression (5.23).

$$\begin{aligned}
y &= (x_{\{1,0\}} h_1 + x_{\{2,0\}} h_2 + \cdots + x_{\{K,0\}} h_K) 2^0 \\
&+ (x_{\{1,1\}} h_1 + x_{\{2,1\}} h_2 + \cdots + x_{\{K,1\}} h_K) 2^1 \\
&\dots \\
&- (x_{\{1,N-1\}} h_1 + x_{\{2,N-1\}} h_2 + \cdots + x_{\{K,N-1\}} h_K) 2^{N-1}
\end{aligned} \tag{5.23}$$

Les coefficients du filtre étant fixes, les sommes partielles exprimées dans l'équation (5.23) peuvent être précalculées et mises dans une “look up table” qui contient 2^N mots. Les puissances de 2 se résument à des opérations de décalage. La Figure 5.10 montre un exemple de filtre avec trois coefficients.

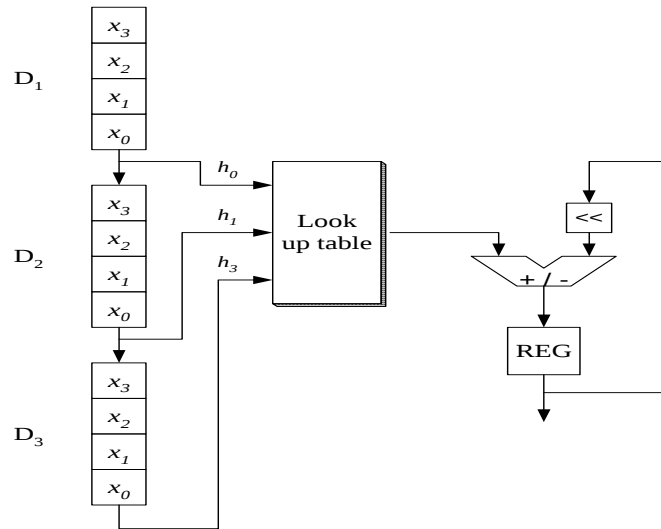


Figure 5.10 – Réalisation d'un filtre, à trois coefficients, basée sur la technique de l'arithmétique distribuée.

5.3.3 Approche d'architecture à partage d'éléments communs des coefficients

Le but de la méthode présentée dans [95] consiste à rechercher le nombre minimum d'opérations d'addition ou de soustraction et de décalage nécessaires pour modéliser une opération de multiplication en exploitant la ressemblance entre les coefficients du filtre. Cette méthode se prête mieux aux représentations redondantes [96].

Le principe est simple. Soit la variable x à multiplier par la constante h dont la représentation binaire est (101000101), le résultat de cette multiplication peut être calculé des deux manières présentées par les équations (5.24) et (5.25). Nous noterons l'opération de décalage à droite ou à gauche de n bits par $>> n$ et $<< n$.

$$\begin{aligned} y &= h \times x \\ &= x + (x << 2) + (x << 6) + (x << 8) \end{aligned} \quad (5.24)$$

$$\begin{aligned} y &= h \times x \\ &= (x + (x << 2)) + (x + (x << 2)) << 6 \end{aligned} \quad (5.25)$$

L'équation (5.25) a permis de passer de trois additions à seulement deux additions car elle exploite le fait que la quantité $x + (x << 2)$ est présente deux fois dans l'opération. Cette technique est facilement adaptable aux filtres FIR avec des coefficients constants [97]. Soit un filtre FIR décrit par l'équation (5.26).

$$y_n = \sum_{i=0}^{N-1} a_i \cdot x_{n-i} \quad (5.26)$$

où les a_i sont des coefficients fractionnels exprimés par des éléments appartenant à l'ensemble $D\{-1, 0, 1\}$ ainsi : $a_{i0} \cdot a_{i1} a_{i2} \cdots a_{iM-1}$. L'équation (5.26) peut être réécrite selon l'équation (5.27).

$$\begin{aligned} y_n &= \sum_{i=0}^{N-1} \sum_{j=0}^{M-1} a_{ij} \cdot (x_{n-i} >> j) \\ &= \sum_{i=0}^{N-1} \sum_{j=0}^{M-1} a_{ij} \cdot X_{ij} \end{aligned} \quad (5.27)$$

Ceci revient à ce que y_n n'est autre qu'une somme de différentes versions de x décalées et retardées. Dans ce qui suit nous utilisons la notation adoptée par [98]. Ainsi nous écrivons x_1 au lieu de x et $x_1[-i]$ au lieu de x_{n-i} . Un filtre tel qu'il est défini par l'équation (5.27) peut être exprimé par un tableau X_{ij} dont les colonnes expriment les décalages, les lignes expriment les retards et dont les éléments sont les coefficients a_{ij} . Pour plus de clarté, l'exemple suivant explique le principe de la méthode.

Exemple

Soit un filtre FIR dont les coefficients sont les suivants :

$$h_0 = 1.000\bar{1}00000$$

$$h_1 = 0.\bar{1}0\bar{1}010010$$

$$h_2 = 0.00010000\bar{1},$$

les coefficients sont écrits en représentation "SD" (Signed Digit). La notation $\bar{1}$ équivaut à -1.

Selon la Figure 5.11, le filtre peut être réécrit selon les équations (5.28) et (5.29). Grâce à l'identification des éléments communs, la complexité du filtre passe de sept additions à seulement quatre additions.

$$x_2 = x_1 - x_1[-1] \gg 1 \quad (5.28)$$

$$y = x_2 - (x_2 \gg 4) - (x_2[-1] \gg 3) + (x_2[-1] \gg 8)$$

$$x_2 = x_1 - (x_1 \gg 4) - (x_1[-1] \gg 3) + (x_1[-1] \gg 8) \quad (5.29)$$

$$y = x_2 - (x_2[-1] \gg 1)$$

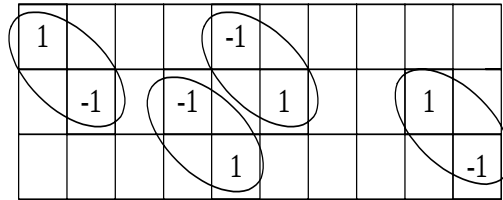


Figure 5.11 – Détermination des éléments communs.

5.4 Analyse comparative et optimisation des choix d'architectures de filtrage

L'étude précédente a permis de dégager trois différentes approches d'implantation du traitement de filtrage. Chacune de ces méthodes possède ses avantages et ses inconvénients. Il faudrait donc choisir pour chaque étage de filtrage de décimation la méthode qui conduit au minimum de complexité matérielle. Pour effectuer le meilleur choix, il faudrait évaluer les contraintes qui s'exercent sur chaque filtre.

5.4.1 Contraintes de conception

Chaque étage de filtrage opère dans un contexte précis. Le filtre en peigne est celui qui subit les contraintes les plus sévères. Depart sa place au début de la chaîne de décimation il opère à la fréquence la plus élevée et filtre un signal avec un haut niveau de bruit.

Le filtre demi-bande est soumis à des contraintes moins sévères que celles du filtre en peigne puisqu'il opère sur un signal déjà filtré. La fréquence de traitement a été, elle aussi, diminuée. C'est un filtre FIR d'ordre 19. Il devrait donc effectuer 19 opérations de multiplication et 18 opérations d'addition. C'est un filtre à phase linéaire, donc, symétrique. Ceci ramène le nombre de multiplications à 10. Le fait que sa fonction de transfert est symétrique par rapport à $f_e/4$ et qu'elle est équiripple tous les coefficients impairs sont nuls excepté celui du centre. Cette propriété ramène le nombre de multiplications à 6 et le nombre d'additions à 10. Pour le cas du GSM, l'entrée du filtre varie chaque douze cycles d'horloge. Pour le DECT, l'entrée varie chaque six cycles d'horloge. Tandis que pour l'UMTS, l'entrée varie chaque quatre cycles d'horloge. Ce dernier cas est le plus contraignant pour le filtre demi-bande. Etant donné que ce filtre décime le signal d'un facteur de deux, le filtre délivre ainsi une sortie chaque deux entrées.

Le filtre de sélection du canal est un filtre qui opère à la fréquence la plus basse. Les coefficients de ce filtre diffèrent selon la norme traitée. L'ordre de ce dernier pour l'UMTS est de 23. Il nécessite 12 opérations de multiplication et 22 additions. Le cas du DECT requiert un filtre d'ordre égal à 51 ce qui se traduit par 26 opérations de multiplication et 50 opérations d'addition. Pour le GSM l'ordre du filtre sélecteur de canal est de 47. Le nombre d'opérations de multiplication et d'addition nécessaires pour un tel filtre est respectivement de 24 et 46. Pour le cas du GSM, l'entrée du filtre varie chaque 24 cycles d'horloge. Pour le DECT l'entrée varie chaque douze cycles d'horloge. Tandis que pour

l'UMTS, l'entrée varie chaque huit cycles d'horloge. Comme pour le filtre demi-bande, celui-ci décime d'un facteur de deux, il délivre donc une sortie chaque deux entrées.

5.4.2 Etude comparative des approches architecturales

L'approche parallèle est employée lorsque les contraintes temporelles priment sur celle de la surface occupée. En effet, elle emploie autant de multiplieurs et d'additionneurs que nécessaire afin de réduire l'opération de filtrage en un seul cycle d'horloge. Cette méthode facilite considérablement la partie commande au dépend d'une occupation de surface plus importante.

A l'encontre de l'approche parallèle, l'approche qui se base sur l'arithmétique distribuée est une méthode qui privilégie les contraintes sur la surface occupée. En effet, une telle méthode nécessite autant de cycles que la taille de l'entrée en bits. Cette approche améliore l'occupation de surface mais ramène la complexité à la partie commande. L'idée de cette approche qui se base sur un "multiplexage" temporel au niveau bit peut être reprise à un niveau plus haut en utilisant des multiplieurs génériques un certain nombre de fois. De cette manière, nous utilisons moins de surface que l'approche parallèle mais nous avons besoin de plusieurs cycles d'horloge.

La dernière approche qui a été proposée et qui exploite la ressemblance entre les coefficients d'un filtre, réalise l'opération de filtrage en un cycle d'horloge tout en optimisant la surface occupée. C'est une méthode qui ne peut pas être appliquée pour des filtres à coefficients variables. Le Tableau 5.5 illustre une comparaison entre les différentes approches d'implantation de la cascade des filtres de décimation.

Critères	Approche parallèle	Approche distribuée	Approche de partage d'éléments communs
Surface	importante	faible	moyenne
Nombre de cycles nécessaire pour une sortie	un seul	plusieurs	un seul
Coefficients	fixes ou variables	fixes	fixes

Tableau 5.5 – Comparaison des techniques d'implantations des filtres.

5.4.3 Configuration optimisée du processeur de filtrage

En tenant compte des contraintes exercées sur chaque filtre de l'étage de décimation, nous pouvons choisir l'architecture adaptée à chacun d'entre eux. Ainsi pour le filtre en peigne qui subit les contraintes les plus sévères, nous avons opté pour une implantation sous la forme récursive n'utilisant que des opérations d'addition qui occupent moins de surface et de temps de latence que les multiplieurs.

Le filtre demi-bande est un filtre dont les coefficients sont les mêmes pour les trois normes. L'approche de partage des éléments communs entre ces coefficients est bien adaptée pour ce cas de figure. Néanmoins, si on considère le cas le plus contraignant, nous ne disposons que de quatre cycles d'horloge avant de délivrer un résultat de sortie. Dans ce cas, on ne peut pas utiliser la méthode de l'arithmétique distribuée qui exige que les coefficients soient fixes, par contre nous pouvons utiliser deux multiplieurs génériques pour effectuer les six multiplications nécessaires pour ce filtre.

Le filtre de sélection du canal est un filtre dont les coefficients dépendent de la norme traitée. Si nous considérons le cas le plus contraignant de la norme DECT où nous ne disposons que de 12 cycles d'horloge pour effectuer 26 opérations de multiplication, 3 multiplieurs génériques qui opèrent en parallèle s'avèrent nécessaires. Nous montrons plus tard dans la paragraphe 6.2.3 que seulement deux suffisent.

En résumé, deux configurations sont candidates pour cette cascade de filtres. Elles sont illustrées par la Figure 5.12. Elles ont en commun le filtre en peigne sous sa forme récursive et le dernier étage qui dispose de trois multiplieurs génériques pilotés par une partie commande. Cette partie commande adapte, gère le flux de données et emploie les ressources de chaque filtre selon la norme. La différence entre ces deux configurations réside dans le filtre demi-bande. Il sera implanté de deux façons différentes dans chaque structure. Dans la première structure, la méthode de partage des éléments communs sera employée et, dans la seconde, le filtre disposera de deux multiplieurs génériques pour effectuer la même fonction. Le résultats de synthèse de l'implantation matérielle départagera ces deux configurations.

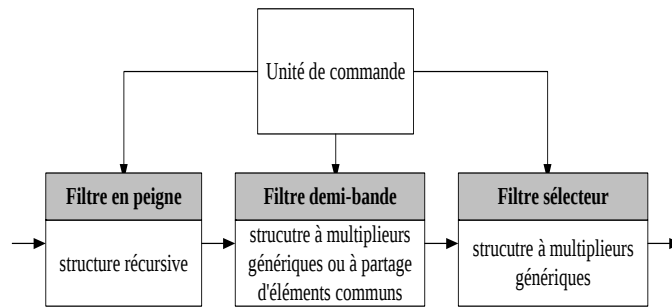


Figure 5.12 – Configuration optimisée de filtrage.

5.5 Conclusion

Dans ce chapitre, nous avons commencé par une étude des opérateurs de base qui interviennent dans le traitement de filtrage. Afin de mieux optimiser les circuits de filtrage nous avons étudié aussi trois approches pour l'implantation du traitement de filtrage. La première approche fait appel à une réalisation directe, qui reprend au niveau circuit, les opérations élémentaire de l'expression analytique d'un filtre. La deuxième approche se base sur l'arithmétique distribuée alors que la troisième exploite la ressemblance entre les coefficients pour diminuer la complexité du traitement. Après avoir déterminé les contraintes imposées sur chaque étage du filtre décimateur, nous avons choisi deux configurations qui se prêtent au mieux au contexte de filtrage de sélection du canal d'une réception multistandard. Ces deux structures conduisent à une solution optimisée, en terme de complexité de traitement pour les trois normes GSM, DECT et UMTS. A ce niveau de l'étude nous avons défini pour la cascade de filtrage un filtre en peigne à structure réursive, un filtre FIR demi-bande utilisant des multiplieurs génériques ou la méthode de partage des éléments communs et enfin un filtre sélecteur du canal utilisant des multiplieurs génériques avec des coefficients programmables. Les résultats de synthèse matérielle à explorer au chapitre suivant permettront de choisir la meilleure structure de filtrage.

Chapitre 6

Implantation matérielle et résultats expérimentaux

6.1 Introduction

Dans ce chapitre nous allons étudier la réalisation matérielle de la structure de filtrage choisie dans le chapitre précédent en proposant une IP- VHDL. Nous allons commencer par donner la structure de cette IP-VHDL en présentant le schéma de conception de chaque étage de filtrage. Ensuite nous allons décrire la partie commande de toute la cascade de filtrage ainsi que la gestion des flux des données à travers les étages de filtrage de décimation. La dernière partie de ce chapitre sera consacrée aux résultats d'implantation matérielle et les performances du processeur de filtrage proposé pour les trois normes GSM, DECT et UMTS.

6.2 Structuration de l'IP-VHDL

Le filtre numérique est constitué essentiellement de trois unités de traitement qui sont le filtre en peigne, le filtre demi-bande et le filtre de sélection du canal. Ce paragraphe, présente l'architecture de chaque étage.

6.2.1 Schéma de conception du circuit filtre en peigne

Pour le filtre en peigne, nous avons proposé une architecture générique qui peut être adaptée pour d'autres cas de figures. Cette architecture permet de réaliser ce dernier dans sa forme la plus générale. En effet, elle est fidèle à la fonction de transfert du filtre exprimée par l'expression (6.1).

$$\begin{aligned} H(z) &= (1 + z^{-1} + \dots + z^{-MN})^k \\ &= \left(\frac{1 - z^{-MN}}{1 - z^{-1}} \right)^k \end{aligned} \quad (6.1)$$

Où k est le nombre d'étages mis en cascade, M est le facteur de décimation et N est le délai du dérivateur. L'architecture proposée possède ces trois paramètres d'entrée. Nous discernons dans celle-ci deux blocs. Le premier est constitué par le dénominateur qui n'est autre qu'une cascade de k accumulateurs. Le second bloc est le numérateur constitué par une cascade de k dérivateurs.

La Figure 6.1 illustre l'architecture du filtre en peigne avec un dérivateur de délai égal à un. Dans ce cas de figure, nous avons utilisé ce filtre avec un nombre de cascade k égal à six. Le facteur de décimation, qui varie selon la norme, est réalisé grâce à une entrée de verrouillage (enable) prévue dans le dérivateur.

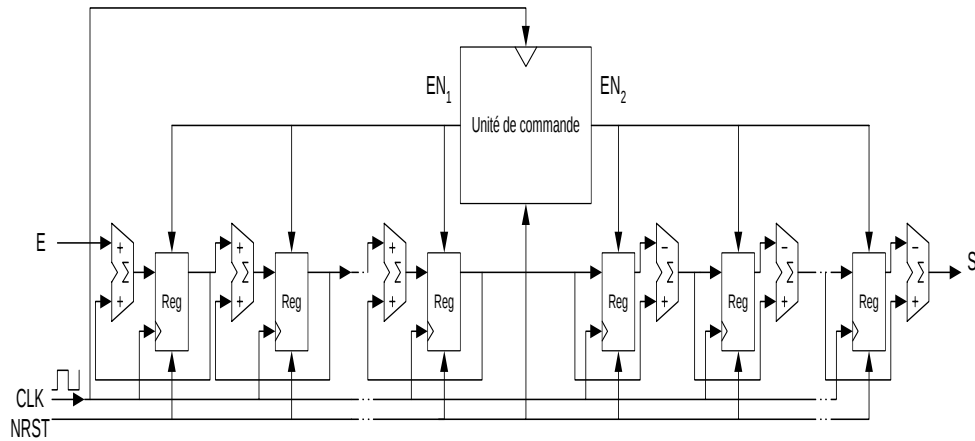


Figure 6.1 – Architecture du filtre en peigne.

Le Tableau 6.1 et la Figure 6.2 présentent les paramètres et les ports de l'entité filtre en peigne.

Filtre en peigne	
Paramètres de configuration	
Ncas	Nombre de cascade de moyennes.
Nreg	Nombre de registres de retard dans le dérivateur.
N	Nombre de bits d'entrée.
M	Nombre de bits de sortie.
Ports d'entrées/sorties	
CLK	Horloge qui gouverne tous les registres du filtre.
NRST	Entrée de remise à zéro des différents registres du filtre en peigne.
EN1	Entrée de verrouillage des registres de l'intégrateur.
EN2	Entrée de verrouillage des registres du dérivateur.
E	Entrée du filtre.
S	Sortie du filtre.

Tableau 6.1 – Paramètres et ports d'entrées/sorties du filtre en peigne.

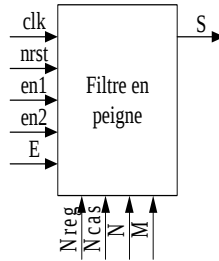


Figure 6.2 – Schéma bloc de l'entité filtre en peigne.

6.2.2 Schéma de conception du circuit filtre demi-bande

Le filtre demi-bande est un filtre à coefficients constants. Il est commun aux trois normes. Il limite le spectre avant de réduire la fréquence d'échantillonnage à moitié. La fonction de transfert de ce filtre peut être écrite selon l'expression (6.2).

$$y_n = \sum_{i=0}^{\lceil N/2 \rceil} h_{2i} x_{n-2i} + \sum_{i=0}^{\lceil N/2 \rceil} h_{2i+1} x_{n-(2i+1)} \quad (6.2)$$

Une fois la fonction de transfert ainsi réécrite, nous distinguons deux sous-fonctions de transferts : La première contient les coefficients d'indices pairs du filtre global, nous la noterons H_0 . La seconde contient les coefficients d'indices impairs et sera notée H_1 . La transformée en z de l'équation (6.2) est formulée par l'expression (6.3). C'est la forme polyphase du filtre. Comme à la sortie du filtre nous ne garderons qu'une sortie sur deux, c'est à dire les y_{2n} , nous pouvons avancer l'opération de décimation avant les deux sous

filtres H_0 et H_1 . La Figure 6.3 illustre la forme polyphase du filtre décimateur demi-bande. L'avantage de cette forme est que les deux filtres fonctionnent à la fréquence de sortie qui est inférieure à celle de l'entrée, nous disposons ainsi du double des cycles d'horloges nécessaires entre deux entrées pour effectuer l'opération de filtrage.

$$Y(z) = H_0(z^2) + z^{-1}H_1(z^2) \quad (6.3)$$

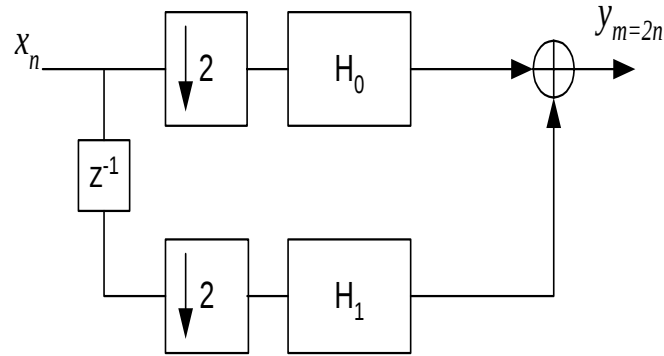


Figure 6.3 – Filtre à structure polyphase.

Dans le cas du filtre demi-bande, les coefficients impairs sont tous nuls excepté $h(\frac{N}{2})$ qui vaut 0,5. Ce dernier peut être remplacé par une simple opération de décalage. Reste maintenant à implanter la fonction de transfert H_0 . Nous avons retenu deux méthodes de réalisation : la première s'appuie sur la réutilisation des éléments communs entre les coefficients et la seconde est une approche DSP qui utilise un multiplieur générique.

a. Implantation par la méthode des éléments communs

La première étape de cette approche est la réécriture des coefficients dans une représentation plus optimisée. Pour cela, nous avons utilisé l'algorithme de conversion d'une représentation en complément à deux en une représentation à retenue conservée décrite dans [94]. Le Tableau 6.2 contient les deux représentations des coefficients du filtre demi-bande. Pour des raisons d'aisance de lecture, les coefficients sont traduits en nombres entiers.

Afin de profiter de la symétrie du filtre nous avons procédé à la recherche des éléments communs entre les coefficients suivant l'axe horizontal et vertical seulement [99].

i	h_i	complement à deux	retenue conservée
0/18	3	00000000011	0000000011
2/16	-13	11111110011	0000001̄ 1̄01̄
4/14	35	00000100011	0000100011
6/12	-88	11110101000	0001̄01̄ 1̄000
8/10	318	00100111110	0100111110
9	512	01000000000	1000000000

Tableau 6.2 – Quantification des coefficients du filtre demi-bande.

La Figure 6.4(a) illustre les coefficients du sous filtre H_0 dans un Tableau dont les lignes régissent une opération de retard et les colonnes correspondent à une opération de décalage. Selon cette figure, nous pouvons extraire sur l’axe horizontal la chaîne “11” qui se répète dans la plupart des coefficients. Cette chaîne régit un nouvel élément noté x_2 et calculé par l’équation (6.4), avec x_1 l’entrée du filtre.

$$x_2 = x_1 + x_1 << 1 \quad (6.4)$$

La substitution de l’élément x_2 dans les coefficients du sous filtre H_0 est illustrée par la Figure 6.4(b). Selon cette dernière nous identifions une autre chaîne commune entre ces coefficients qui est “100002”. Cette dernière engendrera un autre élément que nous noterons x_3 . Il est à l’origine d’une nouvelle relation illustrée par l’expression (6.5).

$$x_3 = x_2 + x_1 << 5 \quad (6.5)$$

Ce dernier élément nous mène à la représentation du filtre comme l’indique la Figure 6.4(c). A ce stade, nous ne trouvons plus d’éléments communs susceptibles d’amener une amélioration à cette configuration. En exploitant la symétrie des coefficients du filtre, nous pouvons extraire l’expression de la sortie. Elle est exprimée par l’expression (6.6).

$$\begin{aligned}
y &= (x_2[1] + x_2[10]) - (x_1[2] + x_1[9]) - (x_2[2] + x_2[9]) << 2 \\
&+ (x_3[3] + x_3[8]) - (x_2[4] + x_2[7]) << 3 - (x_1[4] + x_1[7]) << 6 \\
&+ (x_2[5] + x_2[6]) << 1 + (x_3[5] + x_3[6]) << 3 + (x_1[5] + x_1[6]) << 6
\end{aligned} \quad (6.6)$$

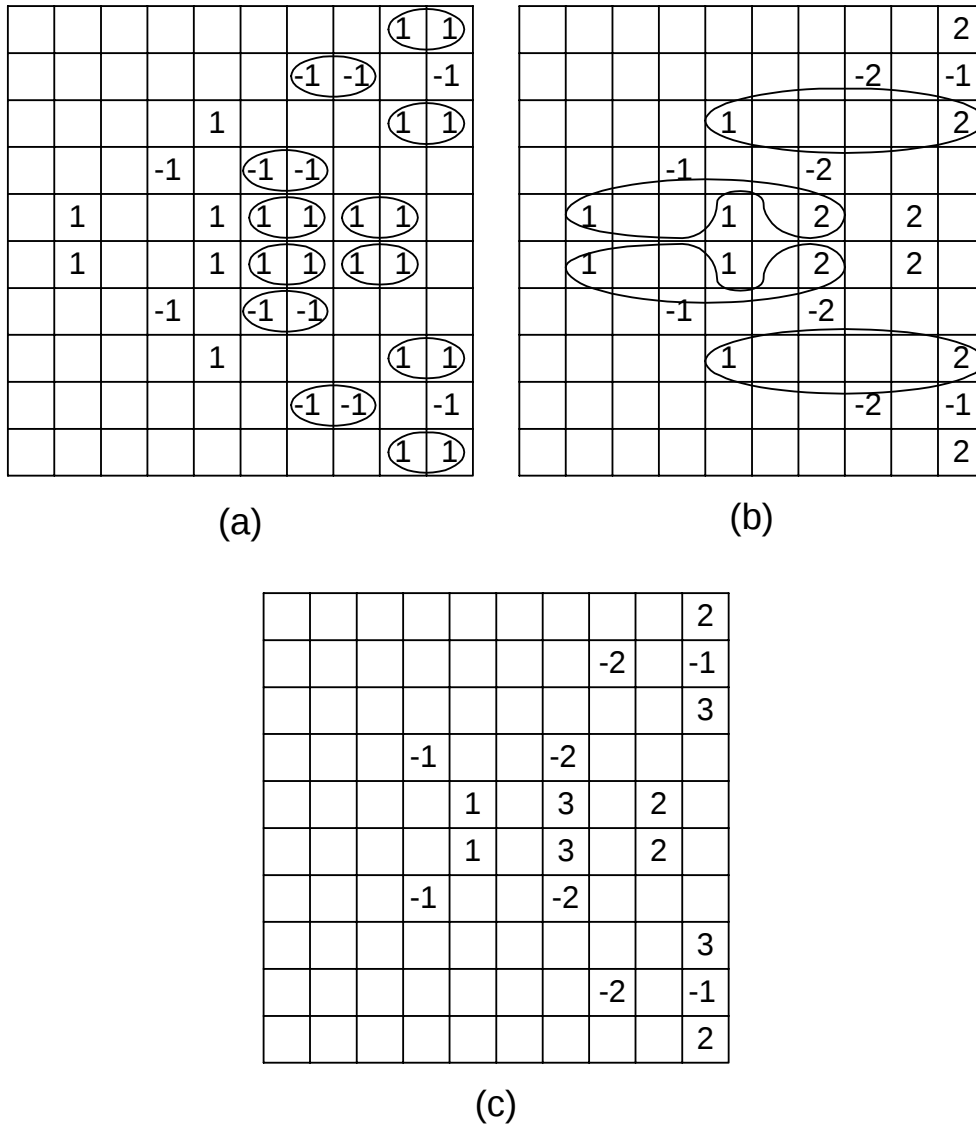


Figure 6.4 – Recherche des éléments communs du filtre demi-bande.

La réalisation de l'expression (6.6) est assez simple, il suffit de générer les deux signaux x_2 et x_3 et de les injecter dans des registres FIFO. Les opérations de décalage ne sont pas coûteuses car elles sont câblées. Enfin, l'addition de tous ces termes est réalisée grâce à un additionneur à plusieurs opérandes en arbre binaire. Cette structure a l'avantage d'améliorer la surface occupée et le temps de propagation. Nous avons veillé à grouper les entrées à tailles équivalentes deux par deux. La Figure 6.5 représente l'architecture implantée du sous filtre H_0 . L'avantage de cette méthode est l'élimination des opérations de multiplication. En revanche, il y a augmentation du nombre de registres nécessaires.

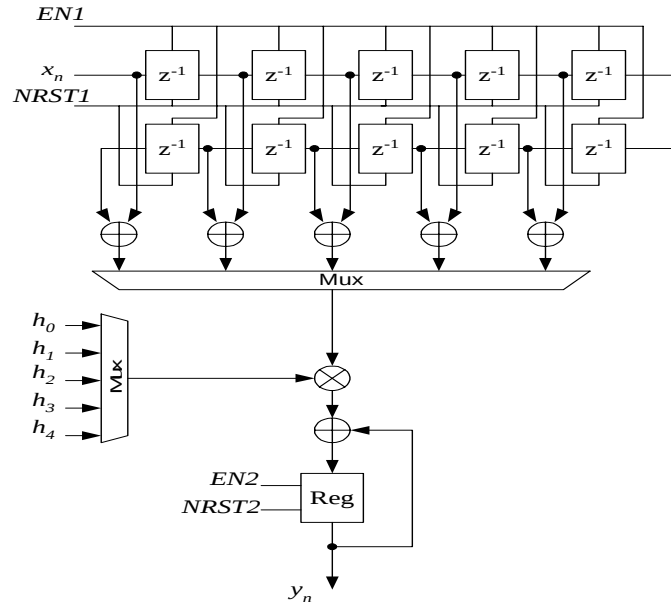


Figure 6.6 – Architecture d'implantation du sous filtre H0 avec un multiplieur générique.

Le Tableau 6.3 et la Figure 6.7 présentent les paramètres et les ports d'entrées/sorties de l'entité filtre demi-bande avec un multiplieur générique.

Filtre demi-bande avec multiplieur générique.	
Paramètres de configuration	
Ncoef	Taille des coefficients en bits.
Nbcoef	Nombre de coefficients.
Nreg	Taille du banc de registre du sous filtre H_0 .
Ncount	Nombre de bits de l'entrée count.
N	Nombre de bits d'entrée.
M	Nombre de bits de sortie.
Ports d'entrées/sorties	
CLK	Horloge qui gouverne tous les registres du filtre.
NRST1	Entrée de remise à zéro des différents registres du filtre demi-bande.
NRST2	Entrée de remise à zéro de l'accumulateur du sous filtre H_0 .
EN1	Entrée de verrouillage du banc de registre du sous filtre H_0 .
EN2	Entrée de verrouillage de l'accumulateur du sous filtre H_0 .
EN3	Entrée de verrouillage du banc de registre du sous filtre H_1 .
count	Un vecteur d'entrée qui permet de choisir les entrées du multiplieur générique du sous filtre H_0
E	Entrée du filtre.
S	Sortie du filtre.

Tableau 6.3 – Paramètres et ports du filtre demi-bande avec un multiplieur générique

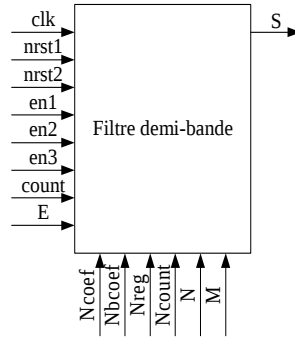


Figure 6.7 – Schéma bloc de l'entité filtre demi-bande.

6.2.3 Schéma de conception du circuit filtre sélecteur

Le filtre de sélection du canal est le dernier étage dans la cascade de filtre utilisée. Ses coefficients dépendent de la norme traitée. Nous avons opté pour une réalisation à base de multiplieurs génériques pour les deux sous filtres de sa forme polyphase. Si nous considérons le pire des cas, celui de la norme DECT, le filtre nécessite 51 coefficients. Dans cette situation le sous filtre H_0 contient 26 coefficients et H_1 25 coefficients. Grâce à la symétrie chacun des sous filtres ne nécessitera que 13 multiplications. Dans le cas de la norme DECT, nous disposons de 24 cycles d'horloge pour effectuer ces opérations. Les deux autres normes nécessitent moins de coefficients. Mais nous avons réutilisé ces deux structures pour les trois normes en forçant les coefficients de surplus à zéro pour la norme GSM et la norme UMTS. Pour le filtre de sélection du canal de la norme UMTS et la norme GSM, nous disposons respectivement de 16 et 48 cycles d'horloge, ce qui est suffisant pour effectuer le nombre de multiplications nécessaires. La structure de chacun des sous filtres est semblable à celle de la Figure 6.6 mais avec plus de coefficients.

Le Tableau 6.4 et la Figure 6.8 présentent les paramètres et les ports d'entrées/ sorties de l'entité filtre sélecteur du canal réalisée avec des multiplieurs génériques.

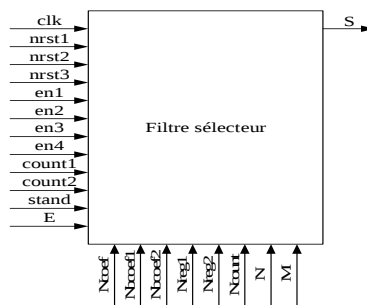


Figure 6.8 – Schéma bloc de l'entité filtre sélecteur.

Filtre de sélection de canal avec multiplieur générique.	
Paramètres de configuration	
Ncoef	Taille des coefficients en bits.
Nbcoef1	Nombre de coefficients du sous filtre H_0 .
Nbcoef2	Nombre de coefficients du sous filtre H_1 .
Nreg1	Taille du banc de registres du sous filtre H_0 .
Nreg2	Taille du banc de registres du sous filtre H_1 .
Ncount	Nombre de bits de l'entrée count1 et count2.
N	Nombre de bits d'entrée.
M	Nombre de bits de sortie.
Ports d'entrées/sorties	
CLK	Horloge qui gouverne tous les registres du filtre.
NRST1	Entrée de remise à zéro des différents registres du filtre demi-bande.
NRST2	Entrée de remise à zéro de l'accumulateur du sous filtre H_0 .
NRST3	Entrée de remise à zéro de l'accumulateur du sous filtre H_1 .
EN1	Entrée de verrouillage du banc de registres du sous filtre H_0 .
EN2	Entrée de verrouillage de l'accumulateur du sous filtre H_0 .
EN3	Entrée de verrouillage du banc de registres du sous filtre H_1 .
EN4	Entrée de verrouillage de l'accumulateur du sous filtre H_1 .
count1	Un vecteur d'entrée qui permet de choisir les entrées du multiplieur générique du sous filtre H_0
count2	Un vecteur d'entrée qui permet de choisir les entrées du multiplieur générique du sous filtre H_1
stand	Un vecteur de deux bits qui sert à choisir les coefficients de chaque norme.
E	Entrée du filtre.
S	Sortie du filtre.

Tableau 6.4 – Paramètres et ports du filtre sélecteur de canal avec multiplieurs génériques.

6.3 Organisation des commandes et gestion des flux des données

Le filtre decimateur est constitué d'une cascade de trois filtres qui seront utilisés pour les trois normes UMTS, DECT et GSM. Une unité de commande et de régulation de flux s'avère nécessaire.

6.3.1 Circuit de commande du processeur de filtrage

Les trois normes qui font le sujet de cette étude disposent de 3 horloges différentes. La partie commande doit être en mesure de piloter le circuit de filtrage avec 3 horloges. Pour le cas de la norme UMTS, 16 cycles d'horloge s'écoulent entre l'entrée du filtre en peigne et la sortie du filtre de sélection du canal. Pour la norme GSM et la norme DECT, il s'écoule respectivement 48 et 24 cycles d'horloge. Nous avons donc conçu une machine d'états qui se répète tous les 48 cycles d'horloge, car ce chiffre est un multiple commun de 16 et 24.

La partie commande dispose d'une part d'un compteur modulo quarante huit noté "count_48" dont la sortie commande les entrées de verrouillage de tous les étages, et d'autre part d'une entrée que nous noterons "stand". C'est une entrée de 2 bits qui permet de sélectionner la norme qui va être traitée. Si le vecteur stand vaut "00" la norme traitée est l'UMTS, "01" correspond à la norme GSM et "11" correspond à la norme DECT. Le bit de poids fort du vecteur stand sera noté stand(1) et celui du poids faible stand(0). Une entrée de remise à zéro générale est aussi fournie. La Figure 6.9 illustre le schéma général de l'unité de commande.

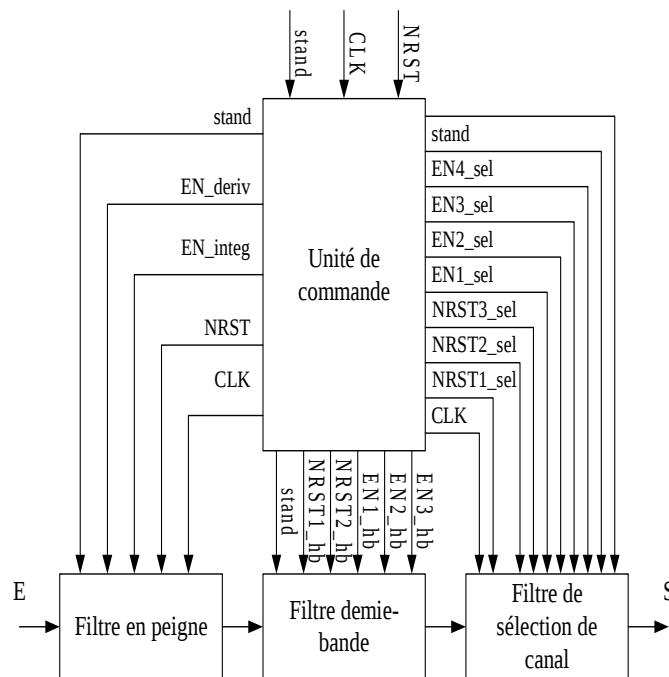


Figure 6.9 – Entrées et sorties de l'unité de commande du processeur de filtrage.

Nous allons présenter la partie commande sur trois parties. Chacune concerne, respectivement, le filtre en peigne, le filtre demi-bande et le filtre de sélection du canal.

a. Commande du filtre en peigne

Pour le filtre en peigne, la partie commande agit sur les entrées CLK, NRST, EN1 et EN2 décrites dans le Tableau 6.1. Elle prévoit donc deux signaux que nous noterons EN_integ et EN_deriv qui seront affectés, respectivement, aux ports EN1 et EN2. L'horloge et la remise à zéros seront affectées à l'horloge et la remise à zéro générale.

L'entrée de ce filtre reçoit des données du convertisseur analogique-numérique. L'entrée du verrouillage de l'intégrateur est active quelle que soit la norme choisie. Par contre, l'entrée du verrouillage du dérivateur obéit à une machine à états. En effet, elle doit être activée toutes les 6, 8 et 12 impulsions d'horloge selon la norme traitée (DECT, UMTS et GSM respectivement). La Figure 6.10 illustre le fonctionnement d'EN_deriv.

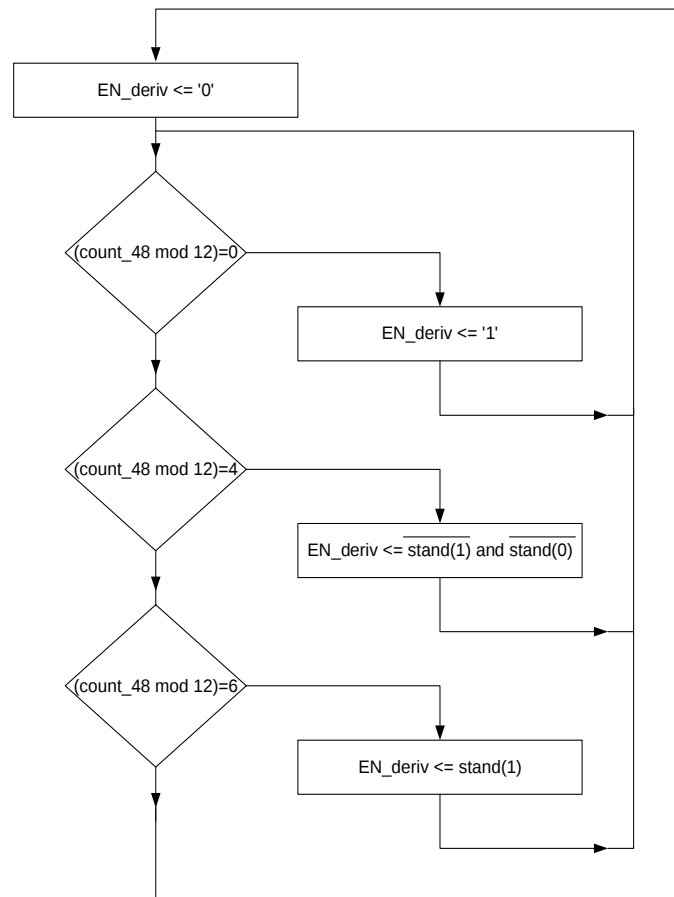


Figure 6.10 – Principe de la commande du filtre en peigne.

b. Commande du filtre demi-bande

Le filtre demi-bande possède des entrées de commande qui se résument aux entrées de verrouillages, une entrée de remise à zéro de l'accumulateur du sous filtre H_0 et une entrée de sélection des coefficients. Il est gouverné par l'horloge et la remise à zéro communes à tous les blocs. La sélection des coefficients est extraite du compteur "compteur_48" selon l'expression (6.7). Cette relation permet de synchroniser les coefficients et les données pour chaque norme.

$$\begin{aligned} u &\leq (\text{count_48}(5) \cdot \overline{\text{count_48}(4)} \cdot \text{count_48}(3)) \\ &\quad + (\overline{\text{count_48}(5)} \cdot \text{count_48}(4) \cdot \overline{\text{count_48}(3)}) \\ \text{count_hb} &\leq \text{count_48}(2 : 0) \text{ plus } "(\text{stand}(1) \cdot u) \overline{\text{stand}(1)} 1" \end{aligned} \quad (6.7)$$

Trois signaux que nous noterons EN1_hb, EN2_hb et EN3_hb sont prévus. Le premier signal est connecté au port EN1 du filtre demi-bande. Il doit être déverrouillé à chaque fois que le sous filtre H_0 doit accepter une entrée, c'est à dire chaque 8, 12 et 24 cycles d'horloge pour la norme UMTS, DECT et GSM, respectivement. Il est de même pour l'entrée EN3, qui est déverrouillée à chaque nouvelle entrée disponible pour le sous filtre H_1 . Le signal EN2_hb connecté au port EN2 déverrouille l'accumulateur à chaque nouvelle donnée et la verrouille quand tous les coefficients sont parcourus. La Figure 6.11 illustre la commande des trois entrées de verrouillage du filtre demi-bande. L'entrée de remise à zéro de l'accumulateur doit être activée chaque fois qu'il y a une nouvelle entrée. Comme c'est une entrée sensible au niveau bas, elle possède le même circuit de commande que l'entrée EN1_hb suivie d'un inverseur.

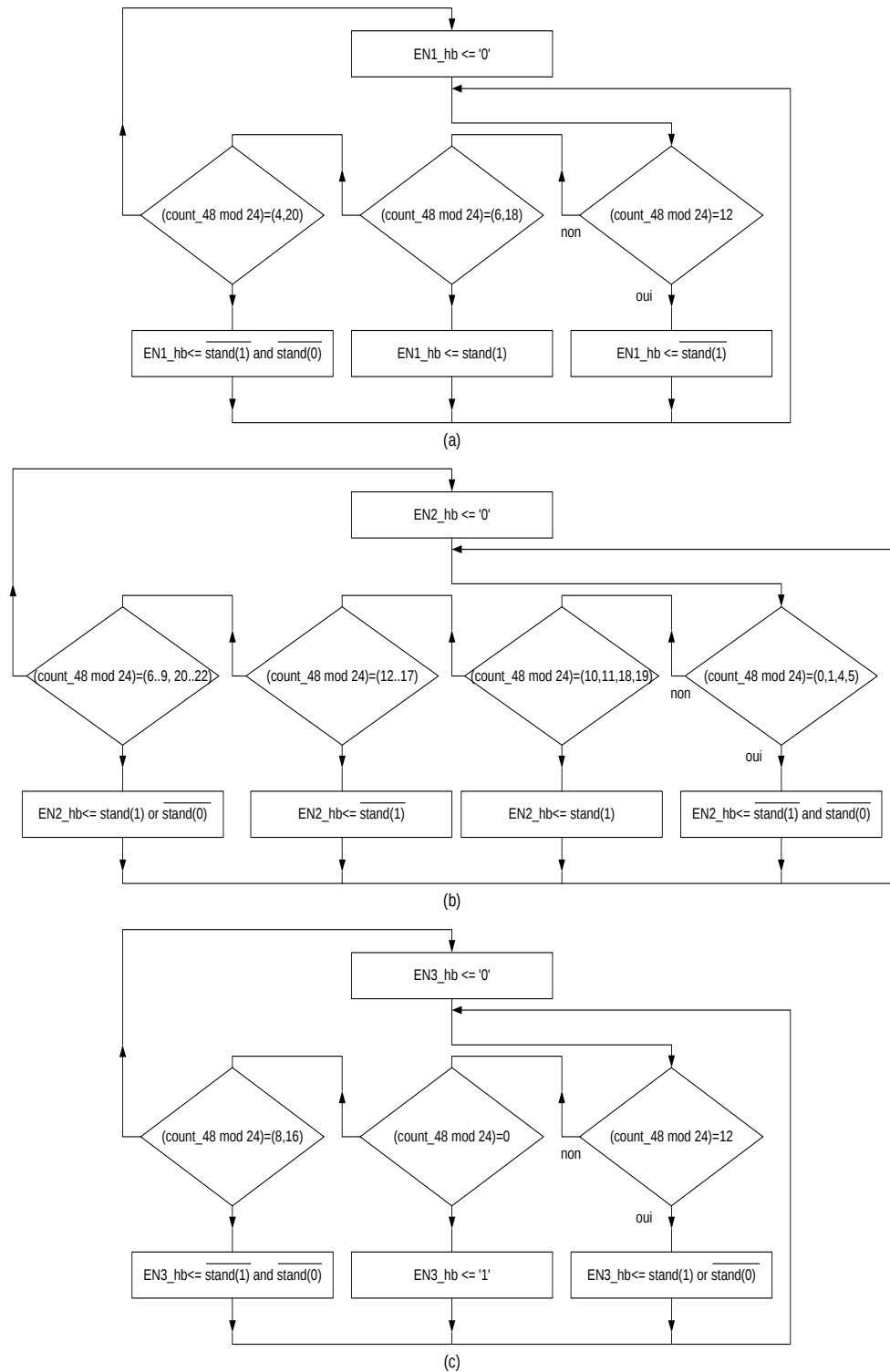


Figure 6.11 – Principe de commande du filtre demi-bande.

c. Commande du filtre de sélection de canal

Pour le filtre de sélection de canal, le principe est le même que pour le filtre demi-bande réalisé avec multiplieur générique. En effet, les deux sous filtres H_0 et H_1 sont deux filtres à multiplieur générique. Le signal “stand” permet de choisir la série de coefficients qui va être présentée au multiplieur générique. Des signaux de verrouillage ont été prévus par la partie commande. Les signaux qui sont connectés au sous filtre H_0 sont EN1_sel, EN2_sel, count1_sel et NRST2_sel. Au moment où le sous filtre accepte une entrée grâce à EN1_sel, l’accumulateur de ce filtre est mis à zéro par NRST2_sel et EN2_sel est déverrouillé jusqu’à ce que tous les coefficients soient parcourus. Un fonctionnement similaire est prévu pour le sous filtre H_1 avec des signaux que nous noterons EN3_sel, EN4_sel, count2_sel et NRST3_sel. Les compteurs count1_sel et count_sel sont extraits directement du signal “compteur_48” selon l’expression (6.8) pour synchroniser les coefficients avec leurs données correspondantes.

$$\begin{aligned}
 u1 &\leq count_48(5) \cdot \overline{count_4(4)} & (6.8) \\
 count1_sel &\leq count_48(3:0) \text{ plus } “(stand(1) + u1) \ 1 \ 1 \ 1” \\
 u2 &\leq (\overline{count_48(5)} \cdot \overline{count_4(4)} \cdot \overline{count_48(3)} \cdot \overline{count_4(2)}) \\
 &\quad + (count_48(5) \cdot \overline{count_4(4)}) \\
 count2_sel &\leq count_48(3:0) \text{ plus } “(stand(1) \cdot u2) \ \overline{stand(1)} \ 1 \ 1”
 \end{aligned}$$

La Figure 6.12 illustre le fonctionnement de la partie commande du filtre de sélection de canal.

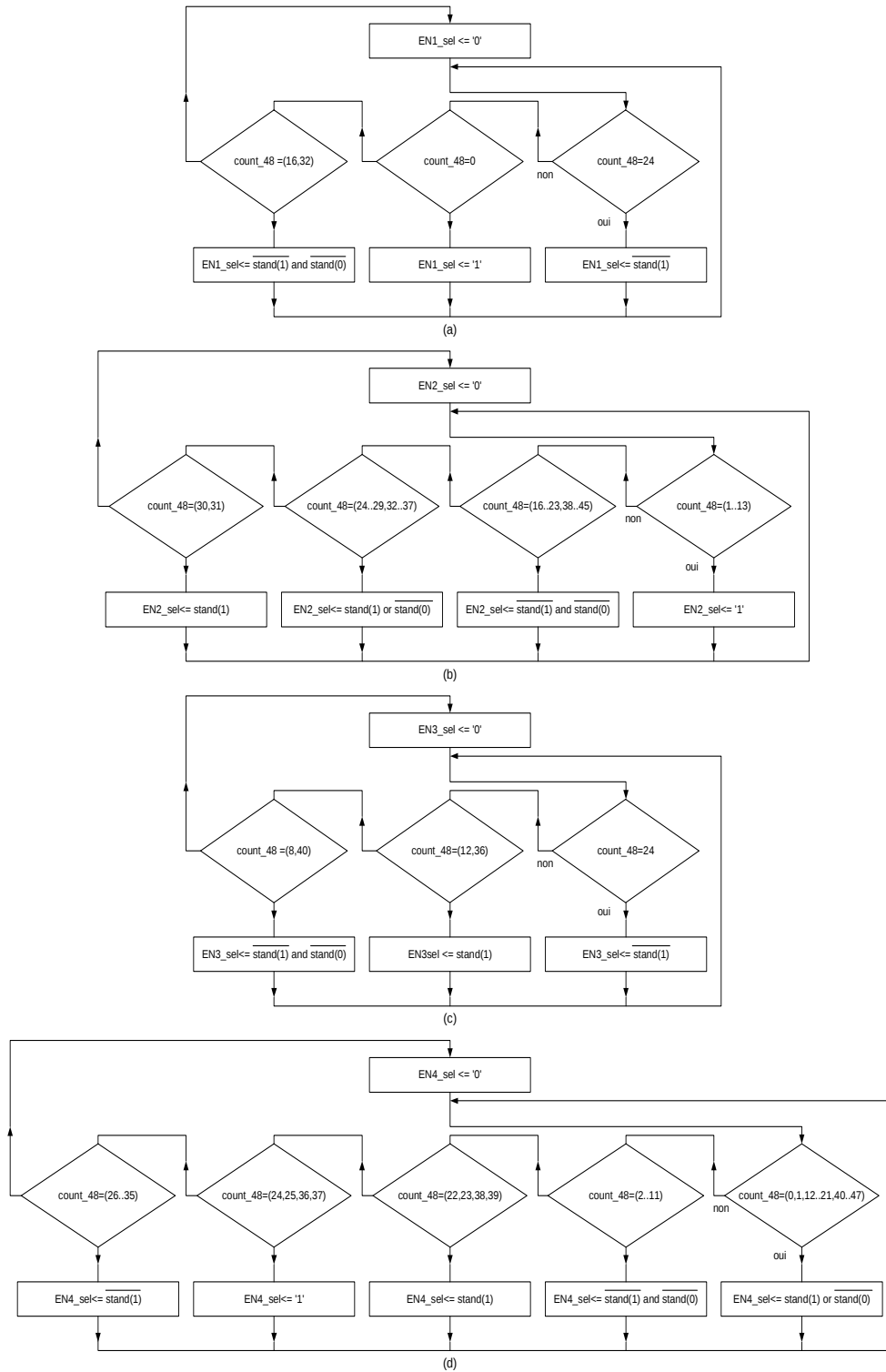


Figure 6.12 – Principe de commande du filtre de sélection de canal.

6.3.2 Définition des formats numériques des coefficients

Les coefficients de chacun des filtres ont été obtenus par des algorithmes qui utilisent la précision d'un PC. Nous avons dû convertir ces coefficients en virgule fixe ce qui réduit la précision. Lors de l'étude du dimensionnement des filtres, une marge de 3 dB a été prévue pour tenir compte de la dégradation due à la quantification des coefficients. La représentation en complément à deux a été retenue pour la quantification des coefficients des filtres.

Le filtre demi-bande est dûment représenté avec une quantification sur 11 bits, comme le prouve la Figure 6.13.

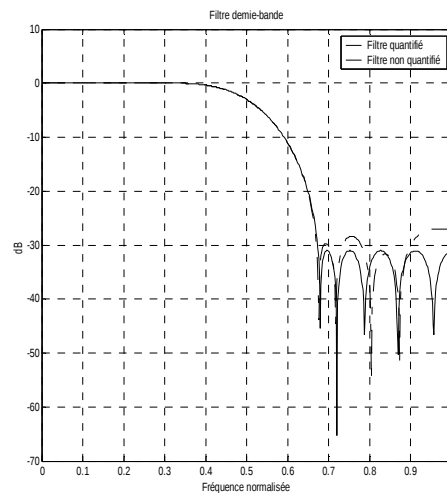


Figure 6.13 – Effet de la quantification des coefficients du filtre demi-bande.

Concernant les filtres de sélection de canal de chaque norme, 11 bits seront nécessaires pour la norme UMTS et GSM, tandis que, 10 bits suffisent pour la norme DECT. L'architecture du filtre de sélection du canal prévoit l'utilisation d'un multiplieur générique. Ce multiplieur doit être en mesure d'accepter des coefficients sur 11 bits prévus pour la norme UMTS ou GSM. De ce fait, quantifier les coefficients de la norme DECT sur 11 bits n'ajouterait pas de complexité au multiplieur. La Figure 6.14 illustre l'effet de la quantification sur 11 bits des trois filtres de sélection du canal.

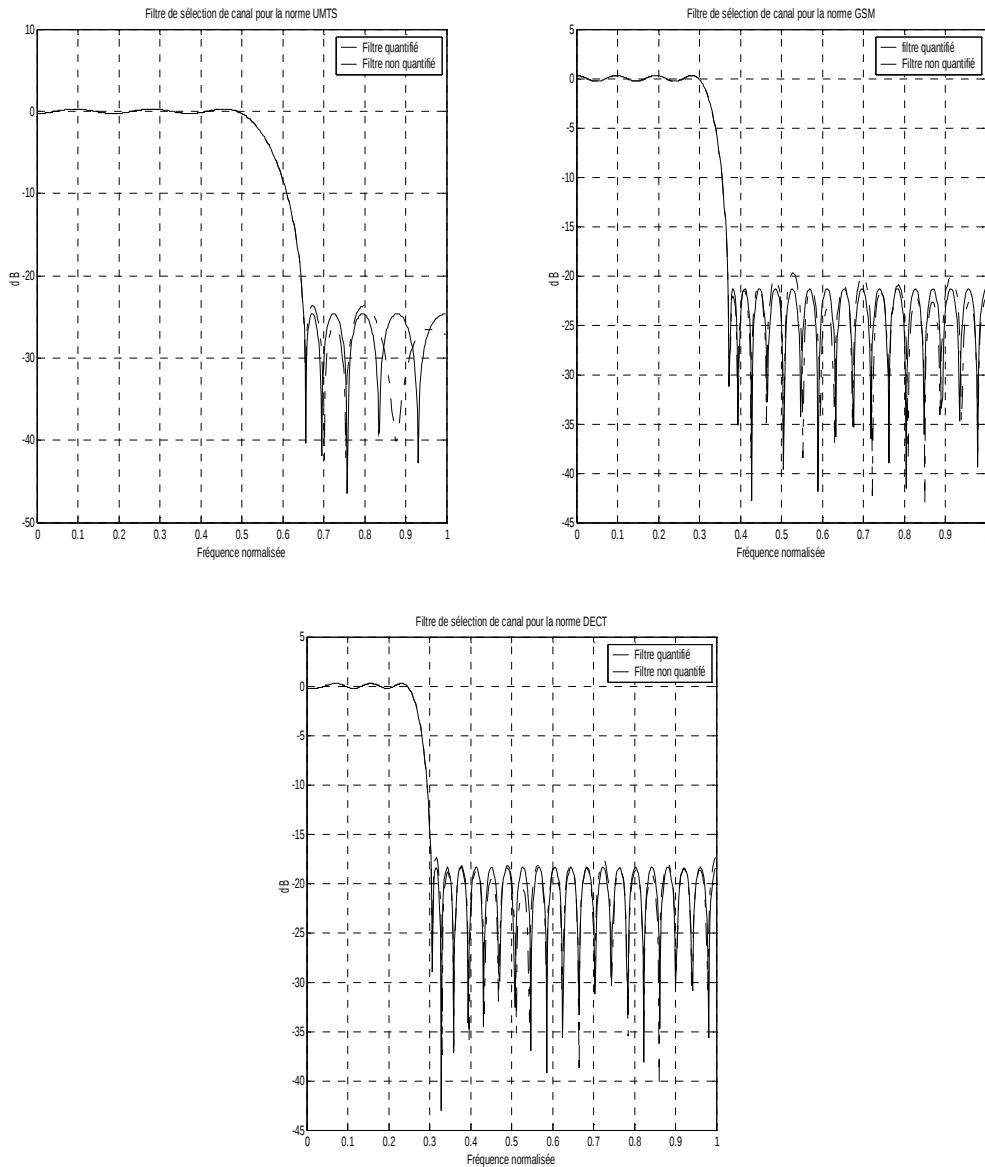


Figure 6.14 – Effet de la quantification des coefficients du filtre de sélection de canal.

6.3.3 Définition des formats numériques des flux des données

La gestion du flux des données est une opération très importante. En effet, elle permet d'optimiser la taille des opérateurs mis en œuvre. En limitant la taille des données d'entrée à celle de l'information utile, nous réduisons la taille des additionneurs et multiplieurs. D'après l'étude de dimensionnement effectuée dans le paragraphe 2.3.1, les dynamiques du convertisseur requises sans AGC sont 88 dB, 79 dB et 99 dB pour la norme UMTS, DECT et GSM, respectivement. Ceci correspond à une résolution de 15 bits pour la norme

UMTS, de 13 bits pour la norme DECT et de 17 bits pour la norme GSM.

Au fur et à mesure que nous avançons dans la cascade des étages de filtrage, le nombre de bits nécessaires pour éviter les dépassements de capacité de calcul augmente. C'est pourquoi nous procédons à une opération de troncature entre les étages. Cela dit, il faut que nous soyons sûrs d'avoir gardé les bits les plus significatifs pour les circuits de filtrage de chaque norme.

a. Format de données du filtre en peigne

Le premier étage, constitué par le filtre en peigne, possède une entrée dont la taille est de 6 bits. Pour éviter les dépassements de capacité de calcul, les registres de ce filtre doivent avoir une taille respectant la relation (6.9), où N_s est le nombre de bits de sortie qui correspond à la taille des registres, N_e le nombre de bits d'entrée qui correspond à 6 bits dans notre application et M le facteur de décimation.

$$N_s = N_e + k \log_2 M \quad (6.9)$$

Les trois normes UMTS, DECT et GSM nécessitent, respectivement, 18, 24 et 30 bits. Comme le filtre est utilisé pour les trois normes, nous devons le concevoir avec des registres de 30 bits même si une telle taille n'est pas nécessaire pour les normes UMTS et DECT.

A la sortie de ce filtre, il faut limiter la taille des données. Pour cela, il faut déterminer la dynamique exacte. Une borne supérieure pour la valeur des données est donnée par l'équation (6.10), avec N l'ordre du filtre. Elle correspond au pire des cas où toutes les entrées prennent la valeur maximale et sont de même signe que leurs coefficients correspondants.

$$y_n \leq \sum_{i=0}^N \max(|x_n|) |h_i| = \max(|x_n|) \sum_{i=0}^N |h_i| \quad (6.10)$$

La relation (6.10) signifie que le filtre ajoute une dynamique maximale qui correspond à la quantité $\sum |h_i|$. Les h_i sont les coefficients de la réponse impulsionnelle du filtre. Nous pouvons déduire cette dernière en calculant le produit des k filtres moyennés du filtre en peigne comme l'illustre la relation (6.11).

$$H(z) = (1 + z^{-1} + \dots + z^{-M})^k \quad (6.11)$$

Pour la norme GSM, la quantité $\lceil \log_2(\sum |h_i|) \rceil$ égale à 22 bits et, respectivement, à 16 et à 12 bits pour les normes DECT et UMTS. Selon (6.10), 6+22=28 bits au maximum

des 30 bits de la sortie du filtre suffisent pour coder l'information utile dans le cas de la norme GSM. De même, seulement 24 et 18 bits suffisent dans le cas de la norme DECT et UMTS. Cette limite théorique s'est avérée trop grande dans la pratique et elle ne serait jamais atteinte. Après plusieurs tests, nous avons remarqué que seulement 22, 16 et 12 bits suffisent pour les trois normes GSM, DECT et UMTS, respectivement. Ces valeurs correspondent à la dynamique ajoutée par le filtre en peigne. Cela signifie que les propriétés statistiques du signal d'entrée font en sorte que la borne supérieure exprimée par la relation (6.10) ne soit jamais atteinte. Mieux encore, l'ajout des 6 bits de l'entrée n'est pas nécessaire. Selon cette observation nous pouvons déterminer avec précision la position des bits contenant l'information et choisir la plage de bits à extraire de sorte qu'elle contienne respectivement les 17, 13 et 15 bits nécessaires pour les normes GSM, DECT et UMTS, respectivement. La Figure 6.15(a) illustre le choix des bits nécessaires qui seront injectés à l'entrée du filtre demi-bande.

b. Format de données du filtre demi-bande

Dans le cas du filtre demi-bande, la dynamique ajoutée égale à $\lceil \log_2(\sum |h_i|) \rceil$ est de 11 bits. Dans l'étage précédent, nous avons sélectionné les 22 bits qui contiennent l'intégralité de la dynamique des trois normes. La borne supérieure de la sortie du filtre pour les trois normes correspondrait à 33 bits pour la norme GSM, 27 bits pour la norme DECT et 23 bits pour la norme UMTS. Selon les tests que nous avons effectué, nous avons remarqué que la dynamique de la sortie du filtre demi-bande ne dépasse jamais 32, 26 et 22 bits pour la norme GSM, DECT et UMTS, respectivement. La Figure 6.15(b) illustre le choix de la plage des bits qui contiennent à la fois les 17, 13 et 15 bits nécessaires pour les trois normes GSM, DECT et UMTS.

c. Format de données du filtre de sélection du canal

Dans le cas du filtre de sélection de canal, la dynamique ajoutée égale à $\lceil \log_2(\sum |h_i|) \rceil$ est de 11 bits pour les trois normes. Les 25 bits qui ont été sélectionnés de la sortie du filtre demi-bande contiennent les 25 bits les plus significatifs de la norme GSM, les 15 bits de la norme UMTS et les 19 bits les plus significatifs de la norme DECT. La borne supérieure de la sortie du filtre pour les trois normes correspondrait à 36 bits pour la norme GSM, 30 bits pour la norme DECT et 26 bits pour la norme UMTS. Selon les tests que nous avons effectué, nous avons remarqué que la dynamique de la sortie du filtre de sélection du canal ne dépasse jamais 35, 29 et 25 bits, respectivement, pour la norme GSM, DECT

et UMTS. La Figure 6.15(c) illustre le choix de la plage des bits qui contiennent à la fois les 17, 13 et 15 bits nécessaires pour les trois normes GSM, DECT et UMTS. Elle correspond à une sortie de 25 bits. La Figure 6.16 illustre le flux des données entre les différents étages de filtrage.

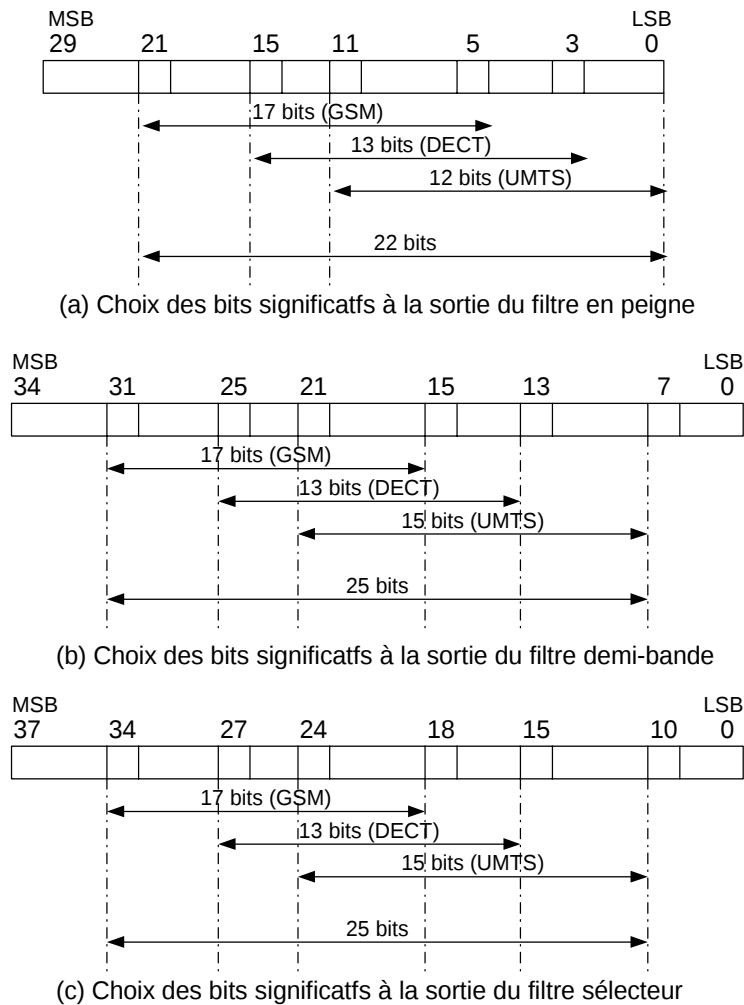


Figure 6.15 – Sélection de bits utiles.

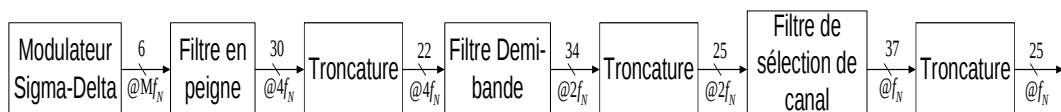


Figure 6.16 – Flux de données entre les différents étages de filtrage.

6.4 Résultats d'implantation sur FPGA

Dans ce paragraphe, nous allons présenter les résultats de synthèse sur FPGA de l'IP-VHDL développée dans le cadre de ce travail de recherche. Ces résultats de synthèse permettront de finaliser le choix de la solution d'implantation matérielle la moins coûteuse en surface occupée.

6.4.1 Ressources du circuit FPGA

Le circuit FPGA testé appartient à la famille Stratix de la firme Altera. La technologie de cette famille est optimisée pour les systèmes large bande tout en offrant des ressources intéressantes en terme de capacité mémoire et d'efficacité architecturale. Les composants Stratix possèdent des fonctionnalités dédiées pour des applications de traitement de signal incluant des multiplieurs. Le Tableau 6.5 résume les ressources de la famille Stratix. Cette technologie permet une migration rapide à des solutions ASIC ce qui diminue le temps "time-to-market" ainsi que le coût.

RAM	Réalisée par une programmation particulière des LUTs (Look Up Tables) ou des blocs RAM dédiés figurant dans l'FPGA.
Processeurs	Processeurs embarqués
Opérateurs DSP	blocs dédiés dits "blocs DSP" qui servent pour le traitement de signal.
Interfaces	Intégration d'un maximum de circuits d'interfacage
Gestionnaires d'horloges	Fonctions dédiées à la gestion des horloges.

Tableau 6.5 – Ressources d'un FPGA Stratix.

6.4.2 Résultats de synthèse du processeur de filtrage

Nous avons réalisé la synthèse des différents étages de filtrage avec le simulateur Quartus d'Altera. Les résultats obtenus sur un FPGA STRATIX EPIS25B672C7 sont résumés dans le Tableau 6.6. On remarque que l'implantation à l'aide de multiplieurs génériques amène une nette amélioration de point de vue occupation de surface. Dans le cas du filtre demi-bande si nous comparons le nombre de cellules logiques utilisées nous trouvons un rapport de six entre une implantation directe est une implantation avec multiplieurs génériques. De point de vue fréquence de fonctionnement, la solution avec partage des

éléments communs entre les coefficients est meilleure que les deux autres implantations du filtre demi-bande.

		ressources d'implantation sur FPGA					
	Architecture d'implantation	Cellules logique	Registres	LUT	Eléments DSP	DSP 36×36	f_{max}
Filtre en peigne	recursive	396	286	110			82 MHz
Filtre demi-bande	directe	3776	437	3339			–
	partage d'éléments communs	1171	699	472			168MHz
	multiplieurs génériques	594	384	210	8	1	49 MHz
Filtre de sélection de canal	directe	12029	1326	10703	80	10	–
	multiplieurs génériques	2700	1370	1330	16	2	42 MHz

Tableau 6.6 – Comparaison des ressources d'implantation pour les circuits de filtrage.

6.4.3 Performances de filtrage

Les Figures 6.17, 6.18 et 6.19 illustrent les performances pratiques des circuits de filtrage. Nous remarquons que, pour les mêmes conditions de tests effectués dans le paragraphe 4.4.3, il n'y a pas sensiblement une dégradation du rapport signal à bruit due à la quantification. En effet, pour la norme UMTS le rapport signal à bruit vérifie toujours la condition requise qui consiste à avoir un SNR supérieur à 6,8 dB. De même pour les normes DECT et UMTS leurs SNR vérifient toujours la condition d'avoir leurs SNR supérieur, respectivement à 10,3 dB et 9 dB.

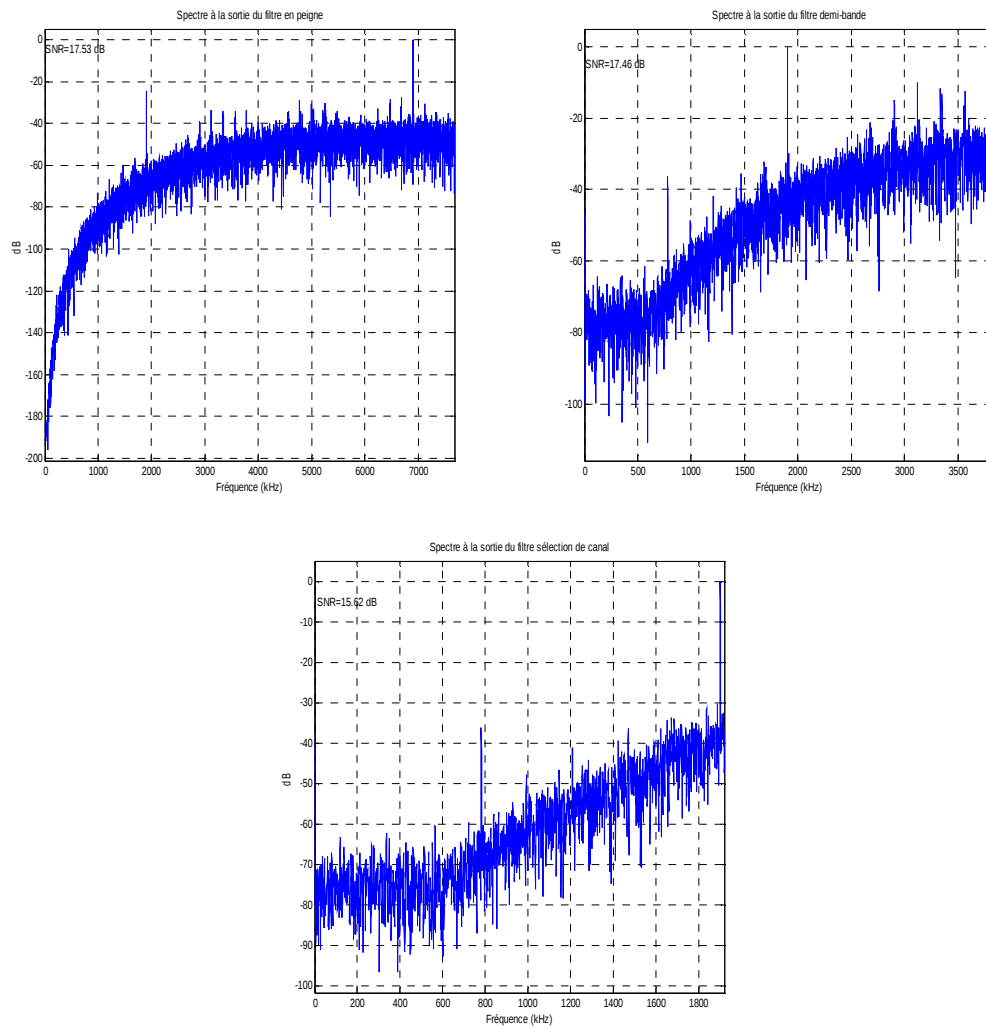


Figure 6.17 – Performances des circuits de filtrage pour la norme UMTS en terme de SNR.

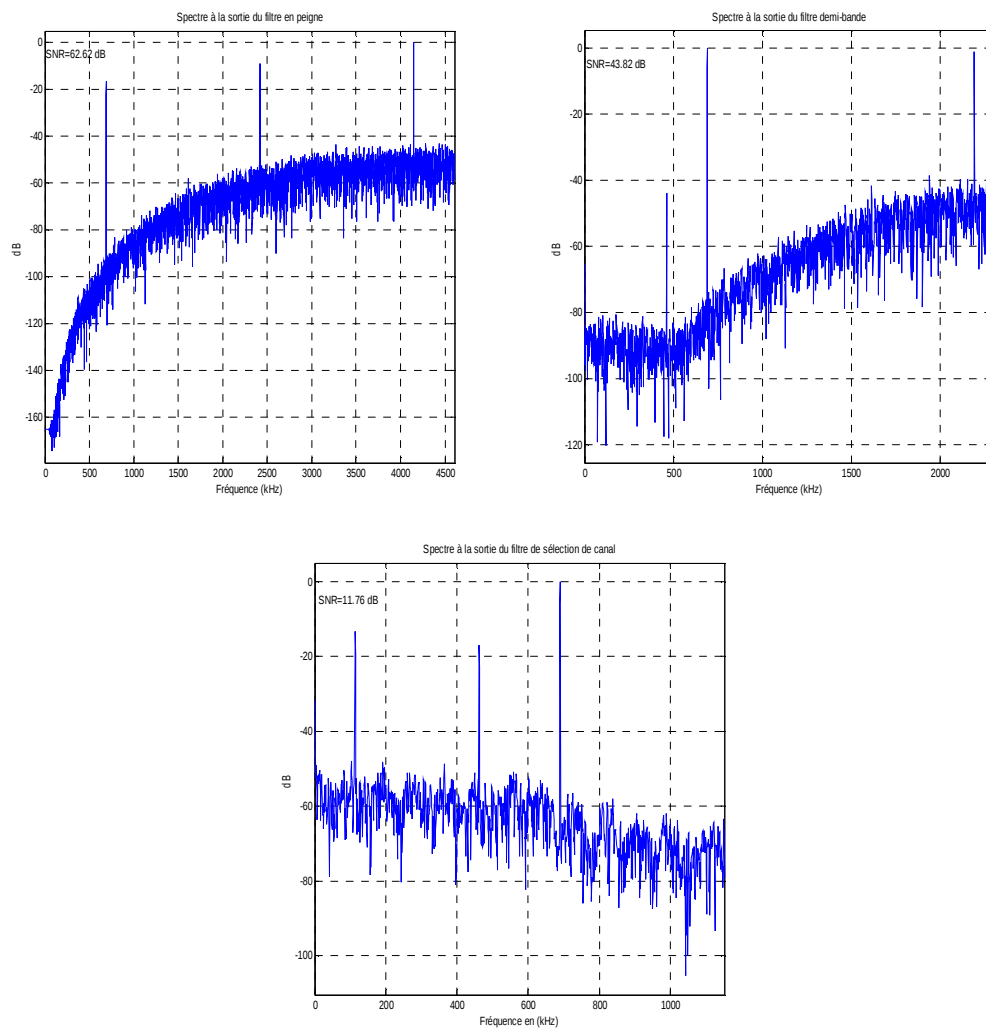


Figure 6.18 – Performances des circuits de filtrage pour la norme DECT en terme de SNR.

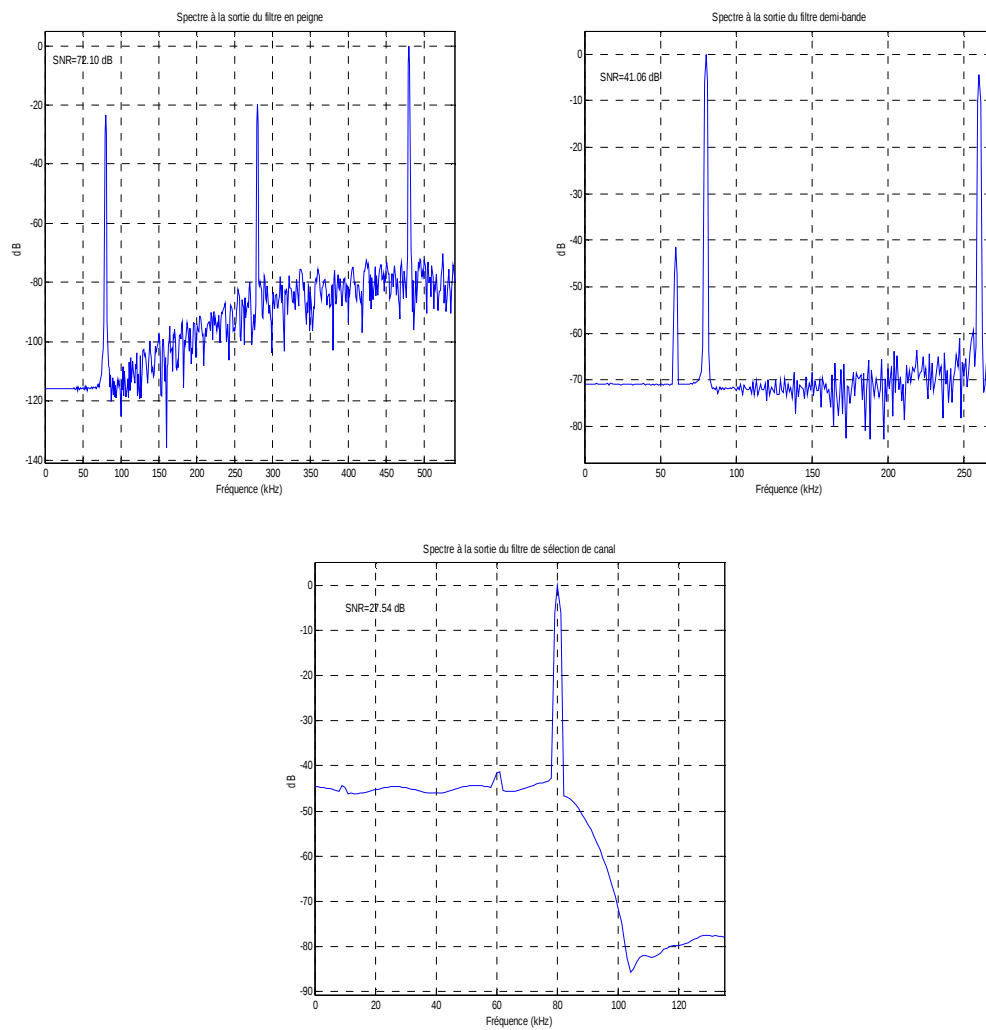


Figure 6.19 – Performances des circuits de filtrage pour la norme GSM en terme de SNR.

6.5 Conclusion

Ce chapitre est l'aboutissement de l'étude du filtre numérique de sélection du canal réalisée dans les chapitres précédents. Il a été consacré à l'implantation matérielle et la validation expérimentale des performances du processeur de filtrage de sélection de canaux développé tout au long de ce travail de recherche pour les trois normes UMTS, DECT et GSM. Après avoir décrit les schémas de conception des trois étages de filtrage, nous avons défini tous les circuits de commande nécessaires afin de garantir la programmabilité et la coordination entre les différents circuits du processeur développé. Nous avons décrit aussi le flux des données à travers les différents étages ainsi que l'effet de la quantification sur la réponse des filtres. Les résultats de synthèse sur l'architecture matérielle cible ont permis d'évaluer les ressources consommées par les circuits de ce processeur en termes de cellules logiques (CLB), registres, LUT, éléments DSP et vitesse de traitement. Les résultats de synthèse, ainsi obtenus, montrent que le processeur ainsi conçu nécessite peu de ressources (filtre en peigne : 396 CLB, filtre demi-bande : 594 CLB et filtre sélecteur : 2700 CLB). Les performances en terme de rapport signal à bruit de toute la chaîne ont aussi été évaluées par un simulateur VHDL.

Conclusion Générale

Le thème de recherche qui a fait l'objet des travaux de thèse de Doctorat présentés dans ce rapport porte sur les méthodologies d'étude et les techniques de mise en œuvre de structures et d'architectures matérielles pour la sélection numérique des canaux radio dans un contexte de réception multistandard. La problématique traitée dans ce cadre est d'un grand intérêt pour donner naissance à de nouveaux concepts technologiques qui viseront à révolutionner à la fois les fonctionnalités et les infrastructures matérielles pour les générations futurs des systèmes de radiocommunications. L'objectif ambitieux de ces nouvelles technologies sans fils est de disposer d'équipements radio flexibles, multi-service, multi-standards, multi-bandes, re-configurables et re-programmables par logiciel mais tout en limitant la complexité de traitement et d'implantation matérielle en vue de réduire d'avantage l'encombrement des équipements portables ainsi que leur consommation d'énergie [1–5]. Les excellentes perspectives commerciales de telle technologie ont motivé de nombreuses équipes de recherche universitaires et industriels partout dans le monde pour travailler sur différents aspects liés à ce type de problématique [6, 25, 26, 28–30, 32, 35, 40].

Les contributions de recherche dans le domaine de la réception radio multistandard se situe au niveau système mais en tirant profit ou en entraînant le développement de performances avancées au niveau composant telles que les aspects large bande, multi-bande, grande dynamique, haute sélectivité, programmabilité, intégrabilité, faible consommation. Ainsi, la mise en œuvre de récepteur radio multistandard nécessite des prises en compte de ce mode de fonctionnement au niveau de la structure de l'étage RF, le convertisseur analogique numérique et les circuits de traitement des signaux numériques. Bien que nous ayons focalisé nos efforts de recherche sur l'étage de sélection numérique des canaux radio nous avons étudié la faisabilité et proposer des solutions au niveau de l'étage RF et de conversion analogique numérique pour respecter les exigences de la réception multistandard.

Les principales contributions de recherche obtenues à l'issue de nos travaux de thèse peuvent être réparties en trois catégories : établissement de méthodologies de spécifications et de dimensionnement [58], mise au point de techniques de filtrage numérique multicadence [59] et conception d'architectures matérielles numériques pour traitement reconfigurable [48, 54–56, 77–80].

Dans le cadre de l'établissement de méthodologies nous étions amené dans notre travail à proposer d'abord une méthode générale de dimensionnement du récepteur RF en cherchant à déterminer les paramètres des filtres analogiques, de l'amplificateur à gain variable (AGC) et le convertisseur analogique numérique (ADC) en tenant compte des paramètres de non linéarité des circuits RF. Nous avons représenté cette méthode sous forme de graphe flot qui met en évidence l'ordre chronologique des étapes de dimensionnement en faisant appel à des techniques graphiques et des formulations analytiques pour calculer les paramètres globaux du récepteur RF (gain, facteur de bruit, paramètres de linéarité et d'intermodulation, dynamique) ainsi que les gabarits des filtres RF et anti-repliement.

La méthode de dimensionnement ainsi établie a été utilisée pour concevoir un récepteur RF à conversion directe (homodyne) avec des fonctionnalités multistandard supportant les normes UMTS, DECT et GSM. Les résultats numériques de dimensionnement en tenant compte des spécifications de ces trois normes ont été validés par des simulations de l'ensemble des circuits du récepteur radio, en définissant leur modèles appropriés, en utilisant l'outil de conception assistée par ordinateur ADS d'Agilent Technology.

La deuxième contribution liée à l'aspect méthodologies a concerné la définition d'une méthode permettant de déterminer les spécifications du filtrage de sélection des canaux radio. Il s'agit en particulier de déterminer la structure de l'étage de filtrage ainsi que les types et les gabarits des différents filtres généralement placés en cascade, à la sortie du modulateur Sigma-Delta, pour les applications de filtrage de décimation. Nous avons accordé cet intérêt particulier à développer cette méthode de spécification d'abord vu le manque dans la littérature de méthodes généralisées pour ce type d'étude mais aussi pour chercher à relâcher les contraintes de spécification sur les filtres en vu de réduire leurs ordres et par conséquent leurs complexités de traitement. La méthode ainsi définie tient compte de la structure de filtrage en étages, des aspects large bande et multi-bande des signaux radio en respectant les profils des normes de radiocommunications, ainsi que des effets de repliement de spectre suite aux opérations de décimation [56, 58, 59].

Cette méthode a été appliquée dans le cas des normes UMTS, DECT et GSM pour déterminer les spécifications communes de la cascade de filtrage. Elle a conduit à la spécification d'un filtre en peigne d'ordre 6 avec un facteur de décimation égale à 4 pour

l'UMTS, 6 pour le DECT et 12 pour le GSM. Le deuxième étage commun aussi aux 3 normes est un filtre de type demi bande ayant une atténuation de 56 dB et une bande de transition normalisée par rapport à $f_c/2$ qui s'étend entre $f_p=0.32$ et $f_s=0.67$. Le dernier étage de filtrage est propre à chaque norme et présente une atténuation de 49 dB et une bande de transition comprise entre 1920 et 2500 kHz pour l'UMTS, une atténuation de 35 dB et une bande de transition comprise entre 576 et 700 kHz pour le DECT et enfin une atténuation de 41 dB et une bande de transition comprise entre 82 et 100 kHz pour le GSM.

Dans le cadre de la mise au point de techniques de filtrage numérique multi-cadence nous avons cherché à étudier la possibilité d'utiliser des filtres de type IIR et comparer cette nouvelle proposition par rapport à l'approche conventionnelle d'utilisation des filtres FIR. Pour conserver l'information véhiculée dans la phase des signaux radio nous étions amenés à définir des structures de filtres IIR en imposant des contraintes sur l'amplitude mais surtout sur la linéarité de la phase. Après l'étude et l'application de trois techniques de synthèse de filtres IIR à phase presque linéaire nous avons montré, à travers les résultats de synthèse obtenus, que la méthode de minimisation d'erreur quadratique permet la meilleure réduction de la complexité des deux derniers étages de filtrage. A ce niveau de l'étude et en comparant, pour les mêmes spécifications, les résultats de synthèse des filtres IIR à phase presque linéaire et des filtres FIR nous avons justifié le choix de la structure de filtrage optimisée composée du filtre en peigne et d'un filtre demi bande de type FIR d'ordre 19 commun pour les 3 normes. En tenant compte du meilleur compromis entre programmabilité, espace mémoire et complexité de traitement nous avons retenue pour le dernier étage de sélection de canal un filtre de type FIR d'ordre 23, 47 et 51 respectivement pour la norme DECT, GSM et UMTS [77–80]

Dans le cadre de notre contribution de recherche liée à la conception d'architectures matérielles numériques pour traitement reconfigurable de filtrage nous avons cherché aussi à mener ces étapes de conception d'une manière méthodique et ceci en proposant des optimisations à deux niveaux. Dans le premier niveau d'optimisation nous avons étudié et comparé les techniques de réalisation des opérateurs élémentaires d'addition et de multiplication intervenants dans le traitement de filtrage numérique. Dans un deuxième niveau d'optimisation nous avons analysé d'une manière précise des architectures avancées pour l'implantation de filtres numériques. En considérant les résultats préliminaires de cette étude de conception nous avons complété la conception des différents circuits de commande permettant d'assurer la programmabilité et le pilotage du fonctionnement des différents circuits du processeur de filtrage et de sélection des canaux. Des optimisations ont été complétées au niveau des définitions des formats des flux de données et d'adéquation entre

structures conçues pour le traitement de filtrage et ressources pré-câblées dans le circuit FPGA cible.

Les résultats obtenus après synthèse sur FPGA ont permis de mettre en évidence les meilleures performances de filtrage et surtout de complexité matérielle de l'architecture du processeur de filtrage composée d'une structure récursive utilisant des additionneurs à retenue propagée pour le circuit du filtre en peigne, une structure à base de multiplieurs génériques pour le circuit filtre demi bande et enfin une structure à base de multiplieurs génériques pour le circuit du filtre sélecteur.

Au terme de ces travaux de thèse de Doctorat nous estimons que les résultats obtenus tant au niveau méthodologies d'étude qu'au niveau techniques de traitement et architectures de systèmes numériques représentent pour nous ainsi que pour le reste des membres de nos équipes de recherche à SUP'COM et à l'ENST-Paris une étape importante pour continuer à explorer la faisabilité expérimentale des systèmes matériels pour la réception radio multistandard et par la suite la radio logicielle.

Annexe

Annexe A

Principe du modulateur Sigma-Delta

Compte tenu des exigences, pour le convertisseur A/N, nous considérons l'utilisation de convertisseurs du type Sigma-Delta ($\Sigma\Delta$) qui utilisent le principe du suréchantillonnage et la contre-réaction (voir Figure A.2) pour augmenter la résolution équivalente, le rapport signal à bruit et la rapidité de conversion.

La technique de modulation Sigma-Delta consiste à suréchantillonner le signal d'entrée et à le quantifier de manière à moduler le bruit de quantification vers les hautes fréquences (voir Figure A.1). Ainsi, après décimation, nous obtenons un signal avec un faible bruit de quantification donc une bonne résolution dans la bande d'intérêt.

La structure générale d'un modulateur Sigma-Delta mono bit est présentée dans la Figure (A.2). Elle est constituée d'un filtre, d'un quantificateur mono bit et d'une boucle de contre-réaction [100]. Une méthode largement appliquée pour analyser les modulateurs Sigma-Delta consiste à modéliser le quantificateur par un bloc avec un gain et une source de bruit blanc (voir Figure A.3). Si ce modèle ne permet pas de décrire parfaitement l'opération de stabilité ni le phénomène lié à la diminution du rapport signal à bruit pour des signaux d'entrée de fortes amplitudes, il peut cependant être utile pour le calcul des performances. La sortie générique d'un modulateur Sigma-Delta est donnée par l'équation (A.1) :

$$Y(z) = H_x(z)X(z) + H_e(z)E(z) \quad (\text{A.1})$$

où $X(z)$ et $E(z)$ sont respectivement les signaux d'entrée et l'erreur de quantification dans le domaine z . Les fonctions $H_x(z)$ et $H_e(z)$ sont les fonctions de transfert du signal

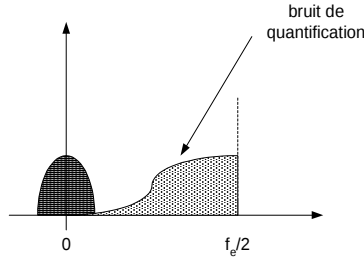


Figure A.1 – Spectre du bruit et du signal à la sortie d'un modulateur Sigma-Delta.

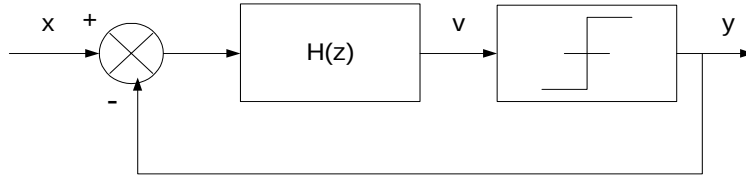


Figure A.2 – Structure générale d'un modulateur Sigma-Delta

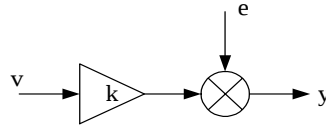


Figure A.3 – Modèle d'un quantificateur

et du bruit, données par l'équation (A.2) [100] :

$$\begin{aligned} H_x(z) &= \frac{y}{x} = \frac{H(z)k}{1 + H(z)k} \\ H_e(z) &= \frac{y}{e} = \frac{1}{1 + H(z)k} \end{aligned} \quad (\text{A.2})$$

Il faut choisir le filtre $H(z)$ afin d'avoir un gain élevé dans la bande du signal. La fonction de transfert du signal aura ainsi un gain unitaire dans la bande de fréquence du signal utile et la fonction de transfert du bruit aura un gain nul sur la même bande (voir Figure A.1). Le signal d'entrée est retardé à la sortie du modulateur alors que l'erreur de quantification est fortement réduite. Soit pour $H(z)$ un filtre d'ordre n dont tous les pôles sont placés sur le cercle unitaire :

$$H(z) = \left(\frac{z^{-1}}{1 - z^{-1}} \right)^n \quad (\text{A.3})$$

Si le gain du quantificateur est $k = 1$, la fonction de transfert du signal et la fonction

de transfert de bruit sont traduites par :

$$H_x(z) = z^{-n} \quad (\text{A.4})$$

$$H_e(z) = (1 - z^{-1})^n \quad (\text{A.5})$$

La représentation fréquentielle de l'expression (A.5) est $2 \sin(\pi(f/f_e))$ où f_e est la fréquence d'échantillonnage. La densité spectrale du bruit est estimée par la formule (A.6) [12].

$$\begin{aligned} |N(f)| &= |(1 - e^{j\frac{2\pi f}{f_e}})^n| \frac{q}{\sqrt{12f_e}} \\ &= 2^n \sin^n \left(\pi \frac{f}{f_e} \right) \frac{q}{\sqrt{12f_e}} \end{aligned} \quad (\text{A.6})$$

La Figure A.4 représente l'allure de la densité spectrale normalisée en fonction de l'ordre du modulateur.

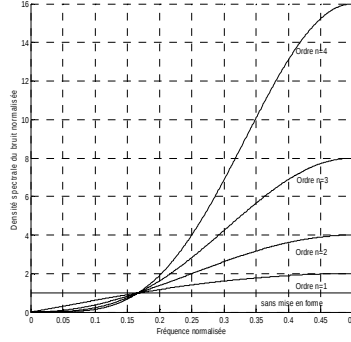


Figure A.4 – Densité spectrale du bruit normalisée

La puissance du bruit dans la bande passante $[-B, B]$ du signal est estimée par la formule (A.7).

$$\begin{aligned} N_0^2 &= \int_{-B}^B |N(f)|^2 df \\ &= 2^{2n} \frac{q^2}{12f_e} \int_{-B}^B \sin^{2n} \left(\pi \frac{f}{f_e} \right) df \end{aligned} \quad (\text{A.7})$$

Comme $f/f_e \ll 1$, le sinus peut être approché par son premier terme et l'équation (A.7) peut être évaluée par la formule (A.8).

$$N_0^2 = \frac{q^2}{12} \frac{\pi^{2n}}{2n+1} \left(\frac{2B}{f_e} \right) \quad (\text{A.8})$$

On pose $M = fe/2B$;

$$N_0^2 = \frac{q^2}{12} \frac{\pi^{2n}}{2k+1} \frac{1}{M^{2n+1}} \quad (\text{A.9})$$

Le rapport signal à bruit est calculé en prenant la racine carrée du rapport des puissances du signal et du bruit. Pour un signal d'amplitude A à l'entrée, le rapport signal à bruit est donné par la formule (A.10) [101].

$$SNR = \frac{A}{\sqrt{2}} \frac{\sqrt{12}\sqrt{2n+1}M^{n+\frac{1}{2}}}{q\pi^n} \quad (\text{A.10})$$

L'amplitude maximale A_{max} que le modulateur sigma delta peut coder sans devenir instable est $q/2$ [12]. Le rapport signal à bruit maximal correspondant est donné par la formule (A.11).

$$SNR_{max} = \frac{\sqrt{3}\sqrt{2n+1}M^{n+\frac{1}{2}}}{\sqrt{2}\pi^n} \quad (\text{A.11})$$

Selon (A.11), le SNR_{max} est fonction de deux variables : l'ordre du modulateur n et le coefficient du suréchantillonnage M . En effet, le SNR_{max} augmente avec l'ordre n et le coefficient de suréchantillonnage M . Cette relation exprime le compromis qu'il peut être réalisé entre la complexité du modulateur proportionnelle à l'ordre et la rapidité de ses constituants proportionnelle à M .

D'après [45] la dynamique d'un convertisseur analogique numérique Sigma-Delta d'ordre n et facteur de suréchantillonnage M est estimée par la formule A.12.

$$DR_{\Sigma\Delta} = \frac{3}{2} \frac{2n+1}{\pi^{2n}} M^{2n+1} \quad (\text{A.12})$$

Bibliographie

- [1] Joseph Mitola and Gerald Q. Maguire. Cognitive radio : making software radios more personal. *Personal Communications, IEEE [see also IEEE Wireless Communications]*, 6(4) :13 – 18, Aug 1999.
- [2] Joseph Mitola. The software radio architecture. *IEEE Communications Magazine*, pages 26 – 38, may 1995.
- [3] A.S. Margulies and J. Mitola. Software defined radios : a technical challenge and a migration strategy. In *IEEE 5th International Symposium on Spread Spectrum Techniques and Applications*, volume 2, pages 551 – 556, Sept 1998.
- [4] Joseph Mitola. Technical Challenges in The Globalization of Software Radio. *IEEE Communications Magazine*, pages 84 – 89, Feb 1999.
- [5] J. Mitola and Z. Zvonar. Software and DSP in radio. *IEEE Communications Magazine*, pages 68 – 68, Feb 1999.
- [6] A. Schuchert, R. Makowitz, and M. Buchholz. Front end architectures for multistandard digital TV receivers. *IEEE Transactions on Consumer Electronics*, 46(3) :422 – 427, Aug 2000.
- [7] M. Ali, G.J Hayes, Huan-Sheng Hwang, and R.A Sadler. Design of a multiband internal antenna for third generation mobile phone handsets. *IEEE Transactions on Antennas and Propagation*, 51(7) :1452 – 1461, July 2003.
- [8] Yong-Xin Guo, Irene Ang, and M.Y.W Chia. Compact internal multiband antennas for mobile handsets. *Antennas and Wireless Propagation Letters*, 2(10) :143 – 146, 2003.
- [9] M. Martinez-Vazquez and O. Litschke. Small multiband antenna for personal communications devices. In *17th International Conference on Applied Electromagnetics and Communications*, pages 395 – 398, Oct 2003.
- [10] Behzad Razavi. *RF Microelectronics*. Prentice Hall PTR, 1997.
- [11] Jan Crols and Michel Steyaert. *CMOS WIRELESS TRANSCEIVER DESIGN*. Kluwer Academic Publishers, 1997.

- [12] Chiheb Rebai. *contribution à la caractérisation des Convertisseurs Analogiques Numériques haute performances : Mise en œuvre de nouveaux systèmes de traitement du signal pour le test in-situ*. PhD thesis, Université Bordeaux I, 2003.
- [13] T. Gemmeke, M. Gansen, H.J. Stockmanns, and T.G. Noll. Design optimization of low-power high-performance DSP building blocks. *IEEE Journal of Solid-State Circuits*, 39(7) :1131 – 1139, July 2004.
- [14] K.K Parhi. Approaches to low-power implementations of DSP systems. *IEEE Transactions on Circuits and Systems*, 48(10) :1214 – 1224, Oct 2001.
- [15] M. Feng, Shyh-Chiang Shen, D.C. Caruth, and J.J Huang. Device technologies for RF front-end circuits in next-generation wireless communications. *Proceedings of the IEEE*, 92(2) :354 – 375, Feb 2004.
- [16] R. Janaswamy. *Radiowave Propagation and Smart Antennas for Wireless Communications*. Kluwer, 2001.
- [17] M. Helaoui, S. Boumaiza, A. Ghazel, and F.M Ghannouchi. DSP Based Technique For Power Efficiency Improvement in Low-IF 5 GHz WLAN Transmitter. In *IEEE Midwest Conference on Circuits and Systems*, 2003.
- [18] E.H. Dagher, P.A. Stubberud, W.K. Masenten, M. Conta, and T.V. Dinh. A 2-GHz analog-to-digital delta-sigma modulator for CDMA receivers with 79-dB signal-to-noise ratio in 1.23-MHz bandwidth. *IEEE Journal of Solid-State Circuits*, 39(11) :1819 – 1828, Nov 2004.
- [19] B. White and M. Elmasry. Low-Power Design of Decimation Filters for a Digital IF Receiver. *IEEE Transactions on VLSI systems*, 8(3) :339–345, June 2000.
- [20] Carol j. Barrett. Low-Power Decimateur Filter Design for Multi-Standard Transceiver Application. Master's thesis, University of California, Berkeley, 2000.
- [21] DECT Standard, ETS 300 175-1 ed.2. ETSI, 1996.
- [22] Radio Transmission and Reception GSM 05.05. ETSI, 1996.
- [23] Universal Mobile Telecommunication System (UMTS); UE Radio Transmission and Reception (FDD), 3GPP TS 25.101 version 5.2.0 Release 5. ETSI, 2002.
- [24] System Requirements for IEEE 802.20 Mobile Broadband Wireless Access Systems - Version 14. IEEE, 2004.
- [25] H.A Alzaher, H.O Elwan, and M. Ismail. A CMOS highly linear channel-select filter for 3G multistandard integrated wireless receivers. *IEEE Journal of Solid-State Circuits*, 37(1) :27 – 37, Jan 2002.
- [26] Adiseno, M. Ismail, and H. Olsson. A wide-band RF front-end for multiband multistandard high-linearity low-IF wireless receivers. *IEEE Journal of Solid-State Circuits*, 37(9) :1162 – 1168, Sep 2002.

- [27] A. Parssinen, J. Jussila, J. Ryyanen, L. Sumanen, K. Kivekas, and K. Halonen. A wide-band direct conversion receiver with on-chip A/D converters. *Symposium on VLSI Circuits*, pages 32 – 33, June 2000.
- [28] H. Elwan, A. Ravindran, and M. Ismail. CMOS low power baseband chain for a GSM/DECT multistandard receiver. *IEE Circuits, Devices and Systems*, 149(56) :337 – 347, Oct 2002.
- [29] Sanggyu Sim, R. Kuhn, B. Pflaum, and C. Muschallik. A three-band-tuner for digital terrestrial and multistandard reception. *IEEE Transactions on Solid-State Circuits*, 37(1) :27 – 37, Jan 2002.
- [30] H. Berndt and H. J. Jentschel. ADC residual dynamic range constraints in multistandard mobile terminals employing wideband-IF sampling. *Vehicular Technology Conference*, 1 :275 – 278, 2003.
- [31] Bilal Manai. *Méthode de dimensionnement de récepteurs radiomobiles à conversion directe. Application au filtrage à sélection de canal UMTS par la technique des capacités commutées*. PhD thesis, ENST Paris, 2002.
- [32] S. Mattisson. Architecture and technology for multistandard transceivers. In *Bipolar/BiCMOS Circuits and Technology Meeting*, pages 82 – 85, 2001.
- [33] H. Elwan, H. Alzaher, and M. Ismail. A new generation of global wireless compatibility. *IEEE Circuits and Devices Magazine*, 17(1) :7 – 19, Jan 2001.
- [34] L.L. Mercado, S.-M Kuo, T.-Y.T. Lee, and L. Liu. Mechanics-based solutions to rf mems switch stiction problem. *IEEE Transactions on Components and Packaging Technologies*, 27(3) :560 – 567, Sept 2004.
- [35] Adiseno, H. Magnusson, and H. Olsson. A 1.8-V wide-band CMOS LNA for multiband multistandard front-end receiver. *Conference on European Solid-State Circuits*, pages 141 – 144, Sept 2003.
- [36] H. Hashemi and A. Hajimiri. Concurrent multiband low-noise amplifiers-theory, design, and applications. *IEEE Transactions on Microwave Theory and Techniques*, 50(1) :288 – 301, Jan 2002.
- [37] M.H Perrott, T.L Tewksbury III, and C.G Sodini. A 27-mW CMOS fractional-N synthesizer using digital compensation for 2.5-Mb/s GFSK modulation. *IEEE Journal of Solid-State Circuits*, 32(12) :2048 – 2060, Dec 1997.
- [38] T.A.D. Riley, M.A Copeland, and T.A. Kwasniewski. Delta-sigma modulation in fractional-N frequency synthesis. *IEEE Journal of Solid-State Circuits*, 28(5) :553–559, May 1993.

- [39] Kwang Young Kim, Naoya Kusayanagi, and Asad A. Abidi. A 10-b, 100-MS/s CMOS A/D Converter. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 32(3) :302 – 311, March 1997.
- [40] L. Dermentzoglou, A. Arapoyanni, and A. Pneumatikakis. A direct conversion receiver analysis for multistandard wireless applications. In *10th Mediterranean Electrotechnical Conference*, volume 1, pages 318 – 321, May 2000.
- [41] Rahul Magoon, Alyosha Molnar, Jeff Zachan, Geoff Hatcher, and Woogeun Rhee. A Single-Chip Quad-Band (850/900/1800/1900 MHz) Direct Conversion GSM/GPRS RF Transceiver with Integrated VCOs and Fractional-N Synthesizer. *IEEE Journal of Solid-State Circuits*, 37(12) :1710 – 1720, Dec 2002.
- [42] Behzad Razavi. Design Considerations for Direct-Conversion Receivers. *IEEE Transactions on Circuits and Systems*, 44(6) :428 – 435, June 1997.
- [43] Hiroshi Tsurumi and Yasuo Suzuki. Broadband RF stage architecture for software-defined radio in handheld terminal applications. *Communications Magazine, IEEE*, 37(2) :90 – 95, Feb 1999.
- [44] Il-Hyun Sohn, Eui-Rim Jeong, and Y.H Lee. Data-aided approach to I/Q mismatch and DC offset compensation in communication receivers. *IEEE Communications Letters*, 6(12) :547 – 549, Dec 2002.
- [45] Elizabth Colin. *Etude d’architectures de réception à sous échantillonnage destinées à des applications radiofréquences*. PhD thesis, ENST Paris, 1999.
- [46] Elizabth Colin, Lirida Naviner, Patrick Loumeau, and Jean-François Naviner. Trade-off Between Antialiasing Filter and ADC Specifications in Homodyne RF Receivers. In *Vehicular Technology Conference*, volume 4, pages 2351 – 2354, Oct 2001.
- [47] Tony Vasseaux. *Etude d’architectures de réception à sous échantillonnage destinées à des applications radiofréquences*. PhD thesis, ENST Paris, 1999.
- [48] **Khaled Grati**, Adel Ghazel, and Lirida Naviner. Etude des Structures de Filtrage Numérique Pour Sélection de Canal et Décimation dans les Récepteurs Radio Multistandard. *IEEE Proceedings JNRDM, Toulouse, France*, Mai 2003.
- [49] M. Laddomada and M. Mondin. Decimation Schemes for $\Sigma\Delta$ A/D Converters based on Kaiser and Hamming Sharpened Filters. *IEE Proceedings - Vision, Image and Signal Processing*, 151(4) :287 – 296, Aug 2004.
- [50] J. Kaiser and R. Hamming. Sharpening the Response of a Symmetric Nonrecursive Filter by Multiple Use of the Same Filter. *IEEE Transactions on Acoustic Speech and Signal Processing*, 25 :415–422, Oct 1977.

- [51] P. Maulik, M. Mandeep, S. Chadha, W. Lee, and P. Crawley. A 16-Bit 250-kHz Delta-Sigma Modulator and Decimation Filter. *IEEE Journal of Solid-State Circuits*, 35(4) :458–467, April 2000.
- [52] R.E. Crochiere and L. R. Rabiner. Interpolation and Decimation of Digital Signals. *A tutorial Review*, 69 :300–331, March 1981.
- [53] James C. Candy. Decimation for Sigma Delta Modulation. *IEEE Transactions on Communications*, 34(1) :72 – 76, Jan 1986.
- [54] **Khaled Grati**, Adel Ghazel, and Lirida Naviner. Design and Implementation of Cascade Decimation Filter for Radio Communication. *IEEE Proceedings ICECS, Malta*, Sep 2001.
- [55] **Khaled Grati**, Adel Ghazel, and Lirida Naviner. Optimized FPGA-based Implementation of Down-Sampling Filter for Wide Band Radio Receiver. *IEEE Proceedings ICIT, Hammamet, Tunisia*, Dec 2004.
- [56] **Khaled Grati**, Adel Ghazel, and Lirida Naviner. Relaxed Decimation Filter Specifications for Wireless Transceivers. *IEEE Proceedings ICECS, Dubrovnik, Croatia*, Sep 2002.
- [57] James C. Candy and G.C Temes. Oversampling Delta Sigma Data Converters. In *IEEE Pacific Rim Conference on Communications, Computers and Signal Processing*, volume 2, pages 498 – 502, May 1991.
- [58] Adel Ghazel, Lirida Naviner, and **Khaled Grati**. On Design and Implementation of a Decimation Filter for Multi-standards Wireless Transceivers. *IEEE Transactions on wireless communications*, 1(4) :558–562, Oct 2002.
- [59] Adel Ghazel, Lirida Naviner, and **Khaled Grati**. Design of Down-sampling Processors for Radio Communications. *Kluwer Academic Publishers*, 2003.
- [60] Stuart S. Lawson. On design techniques for approximately linear phase recursive digital filters. In *IEEE International Symposium on Circuits and Systems*, volume 4, pages 2212 – 2215, June 1997.
- [61] Stuart S. Lawson. Direct approach to design of PCAS filters with combined gain and phase specification. In *IEE Proceedings-Vision, Image and Signal Processing*, volume 141, pages 161 – 167, 1994.
- [62] I. kale and al. On Achieving Micro-dB Ripple Polyphase Filters with Binary Scaled Coefficients. In *Second International Symposium on DSP for Communication Systems*, 1994.
- [63] Artur Krukowski. Custom designed high-order frequency transformations for IIR filters. In *Midwest Symposium on Circuits and Systems*, volume 1, pages 588 – 591, Aug 1995.

- [64] Gerarld and al. High Oder Transformation for Flexible IIR Filter Design. In *EUSIP*, 1994.
- [65] A. Krukowski. Decomposition of IIR Transfer Function Into Parallel Arbitrary-Order IIR Subfilters. In *NORSIG*, 1996.
- [66] Artur Krukowski, Izzet Kale, and Richard C. S. Morling. The design of polyphase-based IIR multiband filters. In *IEEE International Conference on Acoustics, Speech, and Signal Processing*, volume 3, pages 2213 – 2216, April 1997.
- [67] W. S. LU. Design of stable IIR digital filters with equiripple passbands and peak-constrained least squares stopbands. In *IEEE International Symposium on Circuits and Systems*, volume 4, pages 2192 – 2195, June 1997.
- [68] Artur Krukowski and Izzet Kale. Almost linear-phase polyphase IIR low-pass/highpass filter approach. In *International Symposium on Signal Processing and Its Applications*, volume 2, pages 969 – 972, Aug 1999.
- [69] Masaaki Ikehara, Masatomo Funaishi, and Hideo Kuroda. Design of complex all-pass networks using Remez algorithm. *IEEE Transactions on [see also Circuits and Systems II : Express Briefs, IEEE Transactions on] Circuits and Systems II : Analog and Digital Signal Processing*, 39(8) :549 – 556, Aug 1992.
- [70] C. D. Meyer and Carl Meyer. *Matrix Analysis and Applied Linear Algebra*. Soc for Industrial & Applied Math, 2001.
- [71] mathias C. Lang. Least-Squares Design of IIR Filters with Prescribed Magnitude and Phase Responses and a Pole Radius Constraint. *IEEE Transactions on [see also Acoustics, Speech, and Signal Processing] Signal Processing*, 48(11) :3109 – 3121, Nov 2000.
- [72] mathias C. Lang. *Algorithme for the Constrained Design of Digital Filters with Arbitrary Magnitude and Phase Responses*. PhD thesis, Vienna Univ, 1999.
- [73] Yong Ching Lim, Ju-Hong Lee, C. K. Chen, and Rong-Huan Yang. A weighted least squares algorithm for quasi-equiripple FIR and IIR digital filter design. *IEEE Transactions on [see also Acoustics, Speech, and Signal Processing] Signal Processing*, 40(3) :551 – 558, March 1992.
- [74] Appanna T. Chottera and Graham A. Jullien. A linear programming approach to recursive digital filter design with linear phase. *IEEE Transactions on Circuits and Systems*, 29(3) :139 – 149, March 1982.
- [75] Jong-Ju Shyu and Soo-Chang Pei. Equiripple phase design of complex all-pass networks. In *IEEE Asia-Pacific Conference on Circuits and Systems*, pages 231 – 236, Dec 1994.

- [76] John W. Adams, Qing Gao, and James L. Sullivan. IIR digital filters with peak-constrained least-squared errors. In *Conference on Signals, Systems and Computers*, volume 1, pages 349 – 352, Nov 1994.
- [77] **Khaled Grati**, Adel Ghazel, and Lirida Naviner. New FIR & IIR based Decimation Filter for Wide-Band Multi-standard Wireless Transceiver. *IEEE Proceedings SETIT, Tunisia*, 2003.
- [78] **Khaled Grati**, Adel Ghazel, and Lirida Naviner. Comparaison of FIR and IIR Structures for Decimation Filtering in Radio Communications. *IEEE Proceedings SCI, Orlando, USA*, July 2001.
- [79] **Khaled Grati**, Adel Ghazel, and Lirida Naviner. New Down-Sampling Filter For Wide Band Multistandard Receiver Based on Mixed FIR and IIR Structure. *IEEE Proceedings MIXDES, Lodz, Poland*, June 2003.
- [80] **Khaled Grati**, Adel Ghazel, and Lirida Naviner. Design and Hardware Implementation of Digital Channel Selection Processor for Radio Receiver. *IEEE Proceedings ISSPIT, Rome, Italy*, Dec 2004.
- [81] James L. Sullivan and John W. Adams. PCLS IIR digital filters with simultaneous frequency response magnitude and group delay specifications. *IEEE Transactions on [see also Acoustics, Speech, and Signal Processing] Signal Processing*, 46(11) :2853 – 2861, Nov 1998.
- [82] Thomas Inukai. A unified approach to optimal recursive digital filter design. *IEEE Transactions on Circuits and Systems*, 27(7) :646 – 649, Jul 1980.
- [83] Guido Cortelazzo and Michael R. Lightner. Simultaneous design in both magnitude and group-delay of IIR and FIR filters based on multiple criterion optimization. *IEEE Transactions on Acoustics, Speech, and Signal Processing*, 32(5) :949 – 967, Oct 1984.
- [84] R. W. Aldhaheeri. Design of linear-phase IIR digital filters using singular perturbational model reduction. In *IEE Vision, Image and Signal Processing*, volume 147, pages 409 – 414, Oct 2000.
- [85] Luowen Li, Lihua Xie, Wei-Yong Yan, and Yeng Chai Soh. Design of low-order linear-phase IIR filters via orthogonal projection. *IEEE Transactions on Signal Processing*, 47(2) :448 – 457, Feb 1999.
- [86] B. Beliczynski, J. Gryka, and I. Kale. Critical comparison of Hankel-norm optimal approximation and balanced model truncation algorithms as vehicles for FIR-to-IIR filter order reduction. In *IEEE International Conference on Acoustics, Speech, and Signal Processing*, volume 3, pages 593 – 596, April 1994.

- [87] Venkatappa Sreeram and Panos Agathoklis. Design of linear-phase IIR filters via impulse-response gramians. *IEEE Transactions on [see also Acoustics, Speech, and Signal] Signal Processing*, 40(2) :389 – 394, Feb 1992.
- [88] Maurice Bellanger. *Traitement numérique du signal Théorie et pratique*. DUNOD, 1998.
- [89] T. W. Parks and J. H. McClellan. Chebyshev approximation for nonrecursive digital filters with linear phase. *IEEE Transaction on Circuit Theory*, 19 :189 – 94, March 1972.
- [90] John W. Adams. FIR digital filters with least-squares stopbands subject to peak-gain constraints. *IEEE Transactions on Circuits and Systems*, 38(4) :376 – 388, April 1991.
- [91] T.-D. Jou, C.-H. Hsieh, and C.-M. Kou. Efficient weighted least-squares algorithm for the design of FIR filters. In *IEE Proceedings-Vision, Image and Signal Processing*, volume 144, pages 244 – 248, Aug 1997.
- [92] H. H. Dam, S. Nordebo, K.L. Teo, and A. Cantoni. FIR filter design over discrete coefficients and least square error. In *IEE Proceedings-Vision, Image and Signal Processing*, volume 147, pages 543 – 548, Dec 2000.
- [93] Signal Processing Toolbox Matlab User’s Guide. The Mathworks, inc.
- [94] Jean luc Beuchat. *Etude et conception d’opérateurs arithmétiques optimisés pour circuits programmables*. PhD thesis, EPFL, 2001.
- [95] R. Pasko, P. Schaumont, V. Derudder, and S. Vernalde. A new algorithm for elimination of common subexpressions. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 18(1) :58 – 68, Jan 1999.
- [96] Miodrag Potkonjak, Mani B. Srivastava, and Anantha P. Chandraksan. Multiple constant multiplications : efficient and versatile framework and algorithms for exploring common subexpression elimination. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 15(2) :151 – 165, Feb 1996.
- [97] Marcos Martínez-Peiró, Eduardo I. Boemo, , and Lars Wanhammar. Design of high-speed multiplierless filters using a nonrecursive signed common subexpression algorithm. *IEEE Transactions on Circuits and Systems*, 49(3) :196 – 203, March 2002.
- [98] Richard I. Hartley. Subexpression sharing in filters using canonic signed digit multipliers. *IEEE Transactions on Circuits and Systems*, 43(10) :677 – 688, Oct 1996.
- [99] A. P. Vinod, E. M-K. Lai, A. B. Premkumar, and C. T. Lau. FIR filter implementation by efficient sharing of horizontal and vertical common subexpressions. *Electronics Letters*, 39(2) :251 – 253, Oct 1996.

- [100] Omid Shoaie. *Continuous-Time Delta-Sigma A/D Converter for High Speed Applications*. PhD thesis, Carleton University, 1995.
- [101] Olivier Weigelt. Conception et réalisation d'un convertisseur Delta Sigma passe Bande multibit avec correction numérique. Master's thesis, ENST Paris, 1996.