



HAL
open science

Architecture de mémoire haute densité à base d'électronique moléculaire tolérante à un très grand nombre de défauts

Antoine Jalabert

► **To cite this version:**

Antoine Jalabert. Architecture de mémoire haute densité à base d'électronique moléculaire tolérante à un très grand nombre de défauts. domain_other. Télécom ParisTech, 2006. English. NNT : . pastel-00002014

HAL Id: pastel-00002014

<https://pastel.hal.science/pastel-00002014>

Submitted on 17 Jan 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre: 00000

THÈSE

présentée

devant l'École Nationale Supérieure des
Télécommunications

pour obtenir

le grade de : DOCTEUR DE L'ÉCOLE NATIONALE SUPÉRIEURE DES
TÉLÉCOMMUNICATIONS
Spécialité ÉLECTRONIQUE ET COMMUNICATION

par

Antoine JALABERT

Équipe d'accueil : CEA - LETI

École Doctorale : Edite

Composante universitaire : ISEP

Titre de la thèse :

*Architecture de mémoire haute densité à base d'électronique
moléculaire tolérante à un très grand nombre de défauts*

À soutenir le 9 novembre 2006 devant la commission d'examen

M. :	Robert	BAPTIST	Président
MM. :	Rachid	BOUCHAKOUR	Rapporteurs
	Christian	PIGUET	
MM. :	Fabien	CLERMIDY	Examineurs
	Patricia	DEGREYS	
	Marc	BELLEVILLE	
	Amara	AMARA	

No physical quantity can continue to change exponentially forever. Your job is delaying forever.

Remerciements

Le travail présenté dans ce mémoire a été effectué au sein du service de *Conception des Micro technologies Emergentes* du CEA-LETI, sur le site de Minatec à Grenoble.

Je remercie en premier lieu MM. Hervé Fanet et Jean-René Lequepeys pour la confiance qu'ils m'ont témoignée en m'accueillant dans le service. Je remercie également M. Marc Belleville pour m'avoir proposé ce sujet passionnant et pour avoir examiné mon travail lors de ma soutenance de thèse. Merci également à M. François Bertrand pour m'avoir accueilli dans le Laboratoire d'Intégration des Architectures Numériques.

Je remercie vivement MM. Amara Amara et Fabien Clermidy qui par une disponibilité exemplaire et un soutien de tous les instants ont encadré ce travail de thèse.

J'adresse également mes sincères remerciements à MM. Robert Baptist, Rachid Bouchakour, Christian Piguet, ainsi qu'à Mme Patricia Desgreys pour m'avoir fait l'honneur de présider, de rapporter et d'examiner ce travail.

Je tiens à exprimer toute ma sympathie aux nombreuses personnes qui m'ont accompagnées et que j'ai côtoyées au cours de ces trois années de thèse, plus particulièrement, D. Axelrad, J.M. Clerc, F. Gayral, C. Gonzalez, R. Lemaire, B. Payet, A. Peizerat, C. Rechatin, J. Wei et K. Wood.

Je n'oublierai pas de remercier les membres du laboratoire IAN, les participants aux projets *RTB : Post-CMOS moléculaire 200mm* et *Nanosys*, ainsi que J.P. Bourgoïn, G. Chamming's, R. Perdriaux et D. Vuillaume qui m'ont apportés leur soutien et avec qui j'ai partagé des discussions très fructueuses pour la réalisation de ce travail de thèse.

Enfin, il me tient à cœur de remercier spécialement ma pacsée préférée, Mlle Anne Béal, garante de ma stabilité sociale et mentale, mais aussi et surtout, pour son soutien et pour sa patience admirables. Je remercie aussi mes parents et mes proches pour m'avoir toujours soutenu au cours de ces trois années, jusqu'au jour de la soutenance.

Table des matières

Table des matières	i
Introduction générale	1
I État de l’art	7
1 Les matériaux de l’électronique moléculaire	9
1.1 Les nanofils	9
1.2 Transistor à nanofil semiconducteur recouvert de molécules	11
1.2.1 La molécules de <i>bis(terpyridine) – Fe²⁺</i>	11
1.2.2 Fabrication du transistor NW-FET à grille flottante moléculaire	12
1.2.3 Analyse des caractéristiques du transistor	13
1.2.4 Phénomènes physiques, électroniques et électro-chimiques	15
1.2.5 Commentaires à propos du transistor NW-FET moléculaire	16
1.3 Les nanotubes de carbone	17
1.3.1 Qu’est-ce qu’un nanotube de carbone ?	17
1.3.2 Propriétés électriques	20
1.3.3 Procédés de Synthèse : <i>arc-discharge</i> , <i>laser-ablation</i> et <i>CVD</i>	22
1.3.4 Les nanotubes de carbone appliqués à la micro-électronique	25
1.3.4.1 Les transistors FET à base de nanotubes : CNTFET	25
1.3.4.2 Point mémoire électro-mécanique	26
1.3.4.3 Système Nano-électro-mécanique (NEMS)	27
1.3.4.4 Autres applications	29
1.4 Les molécules	32
1.4.1 Negative Differential Resistance (NDR)	33
1.4.2 Conformation géométrique bistable	34
1.4.3 Multiples états d’oxydo-réduction	35
1.4.4 Calcul intra-moléculaire	36
2 Les architectures de l’électronique moléculaire	39
2.1 Nanocell : l’approche bottom-up	40
2.1.1 La Nanocell	40
2.1.2 Exploitation de la Nanocell	42

2.1.3	Conclusion	46
2.2	Nanofabric : Reprogrammabilité et tolérance aux défauts de fabrication .	46
2.2.1	Éléments de base de la Nanofabric	47
2.2.1.1	Le bloc logique de base : le nanoBlock	47
2.2.1.2	La Nanofabric	48
2.2.2	La tolérance aux défauts de fabrication	49
2.2.3	Conclusion	50
2.3	FPGA nanométrique	51
2.3.1	Architectures reprogrammables spatialement	52
2.3.2	La fabrication des NWs	52
2.3.3	Diodes programmables	53
2.3.4	Adressabilité	54
2.3.5	Restauration de niveau logique	55
2.3.6	Conclusion	55
2.4	Interface Micro-nano	56
2.4.1	Des transistors à partir d'un réseau de nanofils	56
2.4.2	L'adressage micro-nano	59
2.4.3	Conclusion	61
2.5	Architecture neuromorphique	61
2.5.1	L'architecture CMOL : une architecture hybride	62
2.5.2	Le CrossNet	64
2.5.3	Conclusion	65
2.6	Automate Cellulaire	66
2.6.1	Qu'est ce qu'une cellule QCA ?	67
2.6.2	Implémentation avec des jonctions tunnel métalliques	71
2.6.3	Vers une implémentation moléculaire	73
2.6.4	Perspectives	73
2.7	Le crossbar moléculaire	74
2.7.1	Le crossbar d'interrupteurs moléculaires	75
2.7.2	Réalisation expérimentale	76
2.7.3	Perspectives	78
3	Les points mémoires	79
3.1	DRAM	79
3.2	SRAM	80
3.3	Flash	80
3.4	Cellules issues de l'électronique moléculaire	82
3.4.0.1	Stockage électronique	82
3.4.0.2	Stockage électro-mécanique	83
3.5	Tableau récapitulatif	84

II	Contribution originale	85
4	Modélisation du transistor moléculaire NW-FET	89
4.1	VHDL-AMS	90
4.2	Modélisation	92
4.2.1	Équations électriques	92
4.2.1.1	Évaluation du courant I_{DS}	92
4.2.1.2	Équations complémentaires du modèle	96
4.2.2	Modélisation des phénomènes d'oxydo-réduction	96
4.3	Simulation	98
4.3.1	Environnement de simulation	98
4.3.2	Résultats	98
5	Présentation de la cellule mémoire moléculaire	105
5.1	La cellule mémoire moléculaire	106
5.2	La cellule mémoire de base	107
5.2.1	Description	107
5.2.2	Fonctionnement et simulation	110
5.2.3	Variations technologiques	113
5.3	Modélisation optimisée en temps de calcul de la cellule mémoire	114
5.4	Conclusion et perspectives	115
6	Architecture tolérante aux dispersions technologiques	117
6.1	L'outil développé en Matlab	118
6.1.1	Aide à la saisie de caractéristique	118
6.1.2	Générateur de code	119
6.2	Architecture proposée	121
6.2.1	Politique d'intégrité de l'information	121
6.2.2	Proposition d'architecture	122
6.2.2.1	Séquenceur et contrôle de lecture/écriture (Read/Write Logic and Scheduler)	122
6.2.2.2	Découpage par paquets de mvBits et encodeur de code correcteur (mvBits address Splitter and Error Code Corrector Encoder)	124
6.2.2.3	Regroupement des paquets de mvBits et détecteur et correcteur d'erreur (mvBits Merger and Error Corrector)	124
6.2.3	Techniques proposées pour la tolérance aux dispersions	124
6.2.3.1	Méthode <i>De Base</i> : Amplificateur de lecture semi-intelligent	125
6.2.3.2	Méthode d'Évaluation d'Erreur (<i>Error Sensing</i>)	126
6.2.3.3	Méthode <i>Boucle d'Évaluation d'Erreur</i> (<i>Boucle Error Sensing</i>)	128
6.2.3.4	Méthode <i>Évaluation d'Erreur à Code Correcteur d'Erreur</i> (<i>Error Sensing ECC</i>)	130
6.3	Conclusion et perspectives	136

A Chronogrammes	143
B Exemples de code	147
C Résultats de simulation	151
Bibliographie	166
Table des figures	167
Publications	173

Introduction générale

Contexte de l'étude

No one expects conventional silicon-based micro-electronics to continue following Moore's Law forever. At some point, chip-fabrication specialists will find it economically infeasible to continue scaling down microelectronics. As they pack more transistors onto a chip, phenomena such as stray signals on the chip, the need to dissipate the heat from many closely packed devices, and the difficulty of creating the devices in the first place will halt or severely slow progress.[RT02]

Au delà de l'aspect prophétique de ces quelques lignes sur l'évolution technique de l'industrie de la microélectronique, la question fondamentale sur notre capacité à constamment innover se pose froidement. Serons-nous capable demain de surmonter les enjeux qui se dressent de plus en plus sûrement devant nous? Ou pire encore, accepterons-nous un jour la simple idée que nous sommes arrivés *au bout* d'un certain type d'évolution? En regard de l'évolution industrielle récente de notre civilisation, il semblerait que nous arrivions à un point d'inflexion technique et scientifique. Coïncidence ou causalité, c'est aussi dans les prochaines décennies que les problèmes d'approvisionnement en énergies fossiles et de pollutions environnementales risquent très probablement de bouleverser les différents systèmes globaux à l'échelle planétaire, qu'ils soient politique, économique et social, et bien évidemment, technologique.

Plus proche de nous, alors que les experts scientifiques et les stratèges économiques discutent avec acharnement de l'évolution de la fameuse loi de Gordon E. Moore [Cor05] au delà de 2015, dans ce monde d'incertitude une chose s'impose avec évidence; *Personne ne sait vraiment quelles seront la taille, la nature et la physique des composants électroniques de demain* [SB04].

Ainsi, de *simples* limitations au niveau de la physique fondamentale commencent à apparaître comme de très sérieux indicateurs. La plus connue est la vitesse de commutation d'un transistor, limitée, entre autres choses par la puissance minimale dissipée, en effet $P_{\text{mini}} \cdot t_{\text{commutation}}^2 > h$, h étant la constante de Planck. La figure 1 présente le délai moyen en fonction de la densité d'intégration de composants, en positionnant la limite en dissipation thermique, la limite relativiste et la limite quantique, pour les circuits intégrés CMOS à température ambiante. Typiquement, d'après la roadmap silicium ITRS [itr], la technologie CMOS actuelle risque de devenir commercialement non-viable aux nœuds 32nm ou 22nm , ce qui nous laisse environ entre 10 et 15 ans devant nous.

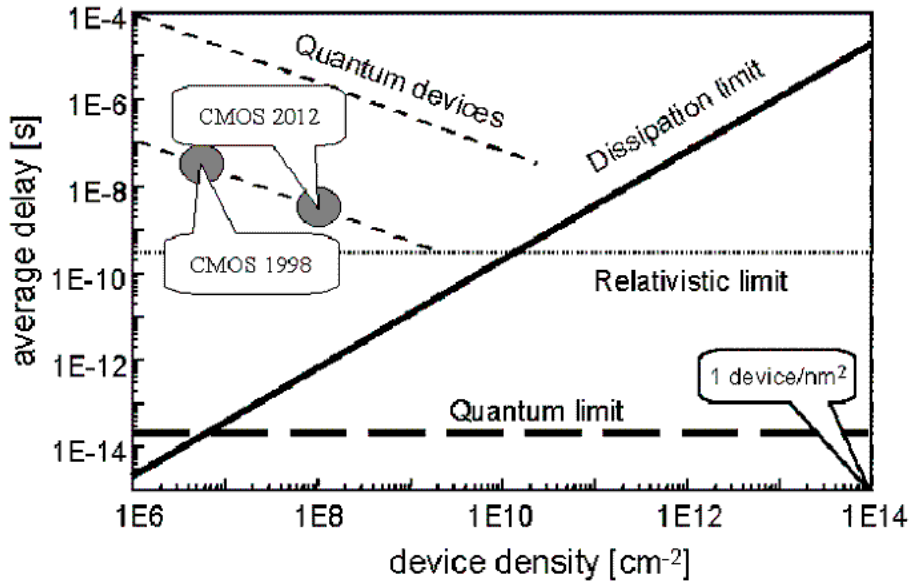


FIG. 1 – [Had00] : Délai moyen vs. densité de composants, montrant la limite en dissipation thermique, la limite relativiste et la limite quantique, pour les circuits intégrés CMOS à température ambiante

Cette période charnière qui semble se dessiner devant nous reflète aussi l'incroyable complexité sans-cesse croissante qu'est la conception micro-électronique. Parallèlement à cet approfondissement systématique de tel ou tel domaine, les connaissances et les compétences requises s'étendent de plus en plus jusqu'à se confondre. Pour pouvoir appréhender de manière globale la micro-électronique (nano-électronique ?) de demain, l'homme de l'art devra probablement avoir de solides connaissances dans des domaines variés, de l'électronique *classique* au monde de la chimie moléculaire en passant par la physique quantique, la biologie, la théorie des probabilités et autres outils mathéma-

tiques indispensables.

Par ailleurs, le flot de conception, bien qu'amélioré, enrichi et optimisé, n'a pas fondamentalement changé depuis quelques décennies et l'avènement de la synthèse de circuit, aussi appelée *compilation sur silicium*. Il apparaît tout aussi clairement que le monde de l'industrie ne changera ses méthodes de développement que si une alternative économique et technologique viable voit le jour. Dès aujourd'hui, nous sommes déjà très proches des limites de la lithographie optique, la longueur d'onde utilisée dans les procédés technologiques de pointe étant $193nm$ en technique DUV (Deep Ultra Violet). Il est attendu que l'industrie n'utilise pas le $157nm$ pour passer directement à la lithographie EUV (Extreme Ultra Violet) en 2006-2007, permettant la mise en production de la technologie $< 32nm$ autour de 2010, une machine EUV coûtant entre 50 et 60 Millions de dollars [Bri04]. Cependant, IBM vient récemment d'annoncer qu'il maîtrisait une nouvelle technique (*High-index immersion*) lui permettant d'étendre la technologie DUV aux nœuds $32nm$, repoussant encore une fois plus loin une échéance certaine. Parallèlement, de nouvelles alternatives voient le jour, comme la *lithographie par empreinte* [CKR96], la lithographie e-beam [CRRT99] [LCJ⁺02], ou encore la lithographie *dig-pen* (Chad Mirkin). Au prix d'une usine moderne (3,5 Milliard de dollars en 2007 d'après TSMC), l'enjeu est de taille, et les promesses de méthodes de fabrication révolutionnaires¹ attendent, à juste titre, certains appétits.

Ainsi, les nouvelles approches inaugurées par l'électronique moléculaire du type *bottom-up*, où la fonctionnalisation d'un circuit s'effectue après sa fabrication, auront vraisemblablement du mal à s'imposer en tant que remplaçant de la technologie CMOS, bien que les coûts des techniques de fabrications actuels explosent. Il semble alors raisonnable de penser que les nanotechnologies puissent devenir *complémentaires* au CMOS, dans des applications à bas-coût, et/ou pour réaliser de nouvelles fonctionnalités. Pour y arriver, il reste cependant à démontrer son potentiel en terme de vitesse de commutation et/ou de réduction de consommation, tout du moins pour les circuits électroniques classiques simplement transposés à l'échelle nanométrique. Les véritables circuits, architectures et autres paradigmes de calcul adaptés aux composants de l'électronique moléculaire restent globalement encore à inventer.

Dans la logique d'évolution des architectures de calcul vers toujours plus de *puis-*

¹Auto-assemblage et auto-organisation de molécules [HHDT03], assemblage bio-chimique contrôlé par ADN [KBB⁺03], nano-assemblage par virus génétiquement modifié [NPLB04] ou encore nanofil métallique à base d'organisme microbien [ea06]

sance, il semble de plus en plus certains pour les raisons rappelées précédemment (essentiellement, fréquence et dissipation thermique) que nous soyons voué à imaginer de nouvelles manières de traiter l'information. Cependant, paradoxalement, un sérieux frein à la recherche de ces nouveaux paradigmes de calcul pour remplacer, ou compléter, celui introduit par Von Neumann [vN37] réside dans le fait que la très grande majorité de la recherche dans le domaine des nanotechnologies se focalise sur l'aspect matériaux et sur des composants de type *transistor*. Le cycle n'est pas vertueux : ne sachant pas vraiment dans quelle direction s'engager, la recherche au niveau composant s'attèle à reproduire des composants électroniques classiques, alors qu'inversement, sans nouvelles *briques de bases* ayant des fonctionnalités originales, les concepteurs de circuits ne peuvent que transposer l'existant à l'échelle *nano*. Cette difficulté conduit à la situation actuelle, où l'effort de recherche entrepris au niveau circuit et architecture pour réfléchir à la manière d'intégrer de nouveaux nano-composants de manière fondamentalement *différente*, est quasi inexistant.

Objectif et originalité de la démarche

L'objectif de ces travaux est de proposer une architecture de mémoire tolérante à de grandes dispersions technologiques, d'un composant à un autre. En effet, que ce soit pour le CMOS ultime ou pour les composants issus des nanotechnologies, les coûts de fabrication pour l'un et les défauts intrinsèques pour les autres impliquent une nouvelle approche. Cette réflexion doit permettre de transférer la complexité que représente la maîtrise d'une technologie de pointe, vers le développement d'architectures et d'algorithmes permettant de compenser ces dispersions, à moindre coût.

L'originalité de la démarche se fonde sur la mise en place d'une méthodologie pragmatique permettant, à partir de mesures expérimentales de transistors moléculaires, de développer et d'analyser dans un temps raisonnable des architectures complexes. Pour cela, une modélisation de ces transistors exploite les capacités en signaux mixtes du langage VHDL-AMS pour reproduire le comportement fonctionnel de composants issus de la littérature. A partir de cette modélisation, nous proposons une cellule de mémoire aux dimensions réduites, capable de stocker plusieurs bits et réalisable dans un même procédé technologique. Finalement, une plate-forme outil développée en Matlab - VHDL-AMS permet de saisir les caractéristiques de composants expérimentaux et de générer et analyser des plans mémoires réguliers où les paramètres de chaque instance

de modèle de composant peuvent subir des variations. Différentes techniques visant à assurer l'intégrité de l'information dans les mémoires sont alors développées.

Structure de l'étude

Initialement ouvert de manière beaucoup plus large sur les architectures de calcul à base de composants issus de l'électronique moléculaire, nous avons précisé le thème de recherche de l'étude sur les aspects mémoire par la suite. C'est pourquoi le lecteur trouvera dans la première partie de ce manuscrit, un état de l'art générale sur les nanotechnologies. Les deux premiers chapitres sont ainsi dédiés, respectivement, aux matériaux de base de l'électronique moléculaire et à leurs applications (nanofils, nanotubes et molécules) d'une part, et aux architectures innovantes de traitement de l'information issues de la recherche dans ce nouveau domaine, d'autre part. Le chapitre trois présente succinctement les points mémoires commerciaux actuels avant d'en confronter les caractéristiques à ceux issus de l'électronique moléculaire. Ce dernier chapitre, volontairement concis, permet d'introduire la contribution de nos travaux développée dans le deuxième volet de cette thèse.

La deuxième partie reprend quant à elle la structure de la méthodologie évoquée précédemment. Le chapitre quatre présente ainsi le transistor à nanofil semiconducteur à grille flottante moléculaire (Molecular-gated Nanowire Field Effect Transistor , MG-NWFET) et détaille sa modélisation en VHDL-AMS. Le chapitre cinq est dédié à la présentation, au fonctionnement ainsi qu'aux différentes modélisations d'une nouvelle cellule de mémoire multivaluée. Finalement, le chapitre six commence par présenter la plate-forme outil développée en Matlab - VHDL-AMS, avant de se concentrer sur l'évaluation et l'analyse de six techniques de tolérance aux dispersions technologiques.

Première partie

État de l'art

Chapitre 1

Les matériaux de l'électronique moléculaire

Le plus souvent présentés en tant que point de départ de la recherche dans le domaine des nanotechnologies, les matériaux de l'électronique moléculaire ont pour points communs leurs dimensions nanométriques qui impliquent une prise en compte de phénomènes physiques et électriques jusqu'à présent ignorés.

Nous présenterons dans un premier temps la famille des nanofils, avant de nous intéresser plus spécifiquement à un de ses dérivés où le matériau semiconducteur est recouvert de molécules. Nous détaillerons ensuite le domaine des nanotubes, en abordant leurs propriétés peu communes ainsi qu'un tour d'horizon de leurs nombreuses possibilités d'applications. Nous clôturerons ce chapitre en présentant différentes applications de molécules dont certaines caractéristiques originales sont exploitées.

Finalement, pour se donner une idée de l'incroyable inventivité et de la large étendue du domaine des matériaux issus des nanotechnologies, le lecteur pourra consulter régulièrement les publications de la revue *Nano Letter* [nan].

1.1 Les nanofils

Les nanofils sont une famille de *nano* structures, appelés également *nano* matériaux, étudiés par un grand nombre d'équipes de recherche. Ils tirent leur appellation de leur largeur nanométrique (environ $10nm$) et du fait de leur rapport longueur/largeur

souvent supérieur à 1000. Ces propriétés font qu'ils sont référencés dans la catégorie des matériaux à une seule dimension (1D) où les phénomènes quantiques ne sont plus négligeables. Pouvant être isolants (ex : SiO_2, TiO_2), métalliques (ex : Ni, Pt, Au) ou semiconducteurs (ex : InP, Si, GaN), ils focalisent aujourd'hui un effort considérable dans la perspective de pouvoir réaliser des composants électroniques innovants. Les nanotubes de carbone font partie de la famille des nanofils, leurs propriétés physiques et électroniques peu courantes font que nous leur consacrerons une section à part entière (section 1.3).

Les réalisations et les domaines d'application des nanofils semiconducteurs sont variés, avec, par exemple, de la logique à diode permettant de réaliser des portes logiques (figure 1.1) et du calcul [HDC⁺01], une interface originale sous la forme d'un décodeur d'adresse entre les mondes micro et nano électronique [ZWC⁺03] (section 2.4) et des transistors à effet de champs (NW-FET) [jWM⁺04] [McE00] [Avo02a]. Parce qu'ils sont le point de départ de la contribution scientifique de cette thèse (partie II), c'est une sous-famille de ces derniers que nous avons choisi d'approfondir dans la suite de cette partie.

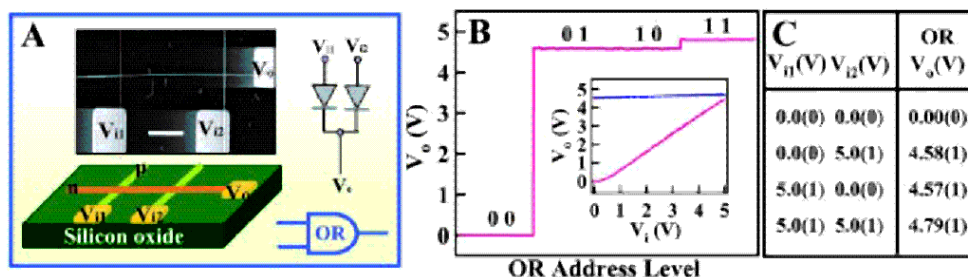


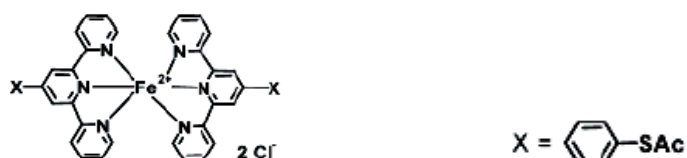
FIG. 1.1 – [HDC⁺01] : Nanologgique à base de nanofil : (A) Illustration d'une porte logique OR réalisée à partir du croisement d'un nanofil semiconducteur de type N par dessus deux nanofils de type P. Au dessus, Image SEM (échelle $1\mu m$) du circuit réalisé (B) Niveau électrique pour toutes les combinaisons logiques possibles (0,0);(0,1);(1,0);(1,1) avec niveau logique '0' valant 0V et niveau logique '1' valant 5V (C) Table de vérité de la fonction logique

1.2 Transistor à nanofil semiconducteur recouvert de molécules de $bis(terpyridine) - Fe^{2+}$

Cette section décrit la structure et le fonctionnement du transistor à effet de champ à nanofil à base de molécule (NW-FET moléculaire). Les publications relatives à ce type de transistor sont [LFL⁺04] [LHL⁺03] [ZLH⁺03] [LLL⁺04] et [LFS⁺04]. Il est à noter que certains phénomènes observés sont pour le moment encore mal compris. Nous présenterons brièvement la molécule de $bis(terpyridine) - Fe^{2+}$ avant de nous intéresser à la fabrication et aux caractéristiques électriques de ce transistor innovant.

1.2.1 La molécules de $bis(terpyridine) - Fe^{2+}$

D'après [SCG⁺94][MA96][DBSA01], la structure en coordination octaédrale de cette molécule permet aux complexes entre $bis - (terpyridine)$ et métal d'avoir une remarquable stabilité chimique et électronique vis-à-vis des réactions d'oxydo-réduction. Autrement dit, cette molécule à différents états électroniques *stables*. Un modèle d'utilisation de ces molécules est de stocker des charges électriques au niveau de l'atome métallique (Figure1.2(a)) et les ligands de la terpyridine comme barrière isolante pour le transfert de charge (Figure1.2(b)) [PPG⁺02].



(a) [LFS⁺04] : Molécule de $bis(terpyridine) - Fe^{2+}$ sans ligand (X)

(b) Ligand utilisé dans l'article [LFL⁺04]

Dans [LFL⁺04], les molécules ont été synthétisées en suivant des méthodes issues de la littérature [MA96] [DBSA01] et elles ont été caractérisées par ¹H et ¹³C NMR, par spectroscopie de masse et par analyse élémentaire. Des études de voltamétrie cyclique ont par ailleurs révélé que la molécule exhibait un comportement de transfert d'électrons réversible, sous la forme d'un cycle d'hystérésis, avec une paire de pic rédox¹ de $Fe(II)/Fe(III)$ autour de 0.8-0.9V.

¹Molécules en solution dans de l'acetonitrile, en utilisant une sonde $Ag/AgNO_3$

1.2.2 Fabrication du transistor NW-FET à grille flottante moléculaire

La fabrication de ce transistor moléculaire à nanofil à effet de champ (NW-FET) est réalisée expérimentalement de la manière suivante. Tout d'abord, un nanofil monocristallin d'oxyde d'indium In_2O_3 de $10nm$ de largeur est fabriqué par ablation laser (méthode décrite dans [CL01] [LHL⁺03] [ZLH⁺03]), figure 1.2(a). Il est ensuite greffé entre deux électrodes et sa fonctionalisation se poursuit par immersion dans une solution de $0.5mM$ de molécules qui seront absorbées / auto-assemblées à la surface du nanofil [YZGG00]. La figure 1.3 illustre les deux dernières étapes du procédé. Une épaisseur de 20\AA a été déduite de mesures d'ellipsométrie [LFL⁺04] avant et après le dépôt de la mono-couche.

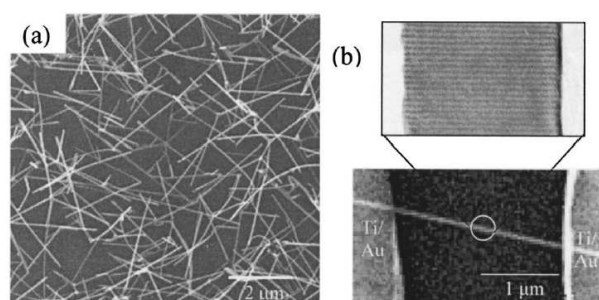


FIG. 1.2 – [LFL⁺04] : (a) Image SEM d'un nanofil mono-cristallin de In_2O_3 synthétisé par ablation laser (b) Image SEM du transistor réalisé. Cadre : Image TEM haute-résolution du nanofil

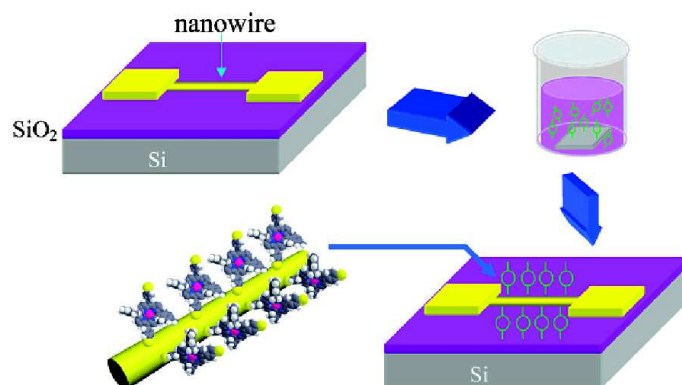


FIG. 1.3 – [LLL⁺04] : Procédé de fabrication du NW-FET moléculaire

Ainsi réalisé, le transistor à nanofil moléculaire occupe une surface de $2\mu m$ (longueur

du canal) par $10nm$ (largeur du nanofil). Pour des raisons de fabrication, et de manière à ce que la mono-couche de molécules ne soit pas recouverte, la grille de contrôle se retrouve sous l'oxyde. La figure 1.4 illustre la coupe du transistor ainsi obtenu [LFL⁺04].

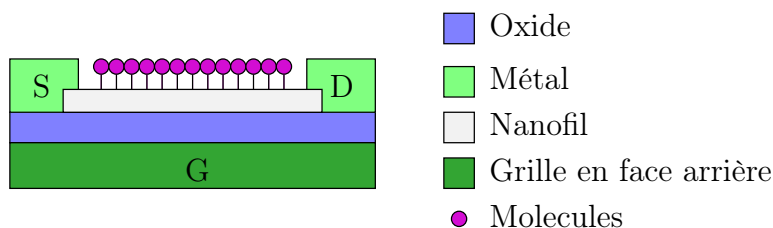


FIG. 1.4 – [LFL⁺04] : Coupe schématique du transistor NWFET moléculaire proposé par Meyyappan et al.

1.2.3 Analyse des caractéristiques du transistor

Tout d'abord, il est intéressant de noter que le même transistor, constitué seulement d'un nanofil mono-cristallin d'oxyde d'indium caractérisé (Figure1.2(b)), sans les molécules de terpyridine à noyau de Fer, présente bien une caractéristique $I_{DS}(V_{GS})$ similaire à celle d'un transistor de type N-MOS enrichi (Figure1.5).

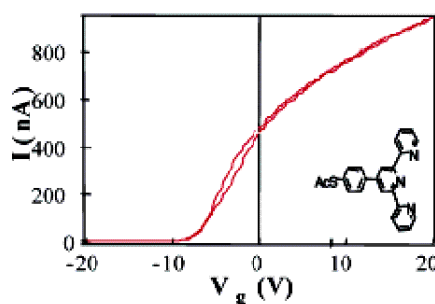


FIG. 1.5 – [LFS⁺04] : Transistor à nanofil sans noyaux métalliques par Meyyappan et al.

Des mesures de voltamétrie cyclique ont révélé la présence de cycles d'hystérésis lors de l'association de différents ligands avec des molécules de Co-Porphyrine ou de *bis(terpyridine) - Fe²⁺* [LFL⁺04] [LLL⁺04] [LFS⁺04]. En comparant les caractéristiques présentées, nous nous intéressons plus particulièrement au dispositif utilisé dans l'étude [LFL⁺04]. En effet, en contrôlant de manière précise la tension de grille, il est

possible de pouvoir obtenir jusqu'à huit courants I_{DS} différents². Ces différences de conduction sont séparées d'environ $500nA$ entre chaque état³ (Figure 1.6), ce qui permet de distinguer 8 états, soit 3 bits d'information. On peut ainsi dire que le composant NWFET moléculaire dispose d'une grille flottante, constituée par la mono-couche de molécules.

Les figures 1.6(a) et 1.6(b) présentent les caractéristiques $I_{DS}(V_{GS})$ pour $V_{DS} = -75mV$ et $I_{DS}(V_{DS})$ pour $V_{GS} = 0V$, respectivement.

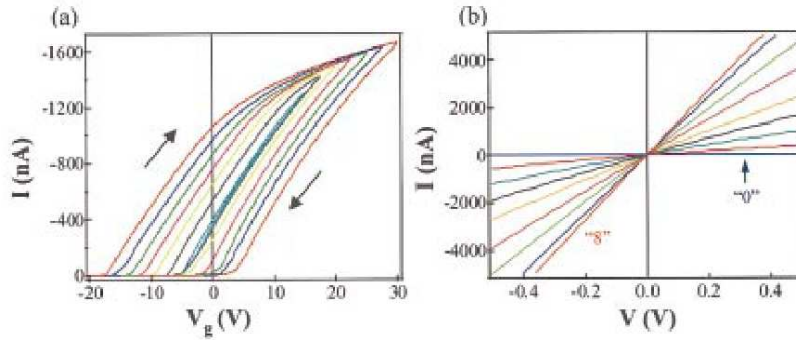


FIG. 1.6 – [LFL⁺04] : Caractéristiques électriques du transistor moléculaire, (a) $I_{DS}(V_{GS})$ à $V_{DS} = -75mV$ (b) $I_{DS}(V_{DS})$ pour $V_{GS} = 0V$

La Figure 1.6.(a) représente les cycles d'hystérésis du courant I_{DS} en fonction de V_{GS} avec $V_{DS} = -75mV$, obtenus en faisant passer le potentiel de la grille de $-n * 2.5V$ à $10 + n * 2.5V$ puis de nouveau à la valeur de départ. n est l'index des différents états du transistor NW-FET moléculaire, depuis "2" (courbe la plus au centre) jusqu'à "8" (courbe extérieure). Par soucis de lisibilité, le tracé de la courbe "1" a été ignoré. On relève très clairement les 8 états de conduction du transistor pour $V_G = 0$. Le constat que la tension de seuil V_T est *programmable* constitue le point de départ de notre réflexion pour utiliser ce transistor moléculaire dans une cellule mémoire multivaluée présentée dans la deuxième partie.

La Figure 1.6.(b) illustre quant à elle les caractéristiques $I_{DS}-V_{DS}$ enregistrées après que le transistor eut été *programmé* par impulsion sur la grille (avec la source supposée comme référence), pour les différentes valeurs de $V_G = +25, -2.5, -5, -7.5, -10$,

²Une fois la tension de programmation appliquée sur la grille, la lecture s'effectue à $V_G = 0$

³Pour $V_{DS} = 0.5V$

-12.5 , -15 , -17.5 et $-20V$. Ce qui donne respectivement, la conductance de l'état le plus résistif ("0") à celle de l'état le moins résistif ("8").

Finalement, le tableau 1.1 donne les différentes valeurs de résistance, extraites par interpolation linéaire des caractéristiques, valable pour $-0.5V \leq V_{DS} \leq 0.5V$.

Résistance du canal (Ω) pour $V_{GS} = 0$	$V_{PULSE}(V)$	Etat
74k	-20	"8"
90k	-17.5	"7"
105k	-15	"6"
136k	-12.5	"5"
204k	-10	"4"
303k	-7.5	"3"
522k	-5	"2"
1176k	-2.5	"1"
"Hautement résistif"	+25	"0"

TAB. 1.1 – Différents niveaux de résistivité du canal

1.2.4 Phénomènes physiques, électroniques et électro-chimiques

D'un point de vue composant, les phénomènes physiques, électroniques et électro-chimiques en jeu restent encore relativement mal compris. On peut cependant avancer plusieurs explications aux phénomènes observés.

D'une part, les phases que l'on qualifera *programmation* (pour $V_{GS} \ll 0V$) et celle appelée *effacement* (pour $V_{GS} \gg 0V$), ont pour conséquence de respectivement oxyder ($Fe^{2+} \longrightarrow Fe^{3+}$) et réduire ($Fe^{3+} \longrightarrow Fe^{2+}$) la population de molécules par effet électrostatique interposé. En effet, la grille étant située sous le canal et séparée du nanofil semiconducteur par un oxyde de SiO_2 , une différence de potentiel négative va engendrer l'accumulation de charges négatives sur l'armature métallique qu'est la grille, en conséquence de quoi une accumulation de charges positives se formera dans le nanofil. C'est cette armature intermédiaire qui va, grâce à la présence de multiples charges positives, capter les électrons libres présents autour des noyaux de Fer des molécules de *bis(terpyridine) - Fe^{2+}* et ainsi les oxyder en Fe^{3+} .

D'autre part, V_{GS} étant ramené à $0V$, c'est la charge *moyenne* de la population de molécules, autrement dit la proportion de molécules oxydées par rapport à celles réduites, qui va jouer le rôle d'une grille electro-chimique autour du nanofil semiconduc-

teur, modulant ainsi la tension de seuil de conduction V_T et donc le courant traversant le canal à $V_{GS} = 0$ pour $V_{DS} \neq 0$ (Figure 1.6(b)). Inversement, une différence de potentiel positive de V_{GS} (à V_{DS} faible) réduira les molécules.

La *maigre* littérature dans le domaine nous renseigne que c'est a priori l'amplitude seule du signal appliqué sur la grille qui va déterminer le nombre de molécules réduites ou oxydées, avec pour conséquence une variation du seuil de conduction V_T . Par ailleurs, le comportement en fréquence de ce type de transistor est actuellement inconnu. A l'image de la grille flottante d'un point mémoire flash, la couche moléculaire agit donc comme une grille programmable à effet mémoire.

Cependant, toutes les molécules ne semblent pas réagir de la même façon pour un V_{GS} donné, à V_{DS} faible. La localisation physique des molécules sur le nanofil, la dispersion sur les seuils d'oxydo-réduction de chaque molécule (jusqu'à 300mV de différence), la qualité et l'épaisseur variable des différentes couches de matériaux peuvent expliquer ce phénomène. C'est donc un ensemble de paramètres bien distincts qui permet d'obtenir plusieurs niveaux programmables de courant, avec une différence de conduction *utilisable* par l'électronique de contrôle CMOS. Par exemple, environ 500nA entre chaque état à $V_{DS} = 0.5V$, comme sur la figure 1.6.

1.2.5 Commentaires à propos du transistor NW-FET moléculaire

Ce transistor NW-FET moléculaire, bien que toujours à l'état de prototype de laboratoire, apparaît donc comme un candidat très prometteur pour réaliser un stockage haute densité d'information. Une grande partie de ses caractéristiques physiques et électriques demandent encore du travail (canal moins long, rétention de la charge améliorée, potentiels de contrôle plus faibles,...), mais le principe de base d'utiliser une monocouche moléculaire comme grille-flottante semble bien acquis.

A la lecture approfondie des différentes publications relatives à ce transistor [LFL⁺04] [LHL⁺03] [ZLH⁺03] [LLL⁺04] [LFS⁺04], il semble que le nombre *d'états de charge* ne dépend en fait que de la faculté à les discerner les uns des autres au moment de la phase de lecture. Cela permet de formuler les hypothèses suivantes :

- D'une part, une réduction de la longueur du canal, et donc par conséquence du nombre de molécules greffées sur le nanofil, est envisageable.
- D'autre part, cette réduction physique pourrait *ne pas* s'accompagner d'une dimi-

nution du nombre d'états exploitables du transistor, à la condition que les circuits de lecture et, dans une moindre mesure, d'écriture soient capables de plus de précision.

- Finalement, en poussant encore un peu plus loin le raisonnement, et en prenant pour hypothèse que chaque molécule puisse être *adressable* (par exemple en modulant la tension V_{DS} indépendamment de V_{GS}), le nombre d'états de conduction (Eq.1.1) devrait être égal en théorie, au produit du nombre de molécules greffées par le nombre d'états d'oxydo-réduction de la molécule.

$$\text{Nombre d'état} \leq \text{Nombre de molécule} \cdot \text{nombre d'états d'oxydo-réduction} \quad (1.1)$$

1.3 Les nanotubes de carbone

Superstar médiatique volant la vedette aux autres types de nanofils (Cf. section 1.1 page 9), les nanotubes de carbone (Carbon Nanotube ou CNT) sont devenus en l'espace de quelques années l'emblème de la nano-électronique, tant sur le plan scientifique qu'au niveau de son marketing. Découverts en 1991 par S.Iijima (NEC, Japon), ils sont depuis au centre d'un important effort de recherche, impliquant des chercheurs d'horizons variés tels des chimistes, des physiciens et des électroniciens. Élément supplémentaire révélant le fort potentiel de ce nouveau matériau, des industriels majeurs tels IBM, Infineon (Figure 1.7) ou encore Motorola ont aussi décidé d'investir ce domaine en déployant de gros moyens leur permettant d'être à la pointe au niveau technologique. De part leurs propriétés physiques et électroniques peu ordinaires (figure 1.8), les CNTs apparaissent comme un des *nano* matériaux clés dans les perspectives d'évolution futur de la micro-électronique [AjAD⁺02].

Après avoir décrit les différents types de CNT, détaillé leurs propriétés de transport électronique et présenté plusieurs méthodes de synthèse, nous dresserons un tableau du large domaine d'application de ce nouveau matériau.

1.3.1 Qu'est-ce qu'un nanotube de carbone ?

Le matériau graphite est composé d'une superposition de feuilles d'atomes de carbone organisés en réseau hexagonal plan. Chaque feuille est faiblement liée électroniquement à celle du dessus ainsi qu'à celle du dessous. C'est le principe de base d'une

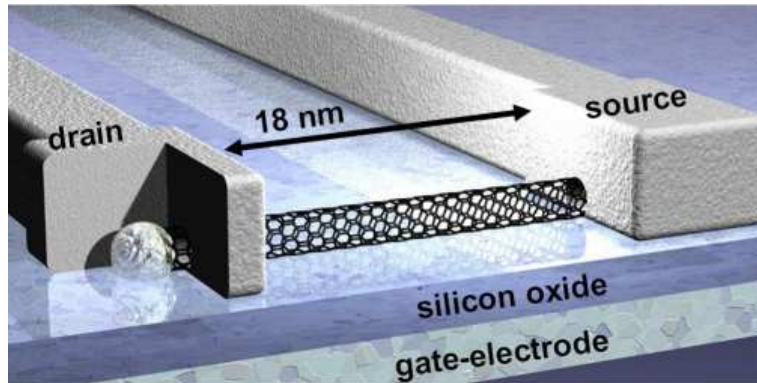


FIG. 1.7 – [SGK⁺05] : Vue d'artiste du plus petit transistor à nanotube au monde par Infineon, son canal mesure seulement 18nm !

Domaine	Propriété	Donnée
Géométrie	Couches	Nanotubes monoparois (SWNTs) ou multiparois (MWNTs)
	Rapport largeur / Longueur	10-1000
	Diamètre	Entre ~0,4nm et 3nm (SWNTs) Entre ~1,4nm et 100nm (MWNTs)
	Longueur	Quelques μm
Mécanique	Module de Young (dureté)	~1 TPa (Par comparaison, fer: 0,2 TPa)
	Résistance à la rupture	45 GPa (Par comparaison, fer: 2 GPa)
	Densité	1,33~1,4 g/cm ³ (Par comparaison, Aluminium: 2,7 g/cm ³)
Electronique	Conductivité	Métallique ou Semi-conducteur
	Densité maximale de courant	~1TA/cm ³ (Par comparaison, cuivre: 1GA/cm ³)
	Emission de champ	Active le phosphore à 1~3V
Thermique	Capacité à dissiper la chaleur	>3kW/mK (Par comparaison, diamant: 2kW/mK)

FIG. 1.8 – Différentes propriétés des nanotubes de carbone

fourniture de bureau très courante; le crayon à papier! En effet, le trait laissé par un crayon n'est autre qu'un ensemble de feuilles de graphite déposées à la surface d'un support. On peut ainsi considérer un nanotube de carbone comme étant une feuille de graphite qui s'est enroulée sur elle-même pour former un tube, éventuellement fermée aux deux extrémités. Cette structure, a priori extrêmement simple, se révèle être très complexe et débouchant sur de multiples usages. Ainsi, la direction de l'enroulement ou chiralité, est structurellement importante, elle détermine en effet les caractéristiques de

la structure électronique du nanotube (figure 1.9).

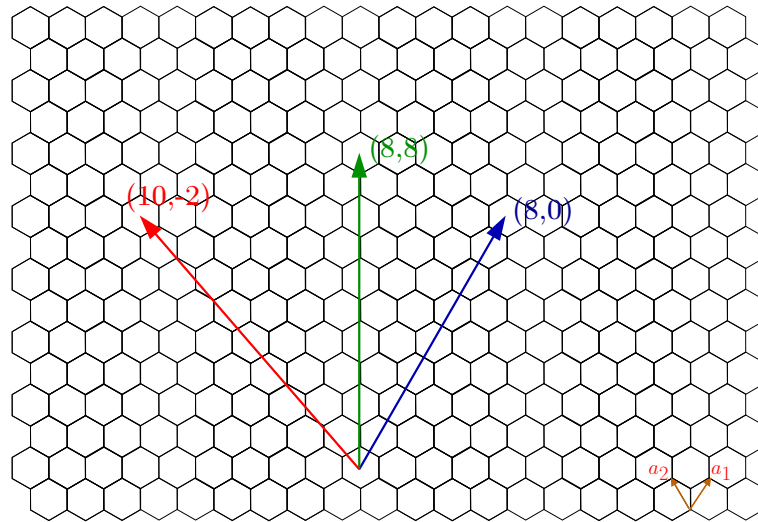


FIG. 1.9 – [Dai02] : Schéma d'une structure de graphite. a_1 et a_2 sont les vecteurs de base du réseau. En enroulant la feuille pour former un cylindre de façon à ce que les deux extrémités d'un vecteur (m,n) du réseau se rejoignent, on obtient un nanotube (m,n) . Les indices m et n déterminent le diamètre du nanotube et sa chiralité. Cette dernière désigne le motif d'arrangement formé par les atomes de carbone constituant le CNT

Les nanotubes définis par une seule feuille de graphite sont appelés *monoparois* ou *Single Wall NanoTubes* (SWNTs), alors que ceux désignés par le terme *multiparois* ou *Multi Wall NanoTubes* (MWNTs) sont composés de plusieurs SWNTs coaxiaux, chacun pouvant être de chiralité différente.

D'un diamètre moyen de 1.4nm (mini 0.4nm), les SWNTs (fig.1.11(a)) sont souples, ils supportent le fait d'être tordus ou aplatis et ils peuvent, dans une certaine mesure, s'allonger sans casser. Leur production est plus difficile comparée à celle des multiparois. Ces derniers (fig.1.11(b)) sont constitués d'une multitude de couches (près de 50 pour le maximum constaté), chacune d'elles pouvant être de chiralité différente. Les MWNTs contiennent beaucoup plus de défauts que les monoparois, ce qui a pour effet de diminuer leurs propriétés, dont le tableau de la figure 1.8 rappelle quelques valeurs caractéristiques. Dans les deux cas, les longueurs observées expérimentalement peuvent aller jusqu'à quelques centaines de microns.

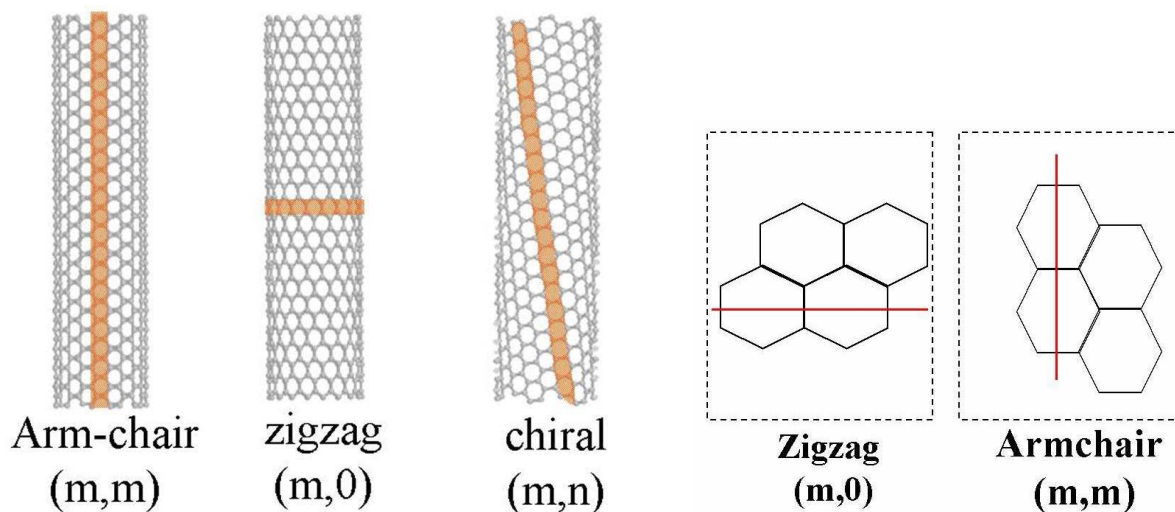


FIG. 1.10 – Structures possibles d'un CNT (droite) Il existe une multitude de motifs possibles, les deux principaux étant le zigzag (m,0) et l'armchair (m,m). Les autres structures présentant des colonnes d'hexagone en spirale autour de l'axe du nanotube sont dites chirales (gauche) Sur le NT Zigzag, le motif est horizontal, sur le NT Armchair le motif est vertical

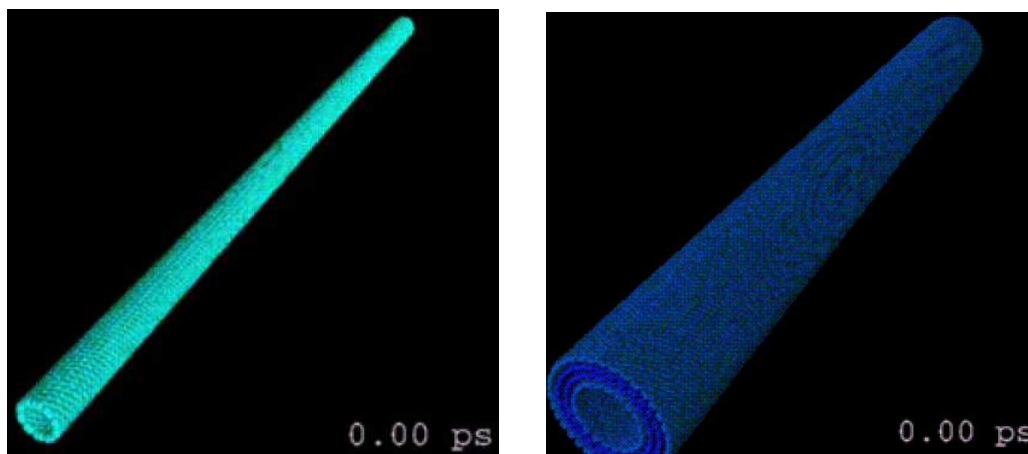


FIG. 1.11 – [PH03] : (droite) Modélisation d'un nanotube monoparoï (gauche) Modélisation d'un nanotube multiparoï

1.3.2 Propriétés électriques

Une caractéristique des nanotubes de carbone est l'extrême sensibilité de leurs propriétés électroniques à la chiralité de leur structure. Un SWNT peut être métallique, semi-conducteur, à grand ou petit gap, suivant les valeurs des paramètres structuraux

(m,n).

Ainsi un nanotube arm-chair (Figure 1.10) est métallique, et les nanotubes dont les paramètres (m,n) respectent la condition $m - n \neq 3 * p$ où p est un entier, sont de type semi-conducteur.

La principale difficulté aujourd'hui identifiée expérimentalement est que la qualité des contacts avec les électrodes est primordiale. En particulier, les nanotubes métalliques peuvent être considérés comme des fils quantiques présentant des comportements électriques différents en fonction de la nature des contacts des électrodes utilisées.

- Dans le cas d'une grande résistance de contact, c'est à dire plus importante que la résistance quantique ($R_C \gg R_Q = \frac{h}{2e^2}$), le nanotube forme une barrière tunnel avec les contacts. A basse température, on observe les phénomènes de blocage de coulomb, dans ce régime le transport électronique s'effectue électron par électron, l'aspect particule de ceux-ci est prépondérant. A haute température, le nanotube présente un comportement de liquide de Luttinger, c'est à dire que la conductance d'un CNT métallique varie comme une fonction puissance avec la température ou la tension appliquée [MB99].
- Dans le cas de contacts électriques parfaits, c'est à dire une résistance de contact faible, un nanotube sans défaut présente en théorie une résistance valant la moitié du quantum de résistance, soit une résistance dans le transport balistique de $6,45K\Omega$. Dans un tel régime, le nanotube ne dissipe pas de chaleur, les électrons n'étant pas arrêtés par le milieu traversé. Cette caractéristique en font de bons candidats pour l'implémentation de fils moléculaires.

En ce qui concerne les nanotubes multiparois, il semble que la conduction soit majoritairement assurée par le nanotube externe.

Les défauts dans le réseau structurel d'un nanotube modifient fortement ses propriétés électriques. Quelles sont la nature et la position exactes de ces défauts? Quelles sont leurs relations avec les propriétés de transport? Ce sont des questions auxquelles tente de répondre la communauté scientifique, en abordant le problème, par exemple, par l'approche de la simulation numérique et du calcul ab-initio [JK01].

Les nanotubes monoparois semiconducteurs présentent un comportement transistor à température ambiante. Leur conductance peut ainsi varier de plusieurs ordres de grandeur sous l'effet d'une tension de grille. C'est pourquoi un important effort de recherche porte actuellement sur la réalisation de transistors hautes performances de type FET à base de nanotubes de carbone.

1.3.3 Procédés de Synthèse : *arc-discharge*, *laser-ablation* et *déposition par vapeur chimique*

Les principales techniques de fabrication des NT mono et multiparois sont les méthodes *arc-discharge*, *laser-ablation* et la *déposition par vapeur chimique* (CVD). Cependant, la synthèse de SWNTs nécessite des conditions plus drastiques ainsi qu'un très haut niveau de contrôle, ce qui rend leur obtention beaucoup plus difficile.

Lors de la fabrication par *arc-discharge* [CJ97], un arc électrique est généré entre deux électrodes sous une atmosphère de gaz neutre (hélium, argon). Ces deux électrodes, la cathode et l'anode, sont des bâtons de graphite présentant un orifice rempli d'un mélange de catalyseur métallique (Fer, nitrate) et de poudre de graphite. La synthèse est rapide (2mn), ce qui rend ce procédé moins coûteux et plus rapide que celui dit par *laser-ablation*. Ce dernier, présentée dans [AT96], est similaire à la précédente méthode, exception faite de l'utilisation du laser pour évaporer le carbone.

Chacun des deux procédés conduit à la synthèse d'un grand nombre de nanotubes entremêlés et mélangés à des impuretés, ce qui complique très sérieusement les étapes de purification. Bien que ces méthodes mettent en jeu des températures très élevées, supérieures à 3000°C, elles ont l'avantage d'avoir un très bon rendement (70%) vis-à-vis de la quantité de graphite introduite.

Dernière méthode décrite, la synthèse par dépôt en phase vapeur, ou CVD [HD96], consiste en la décomposition par catalyse d'un hydrocarbure dans un four entre 500 et 1200°C. Lors du refroidissement du système, la croissance des nanotubes s'effectue sur des catalyseurs, qui sont généralement des nano-particules de fer, de nitrate ou de cobalt. Se déroulant le plus souvent sur une surface d'oxyde d'aluminium poreux, cette technique permet d'obtenir des NTs alignés (Figure 1.12).

Les trois méthodes décrites ne permettent pas de maîtriser la chiralité des NTs syn-

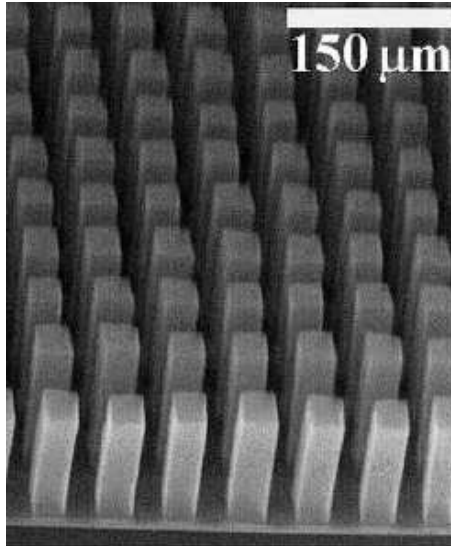


FIG. 1.12 – [Dai02] : Image au MEB d'un réseau de MWNTs. Chaque *tour* est un paquet de MWNTs orientés perpendiculairement à la surface.

thétisés, autrement dit, il n'est pas aujourd'hui possible de choisir la propriété électrique du NT. Par conséquent, une étape de tri post-fabrication doit être réalisée pour distinguer les NTs semiconducteurs des NTs métalliques. Une méthode assez répandue utilise la pointe de microscope à force atomique (Atomic Force Microscope ou AFM), d'autres procédés de tri existent, comme par exemple la *destruction constructive* [HTA04], qui consiste à détruire dans un bouquet de SWNTs ceux qui sont métalliques, permettant ainsi de ne garder que les NTs semi-conducteurs.

Suggéré précédemment, l'intégration des NTs dans un circuit, permettant par exemple de le caractériser, est une étape distincte de la synthèse. C'est à dire qu'il faut passer par plusieurs étapes complexes pour pouvoir tester expérimentalement un circuit, en commençant d'abord par fabriquer les nanotubes, puis par les trier, pour pouvoir enfin les déposer au bon endroit sur un wafer. C'est pourquoi une partie de la recherche actuelle dans le domaine se focalise sur la synthèse *in situ* de nanotubes de carbone, permettant en un seul procédé de faire croître les NTs localement sur le circuit (figure 1.13) [YT04].

Une approche encore plus exotique pour faire croître des NTs *in situ* est proposer par Braun et al. de l'institut de technologie à Haïfa, Israël. L'idée est de placer préci-

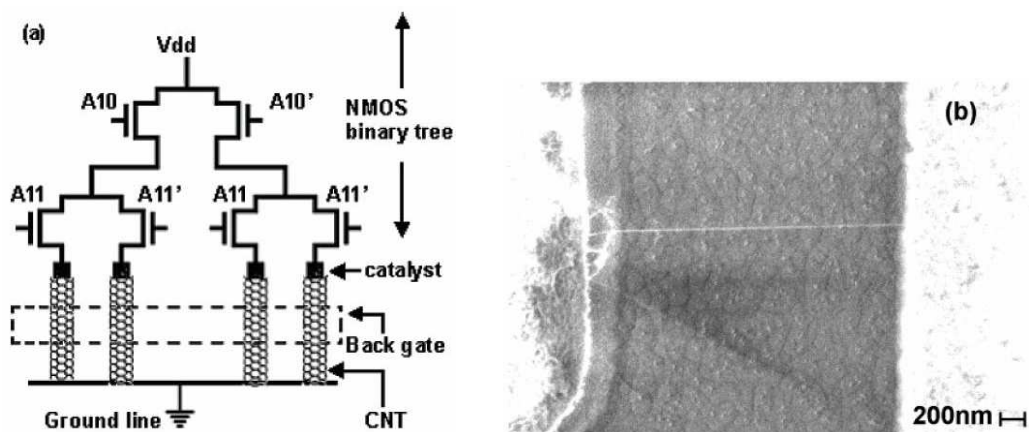


FIG. 1.13 – [YT04] : (a) schéma d'un décodeur CNT, (b) image au MEB d'un CNT entre 2 électrodes

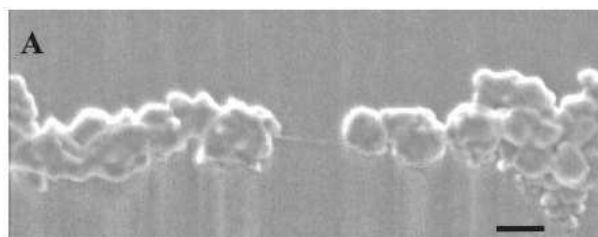


FIG. 1.14 – Image au MEB d'un SWNT contacté par des fils d'or auto-assemblés sur de l'ADN [KBB⁺03]

sement les nanotubes par auto-assemblage en utilisant des brins d'ADN (Figure 1.14 [KBB⁺03]).

L'opération s'effectue sur un wafer de silicium couvert d'oxyde. Un brin d'ADN synthétique posé en surface code une information sur la destination précise du nanotube. Ce nanotube, convenablement fonctionnalisé en solution, s'apparie au brin d'ADN par l'intermédiaire de procédés mettant en jeu d'autres brins d'ADN et des protéines. Enfin, les extrémités sont contactées avec de l'or qui s'auto-assemble sur le brin d'ADN fonctionnalisé par de l'argent.

Finalement, bien que plusieurs scénarios crédibles soient avancés et que différentes techniques de synthèse existent, la compréhension et la maîtrise du processus de croissance n'en sont encore qu'à leurs balbutiements. Pour plus de précisions sur ces méca-

nismes complexes, le lecteur pourra se référer à [LD03] et [Pop04].

1.3.4 Les nanotubes de carbone appliqués à la micro-électronique

1.3.4.1 Les transistors FET à base de nanotubes : CNTFET

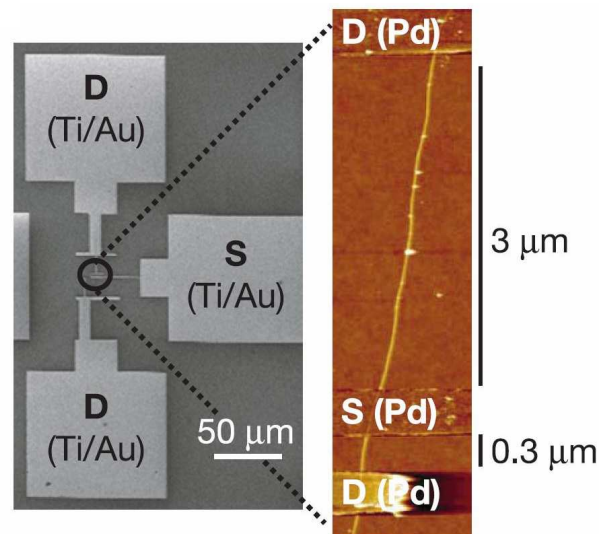


FIG. 1.15 – [JGW⁺03] : Transistor CNT, image au MEB (droite), à l'AFM (gauche)

Généralement plus performant, les transistors à base d'un ou plusieurs nanotubes monoparois constituant le canal sont aussi plus difficiles à réaliser. La fabrication d'un tel transistor peut s'effectuer de la manière suivante ; Les électrodes sont d'abord gravées sur le substrat, avant que des nanotubes en solutions ne soient dispersés sur la surface. Ensuite, généralement à l'aide d'une pointe AFM, ils sont choisis et correctement positionnés [VD01] [BHND01]. Le nanotube utilisé comme canal conducteur, c'est le substrat en face arrière qui assure le potentiel électrique de grille.

Les transistors utilisant un nanotube semi-conducteur comme canal sont toujours de type p par défaut. On suppose que ceci est dû à une réaction de l'oxygène de l'air avec les contacts métal-nanotube, contrôlant ainsi l'injection des porteurs de charge dans le dispositif [Avo02b].

Une technique pour obtenir des transistors de type n consiste à doper chimiquement

le nanotube. Avouris et al. d'IBM Research à New York, propose un autre procédé consistant en un recuit du transistor dans un environnement vidé d'air [VD01].

Cependant, quelle que soit la méthode, cette transformation n'est pas définitive, une fois exposé à l'air, le transistor redevient de type p. Une solution consiste alors à encapsuler le transistor sous un film isolant [VD01]. La figure 1.16 montre une porte logique inverseur, constituée d'un même CNT ayant une partie p et une partie n servant de canal pour deux transistors, la partie exposée ayant été dopée au potassium [VD01].

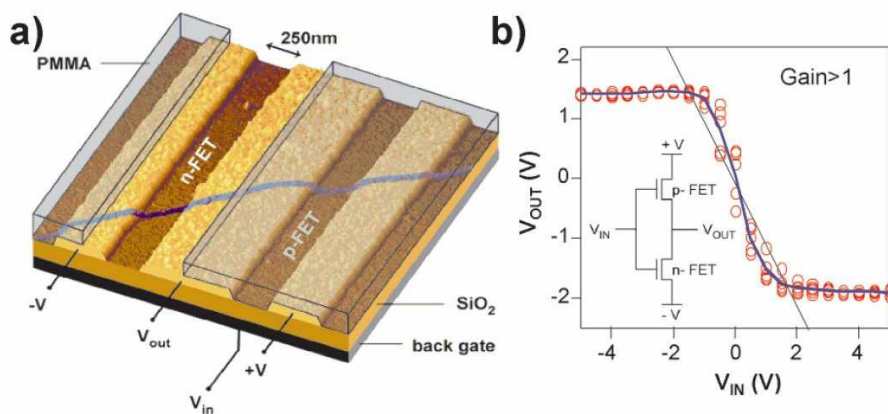


FIG. 1.16 – [VD01] : (a) image AFM d'un inverseur à CNTFET, (b) caractéristique mesurée

Afin d'améliorer les caractéristiques électriques des transistors, les contacts électrodes-nanotubes doivent être améliorés. En utilisant des électrodes de palladium, Daï et al. propose une solution pour réduire les barrières Schottky au contact métal-nanotube semiconducteur dans un transistor constitué d'un nanotube monoparoï [JGW⁺03].

D'autre part, toujours dans un but applicatif type transistor, Martel et al. a démontré l'utilisation de nanotubes métalliques dans la fabrication de transistors à peu d'électron (SET) [Mar03].

1.3.4.2 Point mémoire électro-mécanique

Soumis à un potentiel électrique, un nanotube suspendu entre deux électrodes aura tendance à se courber. La mémoire électro-mécanique de la start-up Nantero (Fig.1.18)

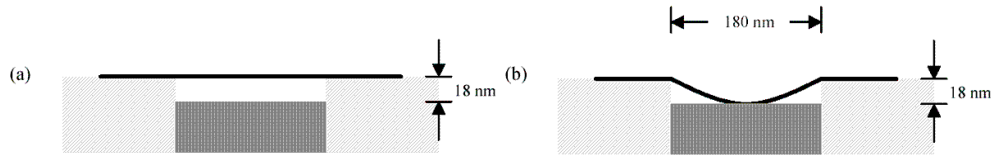


FIG. 1.17 – Interrupteur électro-mécanique à base de nanotube présentée par Nantero [Pau04]. (a) position OFF (b) position ON

exploite cette propriété en disposant sous chaque colonne de nanotubes suspendus, une ligne jouant le rôle de contre-électrode. La distance entre les deux électrodes est de 180nm et la distance entre les nanotubes et la contre-électrode est de 18nm [JMB⁺04].

Une fois courbé, un paquet (*fabric*) de nanotubes en contact réalise la mémorisation d'un 1 (Fig.1.17(a)). Inversement, en appliquant le même potentiel à la fois aux nanotubes et à la contre-électrode le paquet de nanotubes se déconnectera et l'information sera lue comme étant un 0 (Fig.1.17(b)). Le rapport R_{ON} sur R_{OFF} est d'environ 10^3 . Ces états étant non-volatiles et théoriquement insensibles aux radiations et rayonnements de type *alpha* et *gamma* induisant des *bit-flips* dans les mémoires électroniques conventionnelles, cette architecture de mémoire très haute densité et faible consommation devrait être extrêmement attractive pour les applications nécessitant un très haut niveau de fiabilité [RKJ⁺00] [Pau04].

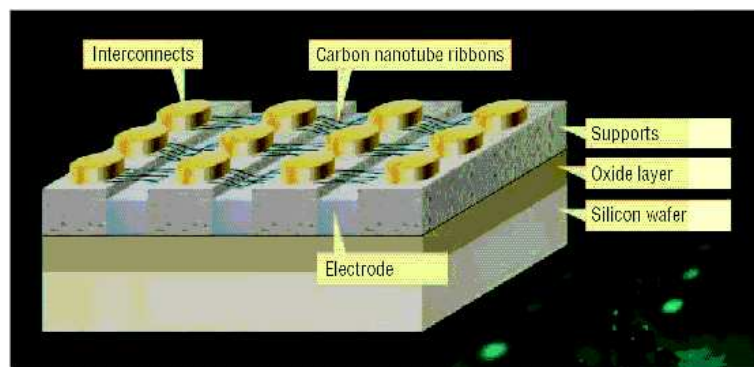


FIG. 1.18 – Mémoire électro-mécanique NRAM à base de nanotube présentée par Nantero [Pau04]

1.3.4.3 Système Nano-électro-mécanique (NEMS)

Les systèmes nano-électro-mécanique ou NEMS font partie d'un nouveau domaine de recherche dont la croissance et le potentiel applicatif ne cessent de s'accroître. L'idée de base derrière le concept de NEMS est l'utilisation du fort couplage électromécanique qui existe entre les dispositifs à l'échelle nanométrique, où les forces de Coulomb engendrées par l'activité du composant sont comparables en force aux liaisons chimiques. De part leurs propriétés chimiques, physiques et électroniques, leurs poids et dimensions réduites et leurs rigidités exceptionnelles, les nanotubes de carbone sont d'excellents candidats pour la réalisation de NEMS.

Théoriquement, ces nano-systèmes à base de nanotubes pourraient avoir une fréquence de fonctionnement dans la gamme du Gigahertz ⁴ qui les rendraient extrêmement attractif pour un grand nombre d'applications. Plusieurs prototypes de NEMS à base de nanotubes de carbone ont déjà été démontrés, comme des nano-pinces (figure 1.19) [KL99] [Nos01], une mémoire type RAM présentée ci-dessus (section 1.3.4.2), et différents types de capteurs [ZCB⁺00] [ASP⁺01].

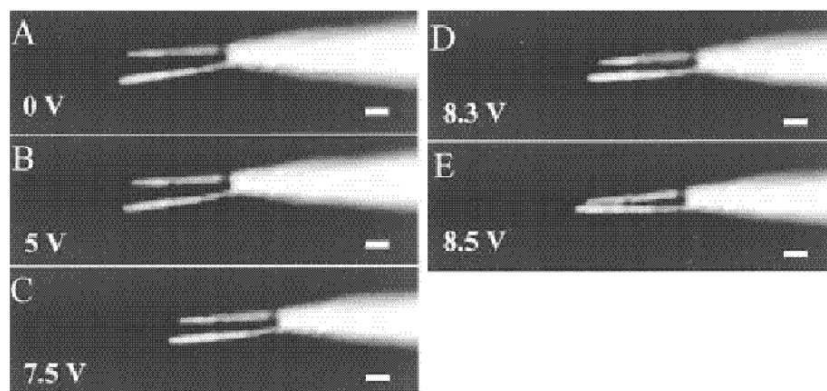


FIG. 1.19 – Degré d'ouverture (en fonction d'une différence de potentiel) d'une nano-pince à base de nanotubes de carbone permettant la manipulation d'objet à l'échelle moléculaire [KL99]

Récemment, par l'utilisation de nanotubes multiparois, un dipôle de type interrupteur ainsi qu'un tripôle de type relais (figure 1.20) ont été étudiés théoriquement et expérimentalement [LLM⁺04]. L'étude a montré que le nano-relais pouvait théorique-

⁴La fréquence du gigahertz est compatible avec les nanotubes de diamètres $5nm$ et de longueurs de l'ordre de $100nm$

ment jouer le rôle d'interrupteur dans la gamme de fréquence du GHz, ouvrant ainsi de large perspective d'application dans les domaines de la logique, des mémoires, des générateurs d'impulsion et des amplificateurs de courant ou de tension. [LLM⁺04] présente le premier nano-relais à base de MWCNT et mesure expérimentalement le courant source-drain en fonction de la tension de grille.

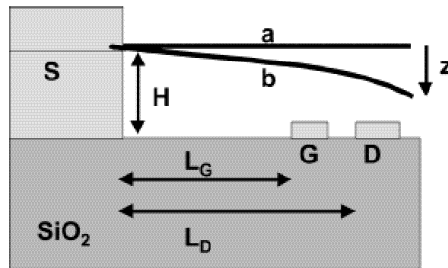


FIG. 1.20 – [LLM⁺04] : Schéma de principe du nano-relais. Le système comprend un nanotube multiparois tenu par une électrode de source (S), suspendu au dessus d'une grille (G) et d'une électrode de drain (D). $H = 150\text{nm}$, $L_G = 1\mu\text{m}$, $L_D = 1.5\mu\text{m}$.

1.3.4.4 Autres applications

Pour plus de précision, le lecteur pourra en partie satisfaire sa curiosité en se référant à une publication relativement complète synthétisant les aspects théoriques et expérimentaux de l'électronique et de l'opto-électronique à base des nanotubes de carbone [HTA04].

Émission de lumière Les nanotubes peuvent être utilisés comme d'excellentes sources de photons, réalisant par exemple, de minuscules diodes électroluminescentes (figure 1.21), permettant même d'envisager de l'interconnexion optique sur puce. Une méthode pour générer des photons consiste à utiliser la propriété d'ambipolarité d'un nanotube de carbone semiconducteur structurellement parfait. En maintenant le transistor dans un état bloqué suivant la condition $V_G = \frac{V_D}{2}$, cela conduit à injecter la même quantité d'électrons au niveau de l'électrode de source que de trous au niveau de l'électrode de drain. De cette manière ils se recombinent dans le canal de conduction en émettant des photons. Il a été démontré que la position de recombinaison peut être précisément contrôlée par le potentiel de grille. Cette approche a été réalisée expérimentalement par

Bell Labs et par IBM [HTA04].

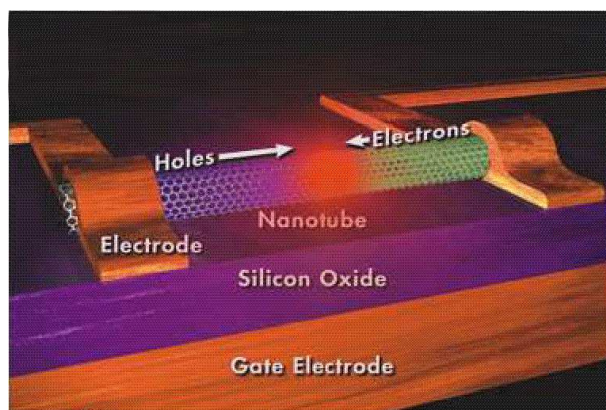


FIG. 1.21 – [HTA04] : Vue d'artiste d'une source de lumière à partir d'un simple nanotube de carbone.

Émetteurs à effet de champ pour écrans plats [Dij06] Les structures classiques pour faire de l'émission de champ (Field Emission Device ou FED) sont les structures diodes où les émetteurs sont au potentiel de la cathode qui est disposée en regard d'une électrode polarisée positivement : l'anode (figure 1.23(droite)). Ce dispositif très simple n'est pas bien adapté pour faire des dispositifs utilisant l'émission de champ comme des écrans. En effet, le champ d'extraction qui est imposé par une électrode assez éloignée nécessite l'application de forts potentiels, ce qui pose des problèmes de commutation. Samsung a présenté en 1999 un prototype d'écran couleur de 9" de diagonal (576x242 pixels) utilisant cette technique FED [Cho99], figure 1.22.

De manière à contourner les différents problèmes liés à l'utilisation de potentiels très élevés, la structure alternative est une structure triode (figure 1.23(gauche)). Dans ces conditions, les électrons sont extraits au moyen d'un champ appliqué par une grille, cette grille proche de l'émetteur permet d'appliquer des tensions beaucoup plus basses par rapport au FED pour obtenir un courant d'émission. Les électrons sont accélérés par le champ de l'anode.

Une structure triode originale basée sur des *paillasons* de nanotubes compatible avec une réalisation grande surface a été mise au point au LETI. La figure 1.24 la décrit et précise son intégration dans un sous-pixel d'un écran-plat.

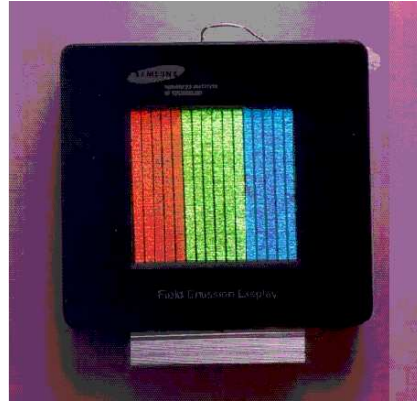


FIG. 1.22 – L'écran couleur 9" de Samsung à base de nanotube [Cho99]

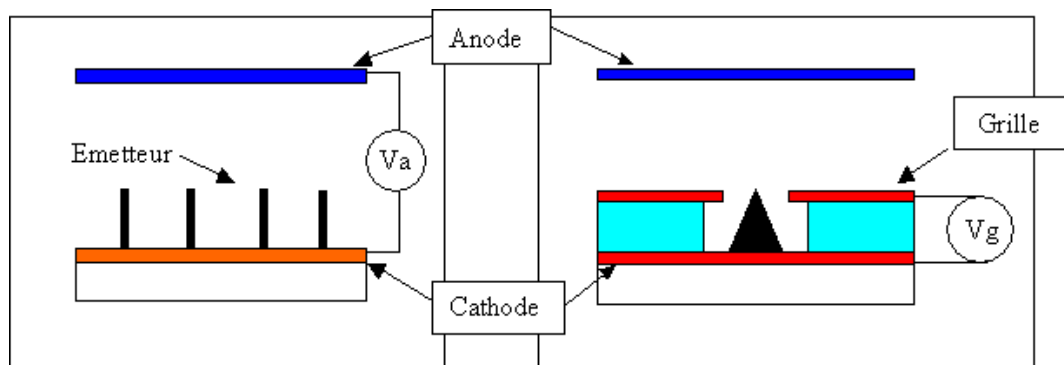


FIG. 1.23 – [Dij06] : (gauche) Structure diode à effet de champ. Le champ appliqué au sommet de l'émetteur est $F_{app} = \frac{V_a}{d}$ où d est la distance anode-cathode (typiquement $1mm$). (droite) Structure triode à effet de champ. Le champ appliqué au sommet de l'émetteur est proportionnel à $\frac{V_g}{a}$ où a est le rayon du trou de grille (typiquement $1\mu m$).

Cette structure se compose d'un premier niveau métallique constituant les colonnes de l'écran et représentant les conducteurs cathodiques. Un deuxième niveau métallique est déposé sur la couche d'isolant pour réaliser les grilles qui constituent les lignes de l'écran. Au centre, on réalise avec un troisième masque des plots de catalyseurs de $5\mu m$ par $10\mu m$ sur lesquels viendront croître les nanotubes. Cette structure est simple et facile à réaliser car elle ne comporte aucun motif ayant une forte résolution.

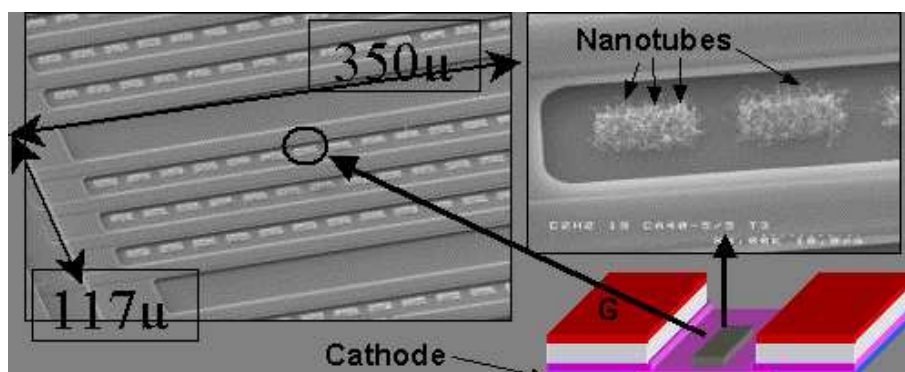


FIG. 1.24 – [Dij06] : Vues au MEB de la structure triode. A gauche, vue d'un sous pixel couleur avec les plots de CNT entre les grilles. A droite, détails des plots de nanotubes entre les grilles.

Capteur à nanotubes La résistance électrique d'un nanotube de carbone mono-paroi semiconducteur (SWCNT) change de manière relativement importante une fois immergé dans un environnement gazeux contenant certaines molécules réagissant avec le nanotube. Cette propriété inhabituelle le rend intéressant comme minuscule capteur chimique à bas coût, la mesure de sa conductance entre deux électrodes étant suffisante [Kon00]. Les domaines d'application de ce type de capteur vont, par exemple, de l'analyse médicale au contrôle de la qualité de l'air d'un environnement.

Stockage d'hydrogène Une autre propriété surprenante des nanotubes de carbone réside dans leur capacité à absorber de grandes quantités d'hydrogène. Le groupe de recherche du National Renewable Energy Laboratory a démontré que les SWCNT étaient capables de stocker une densité d'hydrogène de 63 kg/m^3 [Fuh02] à température ambiante et à pression atmosphérique. Plus récemment, 200 cycles d'absorption et de dés-absorption ont été démontrés pour une température de 160°C et à des pressions de 35 atm (absorption) et 0.25 atm (dés-absorption) [ZD05]. Ces avancées pourraient permettre de créer de nouvelles générations de *réservoirs* d'hydrogène dans le domaine de l'automobile.

1.4 Les molécules

Dans la section suivante, le terme de *molécules* désigne les molécules *inorganiques*, par opposition aux molécules *organiques* composées d'atomes de carbone, d'oxygène ou d'hydrogène.

Les molécules en tant que composants à part entière et non pas seulement en tant que matériau font aussi partie de l'intense effort de recherche actuelle visant une nouvelle fois à miniaturiser et à intégrer toujours plus de dispositifs.

Cette ultime forme de composants miniatures fait partie d'un domaine d'où pourrait émerger une réelle innovation et des changements radicaux, en rupture avec la microélectronique actuelle. L'information, le calcul et le transport pouvant être imaginé comme étant des phénomènes chimiques, électroniques, magnétiques ou encore mécaniques, leur fabrication étant généralement des procédés de synthèse chimique en lieu et place des techniques de lithographie optique. La synthèse de molécules n'est pas un domaine nouveau et les différentes industries dans le domaine (pharmaceutique, pétro-chimique, . . .) démontrent chaque jour un peu plus la maîtrise des techniques et des procédés, mais c'est seulement au cours de la dernière décennie que certains ont imaginé les utiliser pour faire du *traitement de l'information*.

Les domaines d'application sont variés ; des interrupteurs électro-mécaniques [LCJ⁺02] permettant, par exemple, de réaliser des mémoires [CJO⁺03], des réseaux d'interconnexions configurables [HHDT03], des zones de stockage de charge électronique pour transistors à effet de champs [LFL⁺04] ou encore, plus ambitieux, du calcul intra-moléculaire [SFJ03]. Cette liste n'est évidemment pas exhaustive et la recherche actuelle dans ce domaine est d'une extrême richesse imaginative et réserve souvent des surprises d'un point de vue de microélectronicien. Certains aspects rendent ces molécules très attractives en vue d'une intégration hybride (CMOS-molécules) dans les 5 à 10 ans à venir. Nous résumons ci-dessous quelques unes de leurs propriétés et applications originales.

1.4.1 Negative Differential Resistance (NDR) [HHDT03]

Le phénomène de résistance différentielle négative (Figure 1.25) permet de réaliser des portes logiques comme l'inverseur, le NAND et le XOR qui sont les opérateurs essentiels à l'écriture d'équation logique d'état. En logique mathématique, les opérateurs

d'une proposition composée sont AND, OR, NOT, implication et bi-conditionnel. Un ensemble *fonctionnellement complet* d'opérateurs logiques est un ensemble d'opérateurs où chaque proposition composée est logiquement équivalente à une autre proposition composée utilisant seulement les opérateurs de l'ensemble en question. Toute fonction logique générant inversion, AND, OR est dite fonctionnellement complète. Par exemple, NAND est fonctionnellement complète car $\text{NOT}(X) = \text{NAND}(X,1)$ et $\text{AND}(X,Y) = \text{NOT}(\text{NAND}(X,Y))$. De la même manière, AND et XOR sont fonctionnellement complet car $\text{NOT}(X) = \text{XOR}(X,1)$. Le phénomène de résistance négative a été démontré pour plusieurs types de molécules, comme la nitrobenzene [CRRT99] ou la nitroaniline, cette dernière est utilisée dans la proposition d'architecture Nanocell (section 2.1 p.40).

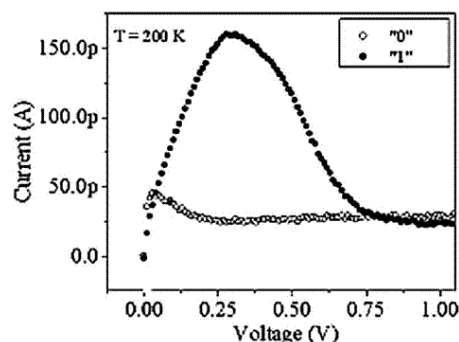
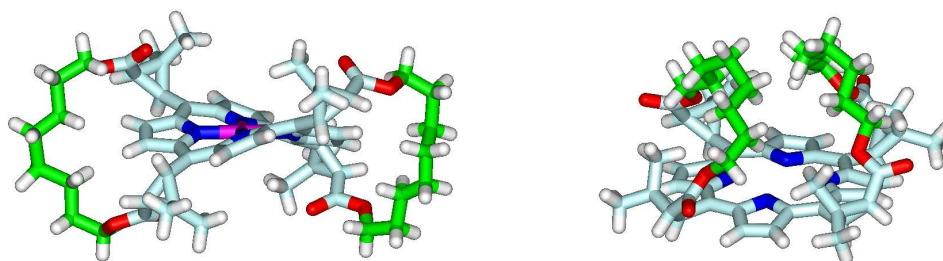


FIG. 1.25 – [HHDT03] : Caractéristique courant tension d'une molécule de nitroaniline démontrant dans son état '1' une résistance négative.

1.4.2 Conformation géométrique bistable

Marchon et al. ont montré dans [MRI⁺99] qu'une nouvelle molécule de la famille des méso-porphyrines substituées présentait la particularité de pouvoir changer de conformation géométrique en fonction de l'état de charge des couches électroniques de son atome central métallique. L'idée est alors de rendre *commandable* cette conformation de manière électronique.

De la même manière, la molécule synthétique de [2]rotaxane est constituée d'un anneau se déplaçant longitudinalement le long d'un axe entre deux plots (Figure 1.27). Sa conductivité dépend de la position de l'anneau et du sens du courant, l'assimilant électriquement à une diode en série avec un interrupteur. Le déplacement de l'anneau peut être la conséquence d'un phénomène chimique (acide/base) ou d'un phénomène

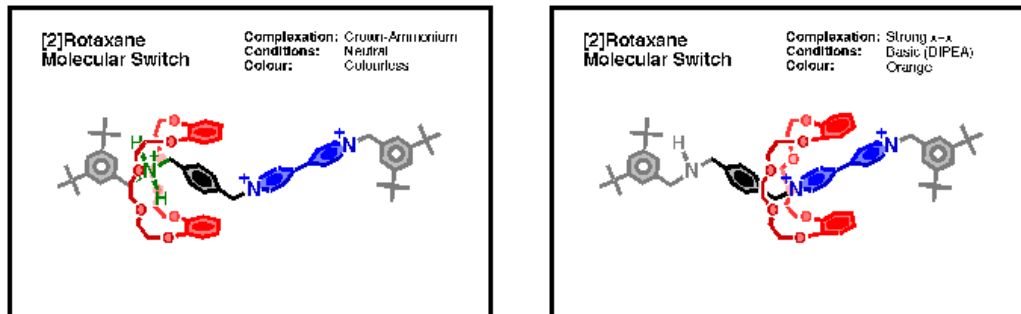


(a) Conformation de la porphyrine à hance ouverte

(b) Conformation de la porphyrine à hance fermée

FIG. 1.26 – [MRI⁺99] : Meso-porphyrine substituée changeant de conformation géométrique en fonction du nombre d'électrons libres du noyau central

électro-chimique (oxydo-réduction), dans le cas d'une rotaxane fonctionnalisée.



(a) Rotaxane comme interrupteur ouvert

(b) Rotaxane comme interrupteur fermé

FIG. 1.27 – [LCJ⁺02] [J.F] : Interrupteur électrique à commande électro-mécanique à base de molécule de rotaxane.

Cette molécule a été utilisée dans des travaux (controversés [SOB⁺04]) présentés par Hewlett-Packard [CJO⁺03] (cf. section *Le crossbar moléculaire* page 74) qui décrivent la fabrication et la mise en œuvre fonctionnelle d'un circuit à base d'électronique moléculaire comprenant une monocouche de [2]rotaxane prise en sandwich entre deux réseaux de nanofils semiconducteurs.

Cette liste de molécule, à conformation géométrique commandable, n'est évidemment

pas complète, d'autres molécules comme la [2]catenanes, composée de deux anneaux imbriqués, intéressent grandement les chercheurs qui voient en elle la possibilité de réaliser des nano-moteurs moléculaires (Figure 1.28).

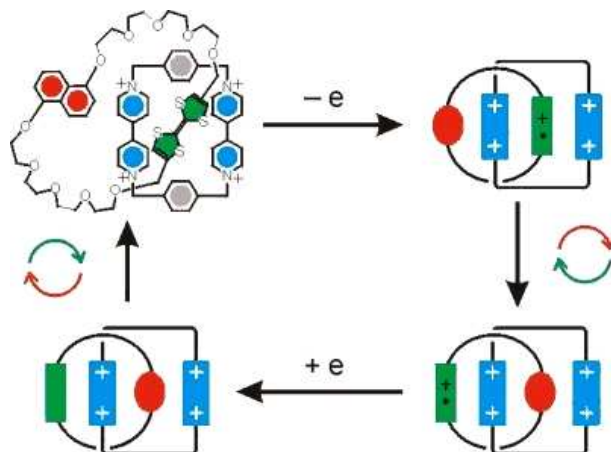


FIG. 1.28 – Molécule de catenane composée de deux anneaux imbriqués pouvant tourner l'un autour de l'autre

1.4.3 Multiples états d'oxydo-réduction [LFL⁺04] [RD⁺00]

L'existence de différents états de charge pour des niveaux de tensions distincts, permet d'envisager l'utilisation de telles molécules dans des architectures de mémoires à stockage de charge comme c'est le cas aujourd'hui avec les DRAM (section 3.1) ou les FLASH (section 3.3).

Dans [LMG⁺04] est détaillée une stratégie pour augmenter la densité d'intégration d'une mémoire en utilisant une approche multivaluée où la cellule de stockage de charge est constituée de molécules (porphyrines et férocènes) ayant plusieurs états d'oxydo-réduction. En combinant ces deux molécules, les potentiels caractéristiques d'oxydation de la férocène et de la porphyrine sont conservés, ce qui permet de distinguer 4 états (neutre, et les trois autres états d'oxydation cationique de la férocène et de la porphyrine, la figure 1.29 l'illustre).

Finalement, [LFL⁺04] propose un transistor à grille flottante où le stockage de charge s'effectue dans une monocouche de molécules de terpyridine assemblée sur un nanofil

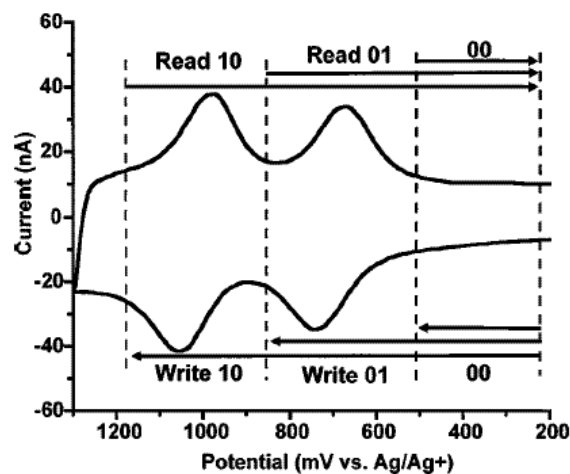


FIG. 1.29 – Voltamétrie cyclique (100 V s^{-1}) d'une monocouche auto-assemblée (Self Assembled Monolayer ou SAM) de porphyrine [RD⁺00]

semiconducteurs. Jouant sur l'état d'oxydo-réduction de la population de molécules, 8 états sont discernables expérimentalement. Nous l'avons présenté plus en détail dans la section 1.2.

1.4.4 Calcul intra-moléculaire [SFJ03]

Utilisant les propriétés spécifiques du transport électronique à l'intérieur même d'une structure moléculaire, un nouveau concept de composant a été présenté dans [SFJ03]. Le principe repose sur la prise en compte de l'influence qu'a la symétrie sur la transmission d'électron dans une structure aromatique de type π -conjuguée. Autrement dit, le transport par effet tunnel est fonction de la géométrie de la molécule, ce qui est utilisé pour coder, et donc stocker, une information.

[SAJF04] étend le concept au traitement de l'information en proposant une implémentation permettant de construire des portes logiques de type XOR et AND, qui, une fois combinées, permettent de réaliser *intra-moléculairement* un demi-additionneur au sein d'une seule et même molécule connectée entre trois électrodes.

La principale difficulté pour simuler l'utilisation des molécules dans des circuits complexes de traitement de l'information est qu'il n'existe pas de méthodologie ou de

modélisation appropriée. Il est aujourd'hui très difficile de pouvoir faire des mesures électriques reproductibles *d'une seule* molécule, les physiciens et chimistes mesurant généralement les propriétés d'un ensemble de molécules. Du côté de la simulation, l'approche *ab-initio* qui consiste à partir des équations physiques et de la géométrie des molécules est probablement la meilleure, même s'il est vrai que les temps et les ressources de calculs gigantesques nécessaires brident encore la recherche dans ce domaine. Par ailleurs, beaucoup de travail théorique au niveau de la compréhension des phénomènes en jeux reste à accomplir.

Finalement, bien qu'encore marginal, ce domaine du traitement de l'information au sein même de molécules plus ou moins complexes, est sans aucun doute une approche très prometteuse. Elle pourrait conduire, à la condition que les collaborations entre les chimistes, les physiciens et les électroniciens s'intensifient et se généralisent, à de très grandes avancées, en ruptures, à la fois avec les méthodes de conception, mais aussi avec les paradigmes de calculs actuels.

Chapitre 2

Les architectures de l'électronique moléculaire

A la lecture du chapitre 1 présentant un tour d'horizon de la diversité des nouvelles *briques de base* de l'électronique moléculaire, la silhouette du futur nano-composant qui sera le plus utilisé d'ici deux ou trois décennies n'apparaît pas vraiment clairement. Les limitations des circuits et architectures actuelles sont aussi en question.

Depuis plus de 50 ans, nous avons basé la plupart, si ce ne sont pas l'ensemble, des architectures d'ordinateurs sur le modèle de Von Neumann, inspiré par le modèle théorique d'Alan Turing au cours de la première moitié du XX^{me} siècle [vN37]. Quelques récents changements de stratégie technologique¹²³⁴ et marketing⁵⁶ d'acteurs majeurs de la microélectronique laissent à penser qu'effectivement, nous sommes bien en train d'atteindre les limites des architectures de calcul d'aujourd'hui.

Cependant, ces limitations sont aussi une chance pour prendre en compte, explorer et évaluer encore plus intensivement d'autres paradigmes de traitement de l'information comme le calcul quantique et les réseaux de neurones, ou plus innovant, comme les

¹Intel abandonne l'architecture de ce qui devait être le Pentium V

²Baisse des fréquences des processeurs x86 au profit d'architectures plus efficaces comme le Pentium-M, virtualisation, intégration de plusieurs cœurs sur une même puce

³Le processeur G5 d'IBM inaugure la technologie SOI à l'échelle industrielle pour réduire la puissance tout en augmentant encore une fois la fréquence

⁴Le nouveau processeur CELL d'IBM/SONY/TOSHIBA est constitué d'un processeur central type PowerPC et de 8 autres processeurs dédiés de type DSP

⁵Intel change la convention d'appellation de ses processeurs et abandonne ainsi officiellement la course à la fréquence

⁶La puissance consommée devient un argument commercial pour les processeurs de bureau

QCAs, ou enfin, plus original encore comme la Nanocell, une des approches ambitieuses détaillées ci-dessous.

2.1 Nanocell : l'approche bottom-up

James M. Tour, professeur à l'université de Rice à Houston, Texas, chimiste de formation, s'entoure d'une équipe aux compétences multiples dans les domaines suivants : mathématiques, physique, architecture des ordinateurs, ou encore, chimie. Sa force est d'avoir proposé puis réalisé l'un des premiers circuits à base d'électronique moléculaire en l'espace de seulement quelques années. Son approche bottom-up pragmatique, concrète et innovante est l'une des clés de la réussite et du rayonnement de ce projet.

2.1.1 La Nanocell

Alors que les puces hybrides représentent les premières opportunités pour les composants moléculaires à s'immiscer dans le monde des circuits de traitement de l'information, l'approche auto-assemblée et organisée au hasard représente une vraie nouveauté pour la conception des puces, radicalement différente du principe de fabrication et de caractérisation *top-down* que l'industrie microélectronique utilise à ce jour. Simplicité et relatif faible coût de fabrication, reprogrammabilité, très haute tolérance aux défauts de fabrication, tels sont les atouts de la Nanocell (NC).

Le concept de Nanocell [Tou03a] est une approche innovante et pragmatique permettant de se passer des contraintes de fabrication de la lithographie extrême que rencontre l'électronique moléculaire. La Nanocell est l'élément logique de base, une version simple est représentée par la figure 2.1.

Elle est fabriquée à partir d'une cavité créée sur un wafer de silicium classique. Cette cavité a été expérimentalement conçue dans des dimensions de l'ordre du μm^2 , mais on peut tout aussi bien imaginer les diminuer à la taille minimale que nous permet la lithographie. A la périphérie de la Nanocell, à la limite de la cavité, sont disposés des pads d'entrées/sorties métalliques permettant l'interconnexion entre les Nanocells et/ou avec d'autres dispositifs permettant, par exemple, la mise à niveau des signaux ou l'isolation électrique. Des particules métalliques d'or ou de platine sont déposées au hasard à l'intérieur de la cavité ; Elles jouent le rôle de points d'interconnexion pour les

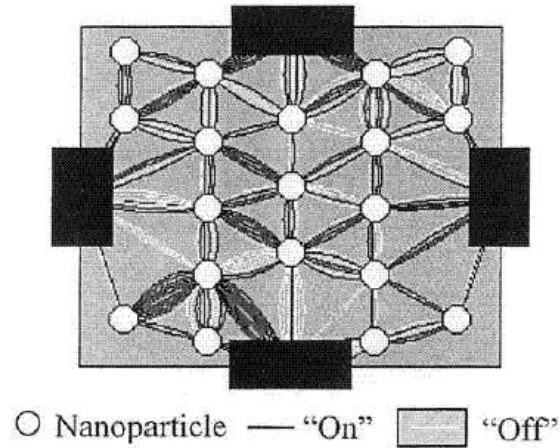


FIG. 2.1 – [HHDT03] :Une Nanocell

éléments actifs que sont les molécules. Une mono-couche contenant des switches moléculaires est déposée par la suite sur la cavité. Les molécules qui ont des terminaisons à base de thiols, viennent ainsi se déposer entre chaque particule métallique. Le graphe d'interconnexion électrique de la Nanocell est ainsi créé.

La molécule utilisée par l'équipe de Tour est la nitroaniline (Figure 2.2), molécule conjuguée avec un centre rédox. D'autres molécules aux caractéristiques similaires peuvent être également utilisées, les conditions à remplir sont doubles : présenter une caractéristique de résistance différentielle négative pour une certaine plage de tension dV (NDR : Negative Differential Resistance, cf. section 1.4.1 p.33) et pouvoir être commutée dans au minimum deux états différents, en fonction de certains seuils de tension.

Dans l'exemple de la nitroaniline, l'application d'une tension de $+1,75V$ à ses bornes entraîne la commutation dans un mode *non-linéaire* ('1' sur la figure). Inversement, une tension de $-1,75V$ fera basculer la molécule dans une mode linéaire ('0'). Les propriétés de cette molécule permettent de l'utiliser, par exemple, comme un interrupteur contrôlable en tension. Le graphe d'interconnexion interne peut donc être entièrement reconfigurable, à condition que chaque molécule soit adressable individuellement.

Cependant, un problème pratique se pose ; Comment accéder indépendamment à chaque molécule ? Cette question reste sans réponse et sans solution actuellement, l'en-

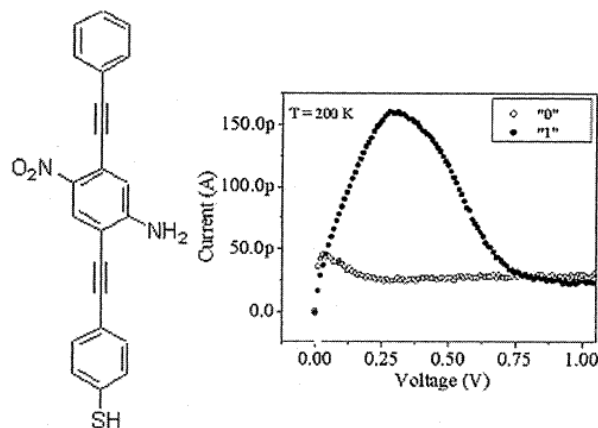


FIG. 2.2 – [HHDT03] : Molécule de nitroaniline et sa caractéristique $I(V)$ présentant un comportement de NDR (Negative Differential Resistance)

semble des simulations réalisées par Tour et al. avait pour hypothèse forte, l'accessibilité de chaque molécule, les expériences ayant permis de démontrer la preuve du concept.

Du fait des caractéristiques électriques des nitroanilines exploitées dans la Nanocell, les entrées se font en tension et les sorties en courant. Pour pallier cette contrainte limitant l'interconnexion entre cellules, Tour et al. ont eu l'idée d'insérer un montage (Figure 2.4) de restauration de niveau sur chaque sortie, réalisé à partir d'un latch bistable (Figure 2.3), lui-même à base de deux molécules présentant des caractéristiques de NDR. Quand V_{bias} est à un niveau haut, la molécule du haut polarise l'autre, ce qui a pour conséquence de créer sur la droite de charge de la molécule du bas deux points de fonctionnement stables, 0 et 1. L'état est déterminé par le courant injecté au nœud *Data*.

Il ne semble pas que cette fonction ait été réalisée en pratique par l'équipe. Ce problème de conversion courant-tension est une contrainte car il complexifie grandement le concept qui se veut être le plus simple possible. Une des voies à explorer serait d'envisager l'intégration à l'intérieur de la nanocell de ces circuits de conversion.

2.1.2 Exploitation de la Nanocell

A terme, sous réserve que le concept soit validé et que les problèmes d'adressabilité soient résolus, l'effort le plus important résidera dans l'après-fabrication, ce qui est

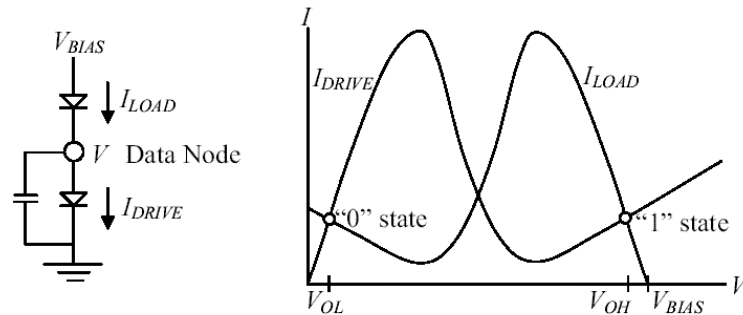


FIG. 2.3 – [HHDT03] : Latch bistable à base de deux molécules NDR

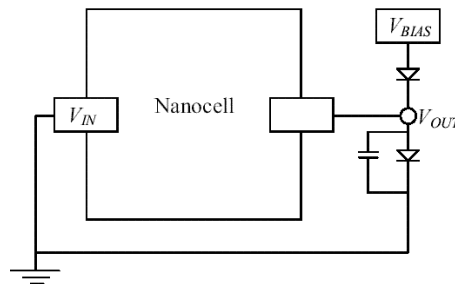


FIG. 2.4 – [HHDT03] : Conversion courant-tension et restauration de niveau logique par utilisation d'un latch bistable à base de deux molécules présentant des caractéristiques de NDR.

relativement nouveau car, en plus de tester la nanocell pour y déceler des défauts de fabrication, il faut surtout *découvrir* l'ensemble des fonctions logiques implémentables. Pour ce faire, Tour et al. ont implémenté, par simulation, un algorithme génétique [THH⁺02] qui, à partir d'un graphe d'interconnexion aléatoire, est capable d'explorer l'ensemble des solutions de la Nanocell avec comme principaux paramètres, outre la fonction logique cible, le nombre de plots de la Nanocell, le nombre de particules d'or déposées et le nombre de molécules interconnectées.

Une limitation supplémentaire de la NC dans son état actuel réside dans le fait que chaque fonction logique (NOT, NAND, XOR, ...) a des niveaux logiques (en tension) propres. Par exemple, et toujours en simulation, un inverseur (Figure 2.5) se voit caractérisé par un niveau logique bas de $-40nA$ et d'un niveau logique haut de $930nA$ alors

qu'une NC configurée en porte NAND (Figure 2.6) a ses niveaux situés respectivement à $-20nA$ et $840nA$. La différence est certes minime sur cet exemple, mais elle met en lumière une fois de plus la difficulté à interconnecter les NCs du simple point de vue des niveaux logiques.

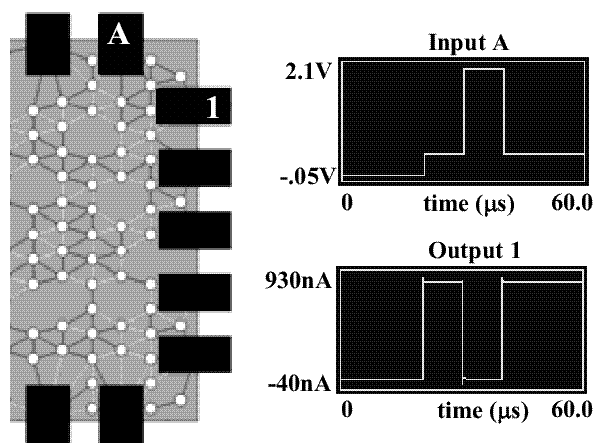


FIG. 2.5 – [HHDT03] : Nanocell configurée en porte inverseuse.

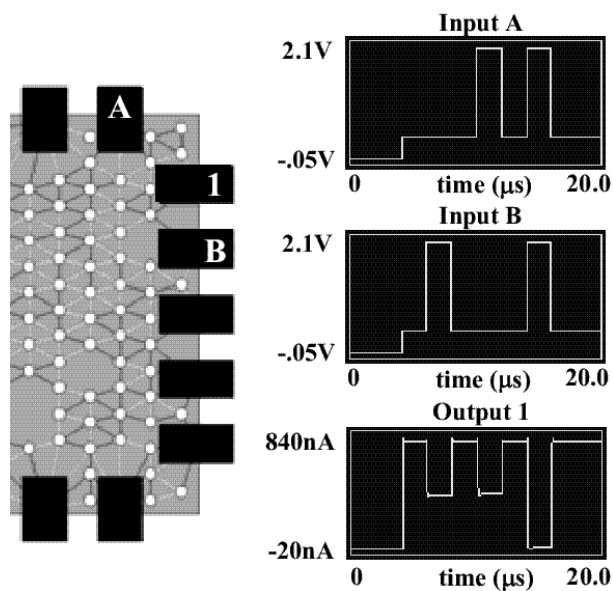


FIG. 2.6 – [HHDT03] : Nanocell configurée en porte NAND

Il est à noter que l'équipe a réalisé un prototype fonctionnel (Figure 2.7, [Tou03b]) de mémoire présentant, à température ambiante, un comportement reproductible de commutation entre un mode linéaire et un mode non linéaire, avec de surcroît de très bonnes caractéristiques PVR (Peak to Valley Ratio) [CRRT99] de l'ordre du milliampère. Par ailleurs, deux types d'effet mémoire, non-volatile après une semaine d'exposition à l'air libre, ont été mis en évidence [CRRT99] [Che00], l'un est une lecture avec destruction de l'information et l'autre sans destruction de l'information.

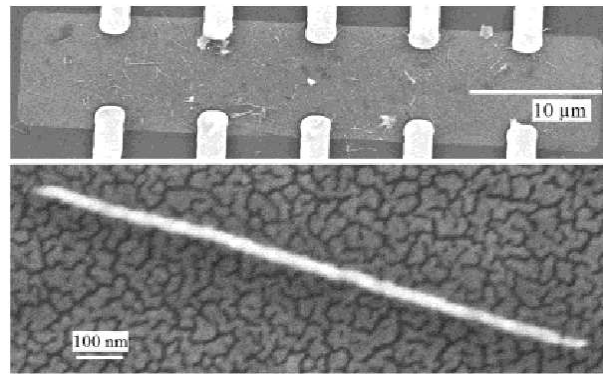


FIG. 2.7 – [Tou03b] : Image SEM d'une Nanocell réalisée expérimentalement.

Le principe de fabrication diffère un peu de ce qui avait été présenté initialement en théorie [Tou03a] [THH⁺02]; Un film d'or est déposé (vapor-deposited) sur un substrat Si/SiO_2 par dessus lequel vient se greffer un fil d'or *enrobé* de molécule. Cependant, tout comme le fait remarquer Tour et al., plusieurs indices invalideraient l'explication d'un effet moléculaire dans ces dispositifs. En effet, un dispositif sur lequel n'avait pas été déposé ni des molécules, ni des nanofils d'or s'est comporté après quatre mois de stockage *comme si* il y avait des molécules à sa surface! L'explication avancée est que, le film d'or vieillissant, la migration des îlots de particules d'or entraînant la réduction du gap inter-particules, a créé des nanofilaments sous l'effet des tensions appliquées. Finalement, il semblerait que sous certaines conditions, la NC soit le siège de deux phénomènes coexistant : conduction électrique au travers de molécules et conduction électrique au travers de nanofilaments. Des travaux sont en cours de réalisation pour tenter d'éclaircir ce point. Les phénomènes observés pourraient se rapprocher de ceux rencontrés par l'équipe d'HP [SOB⁺04].

2.1.3 Conclusion

La Nanocell pourrait être un candidat potentiel permettant de résoudre un certain nombre de problèmes liés à la miniaturisation continue de la microélectronique en apportant une approche de fabrication *bottom-up* révolutionnaire. Cependant, tous les avantages précédemment décrits ne doivent pas faire oublier la principale difficulté et le challenge méthodologique et algorithmique qu'est la caractérisation de chaque Nanocell, en plus du problème d'interconnexion entre NCs.

En effet, le concept de nanocell apporte certes une réponse convaincante (faible coût de fabrication, tolérance aux défauts de fabrication, reprogrammabilité, ...) aux problèmes majeurs que rencontre l'industrie de la microélectronique, mais il faut bien voir qu'une fois les problèmes de fabrication surmontés, la difficulté réside dans la capacité à fonctionnaliser chaque NC en une ou plusieurs fonctions mémoires ou logiques relativement simples (AND, OR, NOT, ...) et à les interconnecter entre elles. Le temps passé à réaliser ces étapes post-fabrication risque de prendre le dessus sur les avantages.

2.2 Nanofabric : Reprogrammabilité et tolérance aux défauts de fabrication

Goldstein et al. de la prestigieuse université de Carnegie Mellon (Pittsburgh) proposent une architecture basée sur la répétition d'une structure régulière appelée nano-Block. A l'instar de l'approche Nanocell section 2.1), cette structure est programmée *après* avoir été fabriquée, pour réaliser des fonctions complexes. Un réseau de nano-Blocks à deux dimensions est appelé Nanofabric [SCG01].

Plusieurs considérations d'ordre technologique sont à l'origine de leur proposition. Tout d'abord les procédés d'auto-assemblage actuellement maîtrisés permettent d'obtenir des structures simples et régulières, comme par exemple des faisceaux de fils parallèles ou des structures matricielles composées de faisceaux orthogonaux. D'autre part, bien que des dispositifs à trois électrodes aient été précédemment construits, la difficulté de connecter trois fils à un composant de taille nanométrique les rend difficilement envisageables dans une architecture utilisant des molécules. Le choix c'est donc porté sur l'utilisation de dispositifs moléculaires à deux électrodes ayant un comportement proche de celui d'une diode en série avec un interrupteur. Par ailleurs, motivé par la probable

grande quantité de dispositifs défectueux, l'équipe s'est intéressée aux méthodes de test et d'évaluations de tels circuits.

2.2.1 Éléments de base de la Nanofabric

2.2.1.1 Le bloc logique de base : le nanoBlock

Le nanoBlock est un bloc logique qui réalise une fonction booléenne à 3 entrées, 3 sorties et sa fonction complémentaire (Figure 2.8(b)).

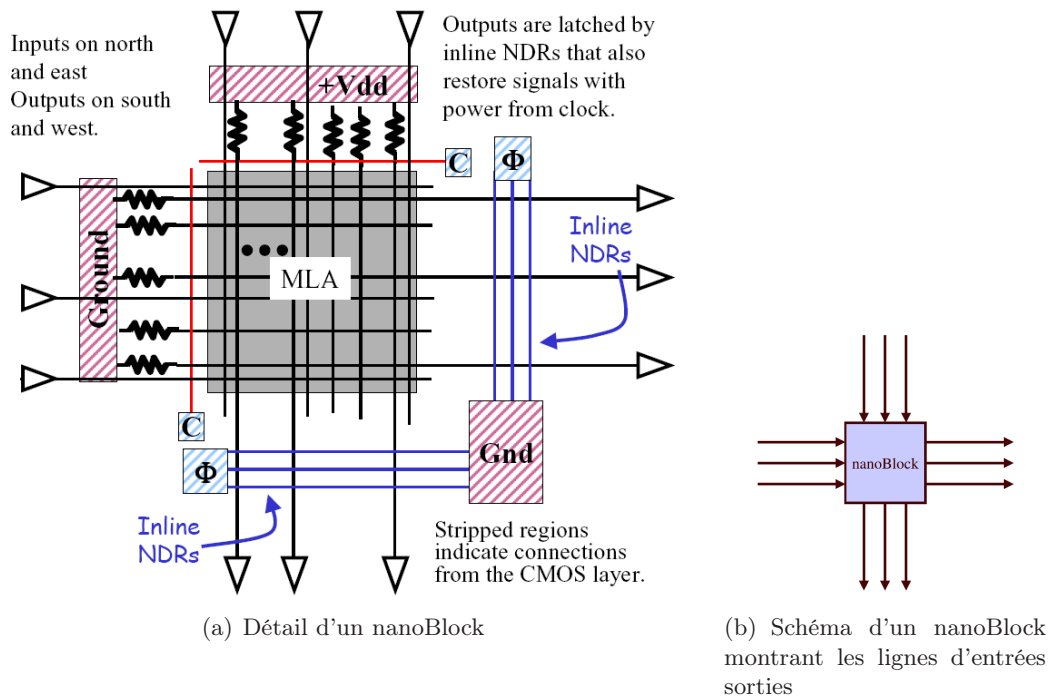


FIG. 2.8 – [SCG01] : Détail et vue schématique d'un nanoBlock

On peut distinguer trois éléments principaux dans un nanoBlock (Figure 2.8(a)) :

- Des entrées-sorties qui permettent des connexions avec les nanoBlocks voisins,
- Un réseau logique moléculaire MLA (Molecular Logic Array). A l'intersection de chaque nanofil se trouve un interrupteur moléculaire configuré *on* ou *off* suivant la fonction à réaliser. La figure 2.9 est un exemple d'implémentation en logique à diode de la fonction AND à deux entrées,

- Des *latches* moléculaires, similaires à ceux de la Nanocell (section 2.1). Ils restaurent le signal aux sorties du nanoBlock en dérivant l'énergie du signal d'horloge entrant. En effet, dans la logique à diode, la dégradation du signal n'est pas compensée (voir figures 2.10(a) et 2.10(b)).

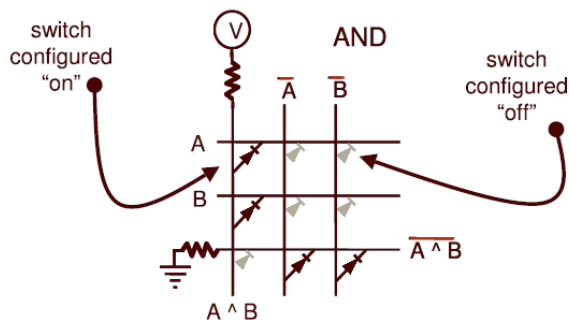
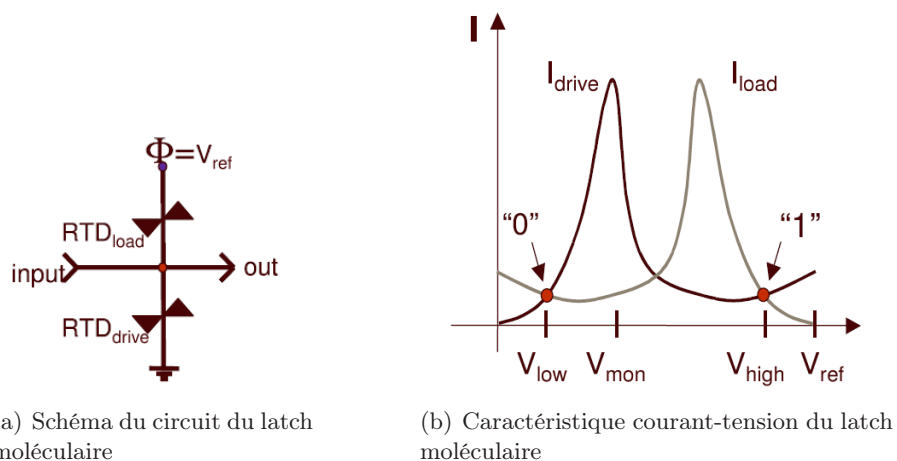


FIG. 2.9 – [SCG01] : Exemple d'implémentation en logique à diode d'une porte AND à deux entrées



(a) Schéma du circuit du latch moléculaire

(b) Caractéristique courant-tension du latch moléculaire

FIG. 2.10 – [SCG02] : Détail du latch moléculaire permettant la normalisation en tension des entrées-sorties

2.2.1.2 La Nanofabric

La figure 2.12 représente le schéma de principe d'une Nanofabric. Les carrés jaunes et rouges représentent des nanoBlocks, ils diffèrent par la direction de leurs entrées-sorties. Soit ils sont orientés face Sud-Est (SE), soit ils sont orientés face Nord-Ouest (NW)

(Exemple figure 2.11).

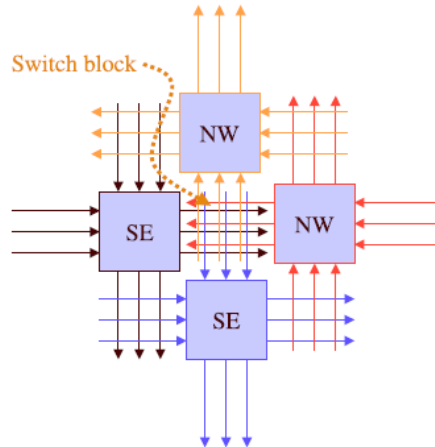


FIG. 2.11 – [SCG01] : Illustration de l’assemblage de quatre nanoBlocks différemment orientés, formant à leur interface un switch-block

Les nanoBlocks sont organisés en clusters, à l’intérieur desquels chaque nanoBlock est connecté à ses quatre voisins les plus proches. Le circuit est structuré suivant un plan matriciel, des fils (en bleu), assurant la propagation des signaux entre les clusters, quadrillent le dispositif. Ils sont connectés aux nanoBlocks à la périphérie de chaque cluster.

2.2.2 La tolérance aux défauts de fabrication

Les auteurs s’intéressent à la tolérance aux fautes pour un tel circuit dans [MM03a] et [MM03b]. Ils partent de l’hypothèse que sur le plan technologique, ces erreurs seraient dues principalement à un mauvais alignement de molécules durant le processus d’auto-assemblage. Ils estiment aussi qu’en cas de défaut, la fonction du composant moléculaire ne sera pas affectée, seuls des paramètres comme le délai et la consommation de puissance seront susceptibles d’être altérés.

Leur recherche d’une technique de test prend en compte la très haute densité d’intégration des dispositifs moléculaires ainsi que le taux de défauts de fabrication qui devrait être relativement élevé, de l’ordre de 10% [SFG⁺03]. L’idée est de montrer qu’il est possible de détecter *relativement* rapidement les défauts dans un circuit contenant un très grand nombre de dispositifs en utilisant l’aspect reconfigurable de chaque cluster. Ces

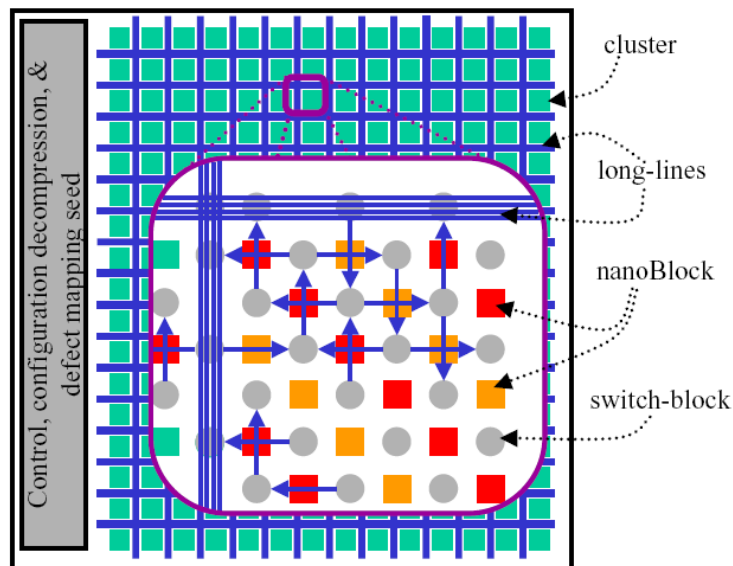


FIG. 2.12 – [SCG01] : Schéma d'une Nanofabric. Détail d'un cluster

travaux ne prennent pas en compte les variations de fonctionnement des composants moléculaires, c'est à dire qu'ils considèrent seulement le composant comme pouvant être en état de marche ou non.

Le principe de la méthode de test est de faire des tests dans différentes directions, de clusters en clusters, verticalement et horizontalement. L'intersection de la ligne et de la colonne ayant échoué le test indique la présence d'un dispositif défectueux (figure 2.13(a)). La cellule de test est composée de plusieurs clusters, elle se propage sur le circuit comme une vague (figure 2.13(b)). Chaque cellule fonctionnalisée en *testeur* teste et configure la cellule voisine et ainsi de suite. Autrement dit, une fois qu'une région de la Nanofabric est testée et qu'une carte de ses défauts est obtenue, elle peut être reconfigurée en circuit testeur pour les autres régions voisines, c'est une forme d'*auto-test*.

2.2.3 Conclusion

Ces travaux présentent un concept d'intégration de dispositifs moléculaires très intéressant, fondé sur un certain nombre d'hypothèses de fabrication relativement solides. Basés sur les propriétés de reconfigurabilité et de propagation, ils proposent une mé-

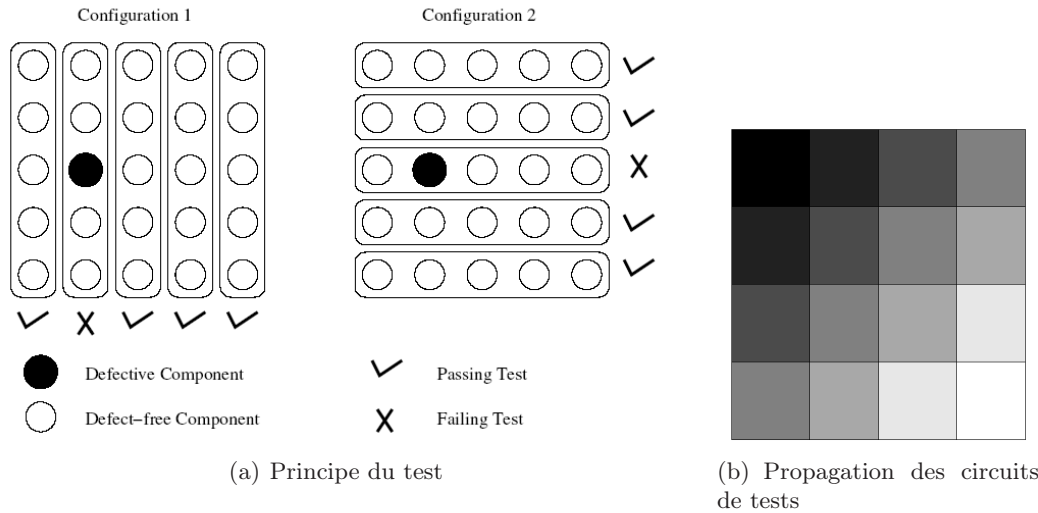


FIG. 2.13 – [MM03a][MM03b] : (a) Exemple montrant comment un dispositif défectueux est localisé en utilisant deux configurations différentes de circuits testeurs (b) Représentation schématique de la propagation en vague des circuits tests. La région noire est testée et configurée en circuit testeur par un testeur extérieur ; chaque région teste et configure un voisin ayant une valeur de gris plus faible

thode de test rapide et automatisée, pour des circuits contenant un très grand nombre de composants et de défauts.

Paradoxalement, l'étude fonctionnelle est essentiellement basée sur des simulations où certaines hypothèses sont clairement irréalistes, rendant les travaux encore éloignés d'une implémentation moléculaire. Ainsi, le modèle utilisé pour la simulation du latch moléculaire n'est pas issu de mesures de dispositifs expérimentaux et est considéré comme parfait, alors que par ailleurs ils ne considèrent pas non plus la possibilité qu'un dispositif puisse fonctionner de manière dégradé.

2.3 FPGA nanométrique

André DeHon, diplômé du MIT où il y a effectué toute sa scolarité (1986-1996), a soutenu sa thèse sur le thème des architectures reconfigurables génériques (Reconfigurable Architectures for General-Purpose Computing). Après avoir co-dirigé le groupe de travaille BRASS à Berkeley de 1996 à 1999, il est depuis professeur-assistant au Cali-

ifornia Institute of Technology. Ses travaux sont toujours focalisés sur les architectures reprogrammables spatialement (comme les FPGAs), les problèmes d'interconnexions et d'optimisations. Il s'applique depuis quelques années à proposer un design de PLA (Programmable Logic Array) exploitant les propriétés d'intégration des nano-technologies. Son approche architecturale plutôt haut-niveau rend ses travaux dépendant de la technologie utilisée (Nanotubes, nanofils, molécules, . . .) mais a le mérite d'anticiper et donc de donner des axes de recherches aux équipes travaillant sur les dispositifs élémentaires précédemment cités.

2.3.1 Architectures reprogrammables spatialement

Schématiquement, André DeHon et son équipe transposent ce qui se fait en microélectronique à l'échelle nanométrique. Ses différentes propositions architecturales, à défaut d'être réellement novatrices, présentent l'intérêt majeur de proposer des solutions de design éprouvées et largement exploitées par l'industrie (FPGA, PLA, . . .) adaptées aux technologies nanométriques émergentes. Pour cela, il se base sur les travaux les plus récents de l'électronique moléculaire pour mettre à jour, améliorer et ainsi crédibiliser, sa proposition architecturale.

Après s'être intéressé aux architectures régulières à base de FET nanométrique [DeH03a] [DeH03b], pour ensuite approfondir l'aspect interface entre les mondes microélectronique et nanométrique d'un point de vue conceptuel et théorique [ADS03], DeHon propose une architecture programmable régulière où il explore l'utilisation de nanofils (NWs) pour construire et interconnecter des cellules de taille nanométrique type PLA (Programmable Logic Array) [A.D04]. Cette dernière publication, la plus aboutie d'un point de vue concept, détaille l'architecture d'une structure PLA (Figure 2.14 : détail d'un PLA simple à base de nanofils) en abordant les différents thèmes : la fabrication des NWs et l'utilisation de diodes programmables à leurs intersections, les problèmes d'adressabilité du PLA et enfin, la remise à niveau des signaux logiques. L'organisation en cellules et les multiples calculs (aire, timing, rendement d'intégration, . . .) ne sont pas détaillés ici [A.D04].

2.3.2 La fabrication des NWs

En se basant sur différentes publications présentant des résultats expérimentaux, DeHon fait le pari que la fabrication des nanofils sera possible industriellement, avec les

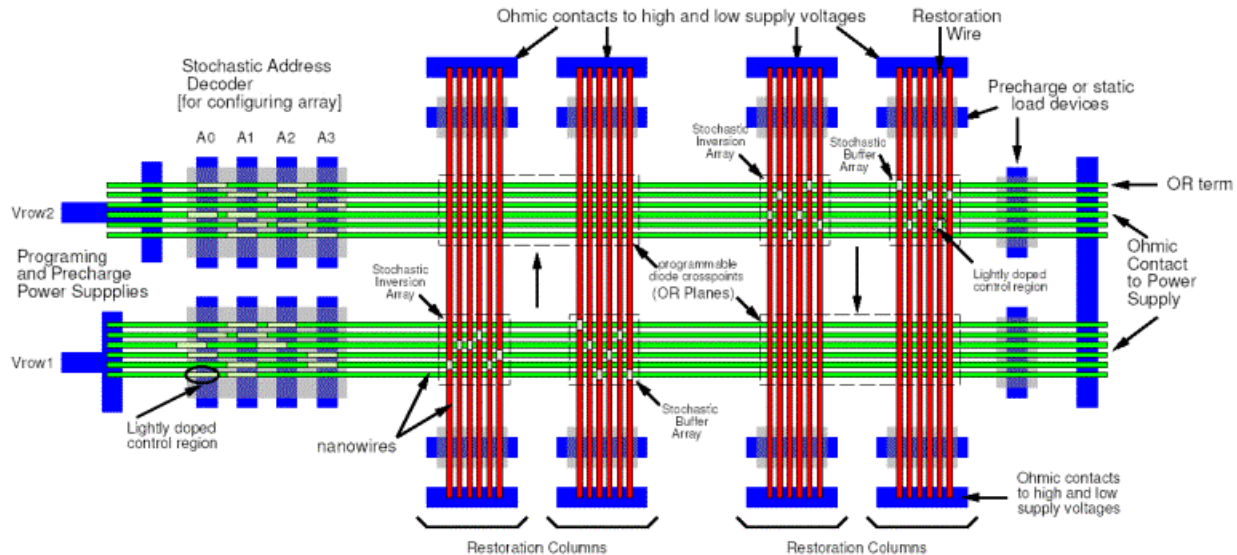


FIG. 2.14 – [A.D04] : Détail d'un PLA nanométrique à base de nanofils

propriétés suivantes :

- Leur taille peut être contrôlée par croissance sur des particules d'or (par exemple) jouant le rôle de catalyseur. Ainsi, [CLG⁺01] [ML98] ont démontré la réalisation de NWs ayant un diamètre de seulement 3nm, et cela sans aucun procédé lithographique.
- En contrôlant les composants de l'environnement de croissance (gaz), les NWs semi-conducteurs peuvent être dopés localement pour influencer leurs propriétés électriques [YCL00] [MSGLO2] [MSGLL02] [DWL03].
- La conduction au travers de NWs dopés peut être contrôlée par un champ électrique comme dans les FETs [HDC⁺01].
- L'alignement simple ou sur plusieurs niveaux (crossbar) de nanofils peut être réalisé par des techniques microfluidiques performantes [HDWL01] [DWL03] [WJWL03].

2.3.3 Diodes programmables

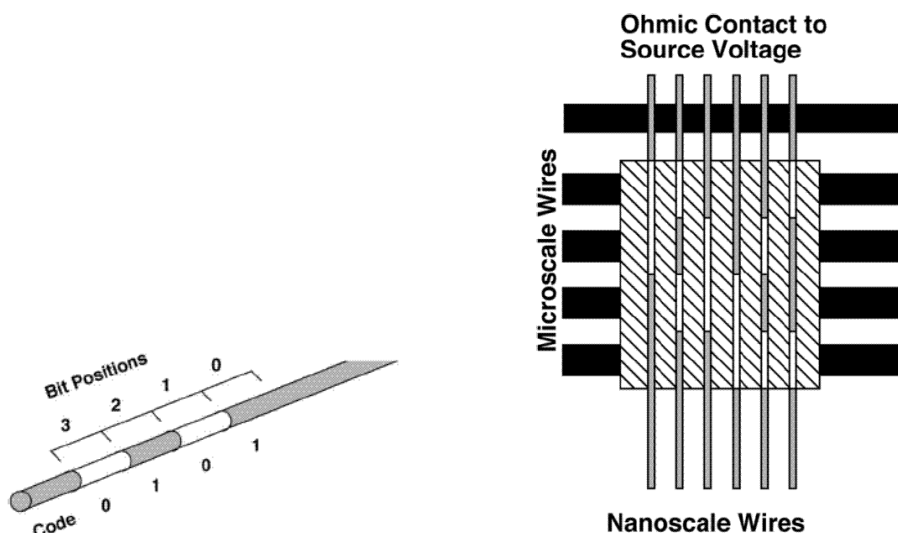
Une nouvelle fois, c'est plus un cahier des charges que DeHon établit à l'intention des technologues (chimistes, physicien, électronicien). En effet, se basant sur les travaux de Rueckes et. al. [RKJ⁺00] ainsi que sur les très controversées [SOB⁺04] publications de HP à propos de son crossbar 8x8 à base de rotaxane [CJO⁺03], il établit, en généralisant, que certains types de molécules présentent des propriétés électriques d'hystérésis

utilisables pour un effet mémoire permettant soit le stockage d'information, soit la configuration de la cellule. A partir de ça, il développe son concept en prenant pour hypothèse qu'il sera un jour possible de maîtriser l'industrialisation fiable d'une molécule ayant pour caractéristique :

- Une résistance qui change significativement entre l'état 'ON' et 'OFF'
- La possibilité d'avoir un comportement de type diode
- La possibilité de changer la molécule d'état 'ON' à un état 'OFF' par application d'un potentiel de programmation.
- Une assez bonne reproductibilité

2.3.4 Adressabilité

Comme rappelé dans l'introduction, DeHon s'est intéressé très tôt dans ses travaux à la problématique de l'interface entre les mondes micro et nano. Après avoir envisagé de recourir à l'idée du décodeur d'adresse à base de molécules illustré par le brevet HP [SP01] dans ses premières propositions architecturales, DeHon, bien inspiré par ses collaborations avec Lieber, propose dans [ADS03] un décodeur d'adresse basé sur la modulation du dopage sur la longueur d'un NW, la figure 2.15(a) l'illustre.



(a) Nanofil codant une adresse par modulation de dopage

(b) Décodeur permettant l'interaction des deux mondes micro et nano

FIG. 2.15 – [ADS03] : Décodage d'adresse par modulation de dopage

La solution avancée par DeHon est intéressante et documentée. En effet, il présente des réponses aux problèmes d'alignements des nanofils en proposant de répéter le code plusieurs fois sur la longueur du NW qui sera susceptible d'être en contact des fils micrométrique. Il étoffe ses propositions de calculs de *timing*, de densité d'intégration et de surface pour l'exemple d'une mémoire [A.D04].

2.3.5 Restauration de niveau logique

La logique à diode implémentée par DeHon forme donc un plan OU (cf. Figure 2.14). Chaque NW en sortie du plan, peut donc être programmé pour réaliser la fonction logique OU de ses entrées. Le problème est que la logique à diode ne permet pas de cascader plusieurs niveaux de logique à cause de la perte en tension aux bornes de chaque *diode* ($\text{gain} < 1$). De plus, les portes OU ne sont pas des éléments logiques universels, c'est à dire qu'on ne peut pas fabriquer par exemple la fonction logique inverseur NOT à partir de OU. DeHon a donc envisagé d'implémenter des étages de restauration et d'inversion de niveaux logiques à base de NW dopé et contrôlé comme un FET [DeH03a] entre chaque étage de diode.

Enfin, tout comme dans un PLA traditionnel, DeHon envisage de pouvoir avoir accès à la fois au signal logique et à son complément. Le plan OU qui reçoit les deux signaux (original et son complément) doit être programmé en fonction de la polarité nécessaire.

Comme on peut le voir sur la Figure 2.16, à cause de la distribution stochastique de NW, certaines entrées du plan OU seront seulement mémorisées (ex : Figure 2.16, ligne 5), certaines seront seulement inversées (ex : Figure 2.16, ligne 2), d'autres seront à la fois inversées et mémorisées (ex : Figure 2.16, lignes 0, 1 et 3) et enfin, certaines ne seront pas accessibles (ex : Figure 2.16, ligne 4).

2.3.6 Conclusion

Comme souvent dans les approches à base de composants à l'échelle nanométrique, cette architecture nécessite une exploration *post-fabrication* pour déterminer ce qui a *effectivement* été réalisé et surtout pour évaluer ce qui est fonctionnel et ce qui ne l'est pas. Le temps passé à cette dernière étape ne devrait pas être négligeable, loin de là.

Cependant, le principal mérite de cette proposition architecturale est d'être *réaliste*, aussi bien sur le plan technologique, car s'appuyant systématiquement sur des résultats

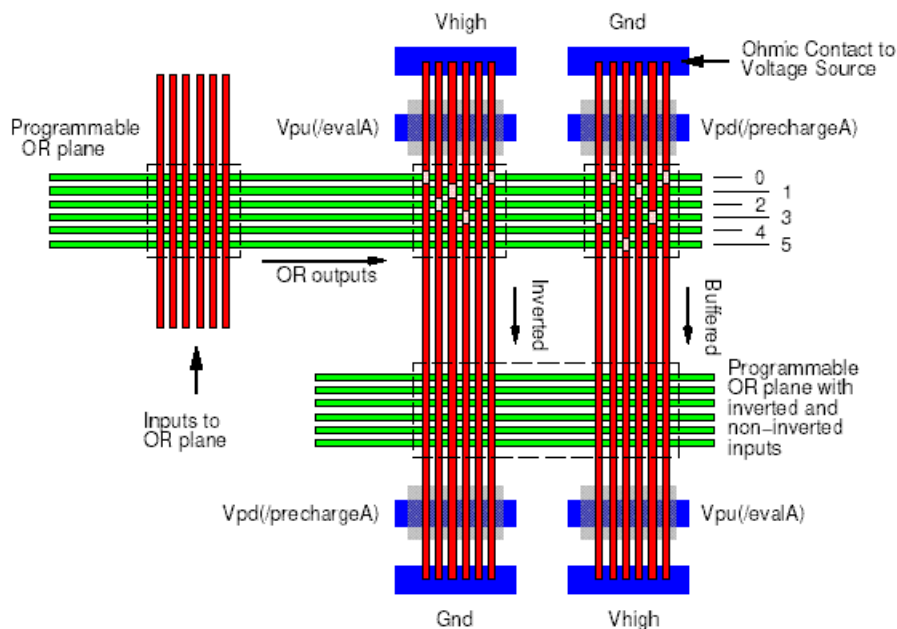


FIG. 2.16 – [ADS03] : Inversion sélective et étage de restauration

expérimentaux, que sur le plan structurel, car basé sur des concepts éprouvés, à défaut d'être révolutionnaires.

2.4 Interface Micro-nano

Plus qu'une réelle proposition architecturale, Lieber et al. de Harvard (Cambridge) se focalisent sur la fabrication et l'adressage de matrices de FET à base de nanofils (NWs) croisés. Cette équipe, essentiellement composée de chimistes et de physiciens, considère à juste titre que la première difficulté du développement et de l'adoption des nanotechnologies est le problème de leur fabrication. C'est pour cela que l'essentiel des travaux de Lieber et al. porte sur les méthodes permettant de réaliser des circuits à très haute densité de composants.

2.4.1 Des transistors à partir d'un réseau de nanofils

Chaque ensemble de transistors correspond à l'intersection de deux réseaux perpendiculaires de nanofils. L'alignement des nanofils est réalisé par l'utilisation de la méthode de Langmuir-Blodgett (LB) [A.91] qui semble avoir été préférée aux méthodes d'alignement par micro-fluide expérimentées par Lieber et al. dans de précédents travaux [HDWL01]. Cette méthode est basée sur la réalisation de Lord Rayleigh qui constate qu'un film d'huile sur de l'eau a une épaisseur de seulement une molécule. Langmuir démontra que cette monocouche d'acide gras pouvait être ordonnée à la surface de l'eau par application d'une pression qui conditionne l'écartement entre chaque molécule (le pitch) engendrant un passage d'un état gazeux où les molécules sont dissociées, à un état solide où les molécules forment un film rigide. Langmuir et Blodgett réalisèrent alors le transfert de cette monocouche de la surface de l'eau sur un substrat solide. En répétant ce procédé de déposition, il est alors possible de superposer plusieurs niveaux de ces réseaux réguliers ainsi formés (Figure 2.17, [WJWL03]). Lieber et al. ont développé une méthode basée sur le principe de Langmuir-Blodgett permettant de fabriquer des masques pour faire de la nanolithographie de ligne [WJL03].

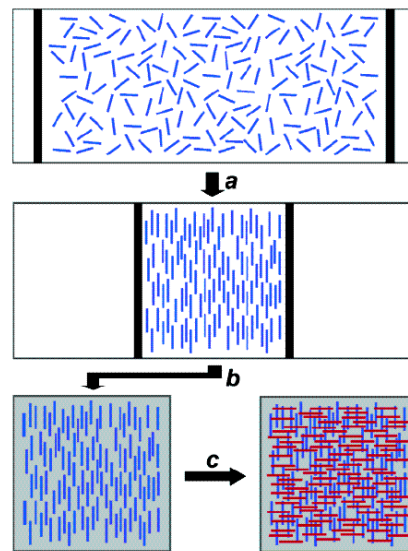


FIG. 2.17 – [WJWL03] : Des nanofils (en bleu) à l'interface air/eau sont (a) comprimés par la méthode Langmuir-Blodgett jusqu'à obtenir le pitch désiré. (b) Les NWs sont transférés à la surface d'un substrat pour créer une matrice parallèle uniforme. (c) L'intersection de NWs est réalisée par répétition du processus perpendiculairement (en rouge) à la première couche (en bleu).

Le dispositif ainsi créé est appelé *Crossed semiconductor Nanowire Field-Effect Transistor* (cNW-FET). En effet, à l'intersection de chaque couple de nanofils perpendiculaires est créé un FET de type p, dont les process de fabrication sont détaillés dans [CLG⁺01]. Les transistors obtenus présentent des caractéristiques très encourageantes quant à leurs utilisations possibles dans des circuits numériques classiques. Les figures 2.18(a), 2.18(b) et 2.18(c) synthétisent des résultats de mesures expérimentales. La figure 2.18(a) montre que l'évolution de I_{SD} en fonction de V_{SD} est bien linéaire, ainsi que la saturation pour des valeurs de V_{SD} négatives, comme c'est le cas pour un p-FET [Sze81]. Le graphique de la Figure 2.18(b) nous renseigne sur la transconductance ($\frac{dI_{SD}}{dV_G}$, courbe en échelle linéaire) d'un cNW-FET typique qui est de l'ordre de $1250nA/V$. Le ratio on/off et la pente sous seuil (courbe log) sont respectivement de l'ordre de 7.10^6 et de $160mV/dec$. Enfin, la Figure 2.18(c) représentant un échantillon de cNW-FET, nous confirme la reproductibilité de ces mesures et les bonnes performances de ces transistors.

2.4.2 L'adressage micro-nano

Lieber et al. se sont aussi intéressés à la difficulté de l'adressage du monde nano. Pour cela, ils présentent dans [ZWC⁺03] une solution de décodeur pour l'adressage de matrice de cNW-FET. Cette solution, probablement discutée avec DeHon [DeH03a] (cf. section 2.3 p.51) dont les propositions d'architectures sont bien en phase avec leurs travaux, consiste à traiter chimiquement (avec un masque) et localement certaines intersections de NWs permettant de définir un code d'adressage (Figures 2.19 et 2.20).

Le traitement chimique consiste à faire une fenêtre dans une couche d'isolant par lithographie e-beam, puis à traiter la jonction avec une solution aqueuse de tetraethylammonium chloride (TEA). Le traitement entraîne une modification des caractéristiques de conductance bien mise en évidence sur la figure 2.21.

La réalisation du décodeur d'adresse 4x4 est visible sur la figure 2.22(a). Les intersections situées sur la diagonale ont été chimiquement traitées, ce circuit correspond au montage de la figure 2.19. La figure 2.22(b) détaille les entrées et sorties du décodeur d'adresse et confirme bien qu'il se comporte comme un démultiplexeur. Il est à noter que d'après Lieber et al., le gain observé de ces cNW-FETs est supérieur à celui aux résultats obtenus à partir de diode moléculaire comme la [2]rotaxane utilisée par Chen et al. dans [CJO⁺03], émettant ainsi l'hypothèse qu'il n'y aurait pas besoin de circuit de restauration de niveau logique.

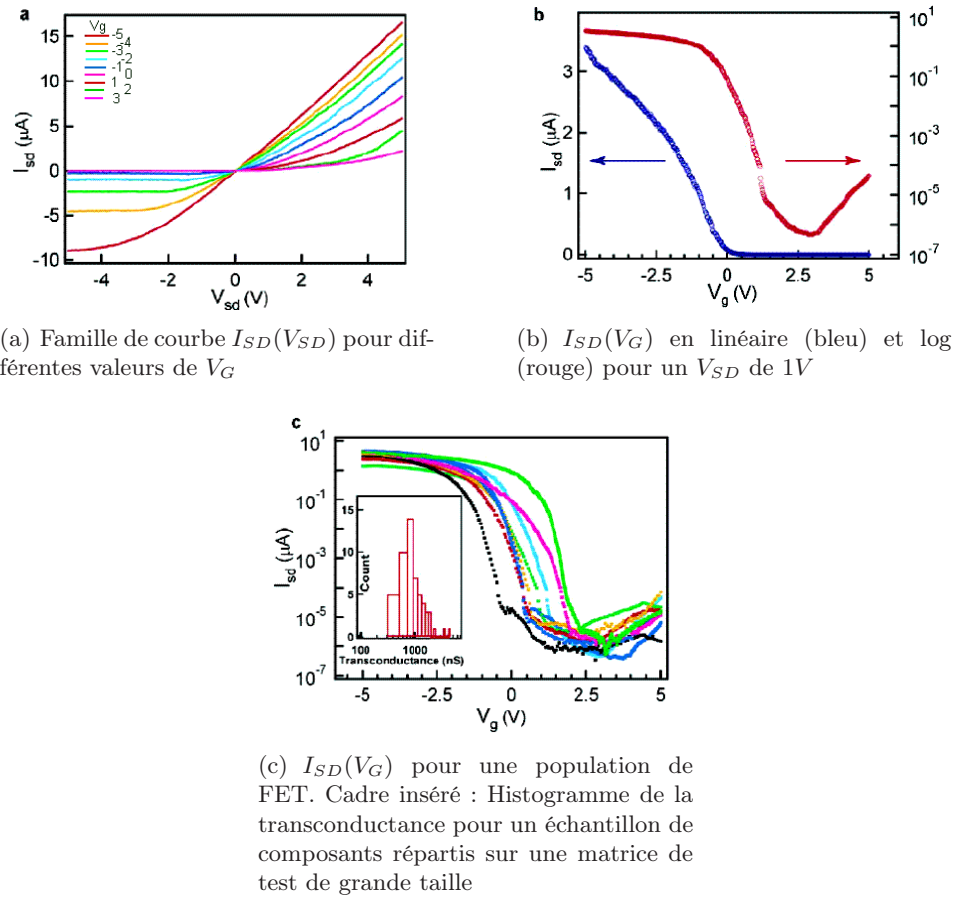


FIG. 2.18 – [jWM⁺04] : Caractéristiques de cNW-FETs

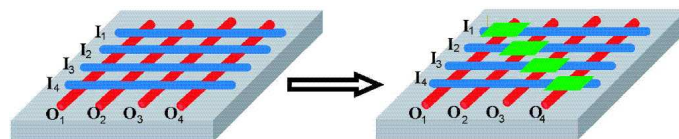


FIG. 2.19 – [ZWC⁺03] : Décodeur d'adresse basé sur un cNW-FET. Un décodeur 4x4 dont les intersections de la diagonale ont été traitées chimiquement (en vert) ce qui crée un décodeur One-Hot

Les auteurs sont assez confiants dans les perspectives d'amélioration de leur décodeur. En effet, la vitesse de montée assez modeste sur la courbe de la conductance en fonction de V_G , s'expliquerait par un phénomène d'hystérésis induit par l'eau de la

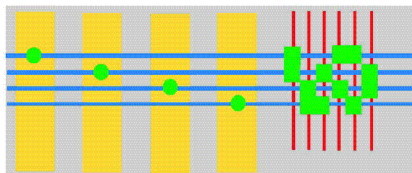


FIG. 2.20 – [ZWC⁺03] : Décodeur d'adresse basé sur un cNW-FET. Un décodeur Two-hot permettant d'adresser 6 lignes nano à partir de 4 lignes d'adresse micro

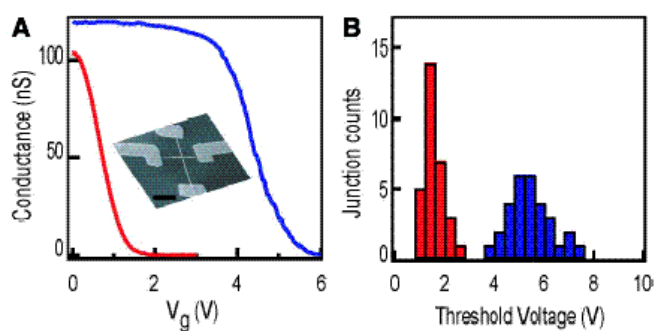
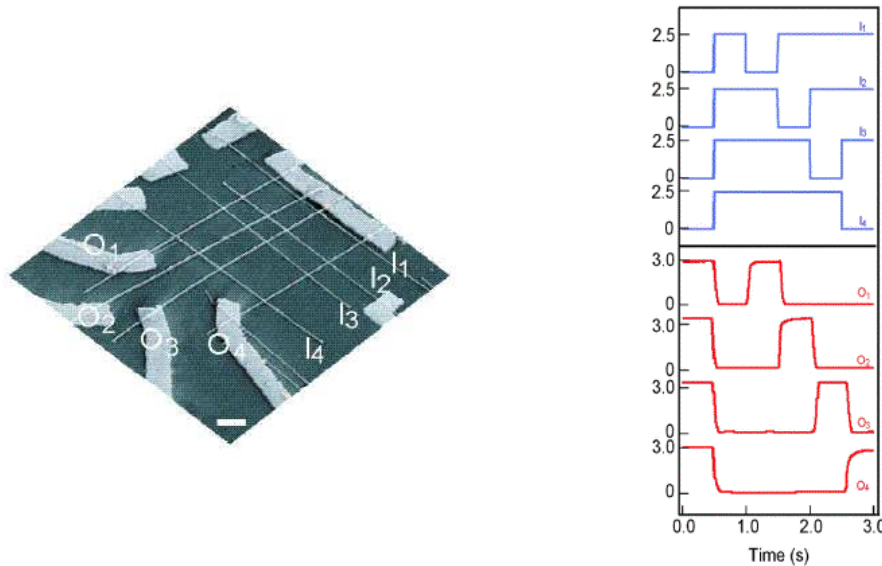


FIG. 2.21 – [ZWC⁺03] : Caractéristique des cNW-FETs après modification chimique. (A) Conductance en fonction de V_g avant (bleu) et après (rouge) traitement avec TEA. (B) Histogramme de la tension de seuil pour 30 cNW-FETs avant (bleu) et après (rouge) traitement avec TAE.

solution aqueuse. La réduction de ce phénomène d'hystérésis sous vide suggère que la passivation de ces structures pourrait résoudre ce problème. Enfin, l'utilisation de la lithographie par nano empreinte (nano-inprint) [CJO⁺03] [CKR96] permettrait de pallier les limites de la lithographie par e-beam non-applicable aux grandes surfaces pour des raisons de coût et d'ainsi augmenter considérablement la densité.

2.4.3 Conclusion

Focalisée sur l'aspect fabrication, l'équipe de Lieber de Harvard a aussi réussi à présenter un démonstrateur relativement complet, incluant des transistors cNW-FET aux caractéristiques optimisées ainsi qu'un décodeur d'adresse fonctionnel permettant de faire l'interface entre les mondes micro et nano. Sa coopération avec DeHon (cf. section 2.3 p.51) du California Institute of Technology, qui lui travaille plus sur l'aspect architecture, permettra aux deux équipes, une fois la technologie maîtrisée, de disposer



(a) Image SEM du décodeur 4x4 cNW-FET one-hot réalisé

(b) Monitoring en temps réel des entrées (bleu) et des réponses en sortie (rouge) du décodeur. La tension d'alimentation est de 3.3V et la résistance de charge de 40M Ω

FIG. 2.22 – [ZWC⁺03] : Décodeur 4x4

d'une plate-forme de démonstration encore plus solide, tant au niveau technologique qu'au niveau conceptuel.

2.5 Architecture neuromorphique

Likharev, physicien à l'université de Stony Brook de New York, possède une grande expertise dans le domaine des dispositifs SET (Single Electron Tunneling). Il propose un concept général d'architecture de circuit appelé CMOL (CMOS/ nanowires /Molecular). Il s'agit d'une approche hybride comprenant une couche CMOS par dessus laquelle est formé un réseau de nanofils. Aux intersections de ces nanofils, des molécules sont auto-assemblées. L'implémentation de réseau de neurone est selon lui la meilleure application pour ce type de circuits, et dans cette optique, son équipe a développé le CrossNet (Distributed Crosspoint Networks).

2.5.1 L'architecture CMOL : une architecture hybride

Cette proposition d'architecture de circuit hybride CMOL se base sur les considérations suivantes [Lik04] :

- Il est peu envisageable d'étendre à l'échelle du nanomètre la logique booléenne associée aux circuits CMOS ainsi que les techniques de lithographie actuelles. En effet, la précision requise est de l'ordre de l'Angstroem, et quand bien même ce serait réalisable, les coûts de fabrication seraient beaucoup trop élevés
- La solution est donc d'avoir une approche de fabrication *bottom-up*, les dispositifs actifs sont chimiquement synthétisés et de taille reproductible
- Cependant, des circuits uniquement composés de molécules sont tout aussi peu envisageables, car le gain en tension de nano-transistors à effet de champ ou des SET est encore généralement inférieur à 1, hors un gain supérieur à 1 est la condition nécessaire au fonctionnement de tout circuit, qu'il soit analogique ou numérique
- L'hypothèse de départ pour intégrer des dispositifs moléculaires dans des architectures est donc de les interfacer avec une couche de logique CMOS qui apporte un gain en tension supérieur, mais aussi d'autres fonctionnalités impossibles à réaliser avec les nanotechnologies

C'est pourquoi la coupe d'un circuit CMOL peut se décomposer en trois étages de technologies différentes et aux fonctionnalités distinctes (figure 2.23) :

- Une couche de dispositifs avancés en technologie CMOS, réalisée par lithographie *classique*
- Deux couches *faisceau de nanofils parallèles*, interconnectées avec la précédente aux travers de plots
- Des dispositifs moléculaires à deux électrodes, auto-assemblés aux intersections des nanofils.

La difficulté d'alignement des nanofils avec les plots de connexion vers la partie CMOS est astucieusement solutionnée en les plaçant suivant un réseau carré légèrement incliné par rapport au réseau de nanofils, figure 2.24(a). L'angle d'inclinaison α du réseau nano est calculé en fonction du grain (pitch) des réseaux micro et nano, $\alpha = \sin^{-1}(F_{nano}/\beta F_{CMOS})$. De cette manière, théoriquement, l'ensemble des nanofils sont accessibles par la logique de contrôle CMOS enfouie en dessous.

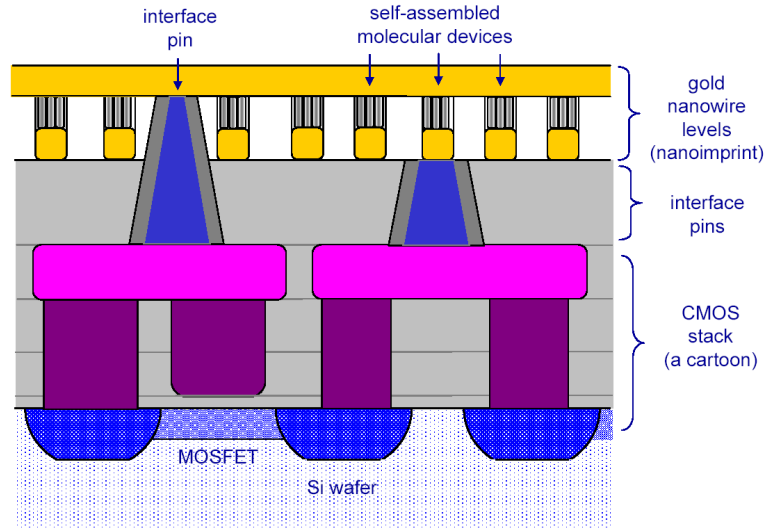
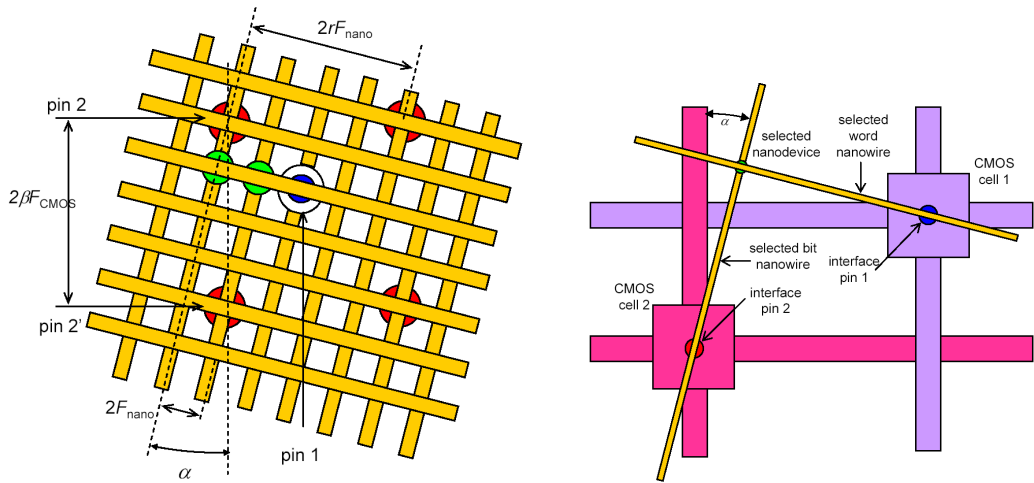


FIG. 2.23 – [Lik04] : Vue schématique de coupe du circuit CMOL.



(a) Vue schématique du dessus du sous système plot/nanofil/molécule. Un réseau carré de plots légèrement incliné permet d'interfacier tous les nanofils organisés en réseau

(b) Détails de l'adressage d'un nanodevice grâce à deux cellules CMOS

FIG. 2.24 – [Lik04] : Adressage micro-nano. L'angle d'inclinaison du réseau nano α est fonction du grain des réseaux micro et nano, $\alpha = \sin^{-1}(F_{nano}/\beta F_{CMOS})$

Parmi les applications envisageables pour les circuits CMOL, leur simple utilisation en tant que remplacement de circuits logiques booléens CMOS classiques n'est pas réaliste [Lik04]. En effet, d'après [SL04], les architectures à base de dispositifs d'électro-

nique moléculaire ne peuvent à la fois présenter une grande densité d'intégration et une haute tolérance aux fautes. Par ailleurs, les dispositifs moléculaires à deux électrodes présentant une trop grande dégradation du signal, les amplificateurs CMOS nécessaires pour palier ces effets ramènent la densité moyenne en dispositifs de ces circuits en dessous du niveau des circuits purement CMOS, perdant donc l'avantage en intégration attendu par l'utilisation de molécules. D'autre part, avec une telle densité de dispositifs ($10^{11}.cm^{-2}$), les contraintes sur la puissance dissipée par unité de surface (inférieure à quelques nanowatts) et sur l'utilisation d'une différence de niveaux logiques acceptable (environ $1V$), imposent un compromis sur la vitesse d'opération, donnant des circuits très peu performants.

Bien qu'il semble que les mémoires en technologie hybride soient plus avantageuses que les mémoires CMOS⁷, Likharev et son équipe focalisent leurs travaux sur l'utilisation de ce type de circuit pour la réalisation de réseaux de neurone. Ils proposent ainsi le CrossNet (distributed Crosspoint Networks), que nous détaillons ci-dessous.

2.5.2 Le CrossNet

Le CrossNet [TML03] est un circuit CMOL implémentant un réseau de neurones. Les neurones sont réalisés par la couche CMOS et les synapses par les dispositifs moléculaires de type transistor Single Electron Tunneling. Deux dispositifs illustrés par les figures 2.25 et 2.26 ont été utilisés pour faire tourner des simulations.

En combinant deux de ces dispositifs, une synapse à trois valeurs $(-1,0,1)$ est obtenue. Pour certains modèles de réseau de neurone (réseau de Hopfield) ceci est suffisant, mais pour d'autres modèles (perceptrons), des synapses multivaluées sont nécessaires.

Le CrossNet (figure 2.27) est donc utilisé dans une structure de type réseau de Hopfield, bien que la condition de connectivité maximale entre les neurones généralement imposée par ce type de réseau ne soit pas satisfaite. Cependant, les résultats obtenus [TLML04] démontrent la très bonne tolérance aux défauts de fabrication du CrossNet. En outre, [TML03] et [LMMT03] montrent que cette topologie n'engendre pas non plus de pertes de propriétés importantes dans le fonctionnement du réseau de neurones.

⁷Avec une densité élevée ($10^{11}.cm^{-2}$) de dispositifs, tout en maîtrisant un taux de défauts inférieur à 10%

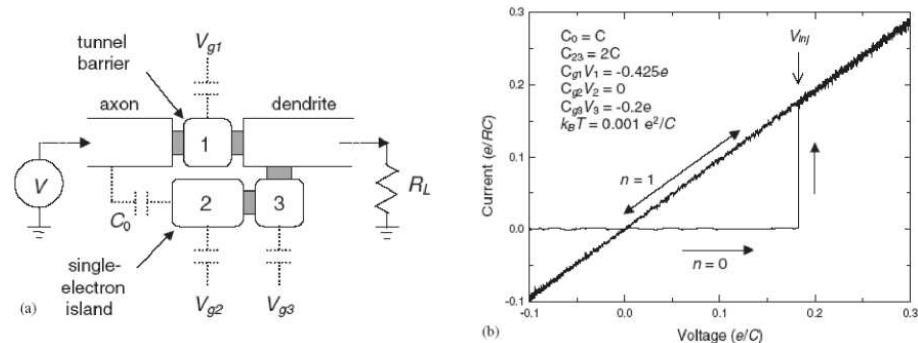


FIG. 2.25 – [KK.99] : (a) Dispositif SET réalisant la fonction d'une synapse de type Bi-WAS (Binary-Weight, Analog Signal) (b) Simulation numérique Monte-Carlo du single-electron tunnelling

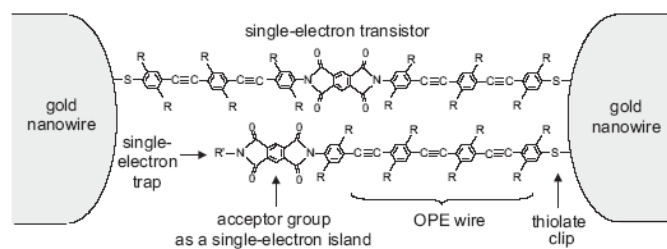


FIG. 2.26 – [KK.99] : Une implémentation moléculaire possible d'une synapse (Mayr et al., 2003)

Les performances simulées sont encourageantes quant aux développements de ce concept.

- Densité de neurones de $5.10^7 cm^{-2}$, contre $1,5.10^7 cm^{-2}$ dans le cerveau
- Latence entre cellules de $20ns$ pour une limite de $100W.cm^{-2}$ ou $2\mu s$ à $1W.cm^{-2}$, contre $10ms$ dans le cerveau
- Performance permettant de reconnaître un visage au milieu d'une foule (image de 8 megapixels) en $300\mu s$ (avec une limite de dissipation de $100W.cm^{-2}$), à comparer à environ 3 heures pour une version logicielle haute performance.

2.5.3 Conclusion

Dans l'état de l'art actuel, il s'agit de l'unique proposition visant à utiliser l'électronique moléculaire pour implémenter le paradigme de traitement de l'information par

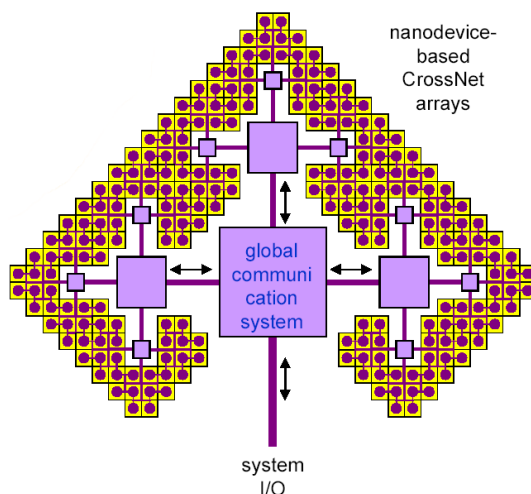


FIG. 2.27 – [TML03] : Structure en croix du CrossNet

réseaux de neurones. Bien que l'utilisation de synapses binaires dans le CrossNet ne soit peut être pas le type le plus adapté pour obtenir un circuit neuronal performant du point de vue applicatif, cette étude, très bien détaillée aussi bien au niveau fabrication (hybridation CMOS, réseau décalé, . . .) qu'au niveau conceptuel (réseau de neurones, synapses moléculaires, . . .), a le mérite de proposer un certain nombre d'axes de recherche qui semblent réellement pertinents.

2.6 Automate Cellulaire

En 1993, MM. Lent, Tourod, Porod et Bernstein [LTPB93] proposent la notion d'automates cellulaires quantiques (Quantum Cellular Automata, QCA) dans lequel l'état de charge de points quantiques est déterminé par celui de ses voisins. Depuis, l'université de Notre Dame (Indiana, USA) effectue un nombre important de travaux sur les automates cellulaires quantiques (Quantum Cellular Automata QCA) au sein des deux départements *Department of Chemistry and Biochemistry* et *Department of Electrical Engineering*. Le concept de QCA se pose en alternative à la technologie VLSI CMOS ultime pour l'implémentation de portes logiques dans une architecture de type Von Neumann. Il s'agit d'une approche permettant la réalisation de calculs en représentant l'information binaire non plus comme étant l'état d'interrupteurs de courant, mais la configuration des charges dans une cellule constituée d'un ensemble de points quan-

tiques.

Différents types de dispositifs QCA ont été démontrés, certaines équipes proposant d'utiliser des points métalliques, d'autres ayant réalisé une implémentation moléculaire [LIL03]. La fiabilité, la tolérance aux défauts ainsi que les stratégies de conception de tels systèmes ont été étudiées. Cependant, les obstacles majeurs à l'implémentation de systèmes QCA sont aujourd'hui encore liés aux problèmes de restauration de gain dans les cellules [OAK⁺02] [TL02] et à la dissipation de puissance [TL02].

2.6.1 Qu'est ce qu'une cellule QCA ?

Une cellule QCA est constituée d'un petit nombre de points quantiques. Un point quantique est une structure de taille nanométrique suffisamment petite pour que des phénomènes quantiques y soient prépondérants. Une de ses caractéristiques intéressantes est que la charge présente est discrète, on peut ainsi charger le site électron après électron. Une cellule *standard* QCA est composée de quatre points quantiques diamétralement opposés deux à deux, sous l'effet de la force de répulsion de Coulomb, les électrons excédentaires vont se positionner dans les coins diamétralement opposés de la cellule. Comme le montre la figure 2.28, deux configurations de polarisation sont possibles, chacune correspondant alors à une valeur codée binairement de '0' ou '1'.

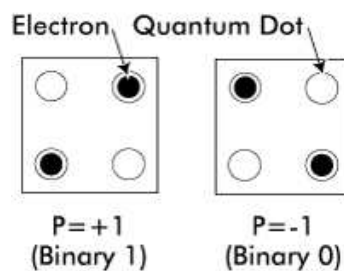


FIG. 2.28 – [OAB⁺97] : Schéma de cellules à quatre points quantiques, la force de répulsion de Coulomb impose aux électrons d'occuper les coins opposés de la cellule

Il y a traitement de l'information lorsqu'une cellule a la capacité de forcer l'état de la cellule qui suit. Par exemple la figure 2.29 représente un fil QCA où l'information se propage de proche en proche. Si on force l'état de la première cellule dans l'état '0' la nouvelle valeur du bit va se propager jusqu'à la dernière cellule.

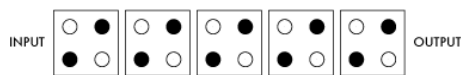
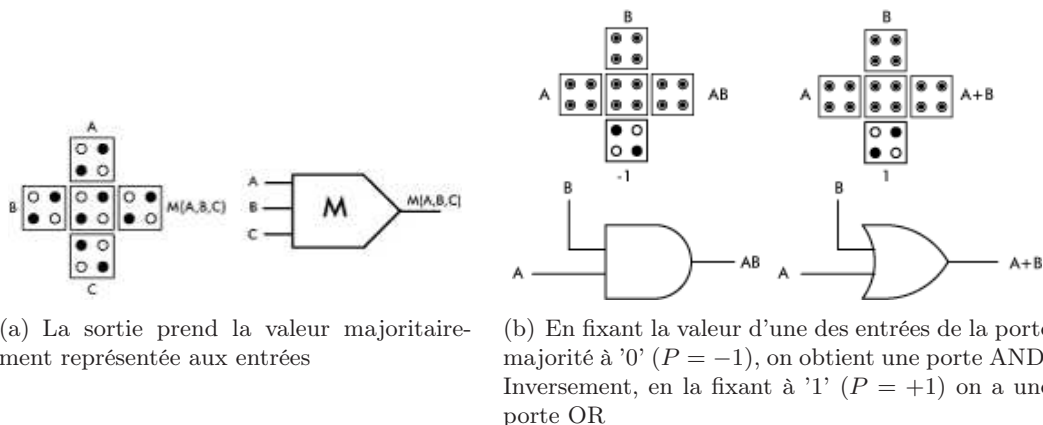


FIG. 2.29 – [OAB⁺97] : Fil à base de cellule QCA

Les dispositifs QCA sont ainsi construits en disposant les cellules les unes à côtés des autres de façon appropriée. Les fonctions QCA nécessaires à l'utilisation en logique sont le fil (Figure 2.29), la porte majorité (Figure 2.30(a)), l'inverseur (Figure 2.31), le fan-out (Figure 2.33, où une même information incidente est envoyée vers plusieurs fils), le crossover (Figure 2.34, le croisement entre 2 fils). En fixant la valeur d'une des entrées de la porte majorité à '0' ($P = -1$), on obtient une porte AND, en la fixant à '1' ($P = +1$) on obtient une porte OR (Figure 2.30(b)).



(a) La sortie prend la valeur majoritairement représentée aux entrées

(b) En fixant la valeur d'une des entrées de la porte majorité à '0' ($P = -1$), on obtient une porte AND. Inversement, en la fixant à '1' ($P = +1$) on a une porte OR

FIG. 2.30 – [QCA] : Porte majorité et son utilisation

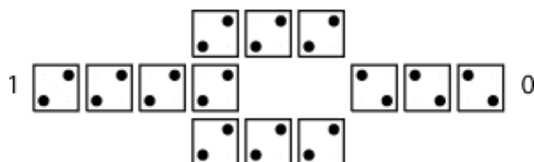


FIG. 2.31 – [QCA] : Inverseur à QCA. Les cellules positionnées à 45 degrés les uns par rapport aux autres interagissent inversement, leur polarisation est toujours inverse



FIG. 2.32 – [QCA] : Chaîne d'inversion à QCA. Chaque cellule prend la polarisation inverse de son plus proche voisin

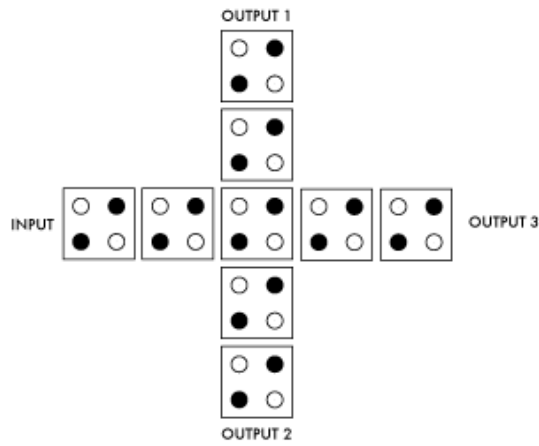


FIG. 2.33 – [QCA] : Fanout à QCA. Une même information incidente est envoyée vers plusieurs fils

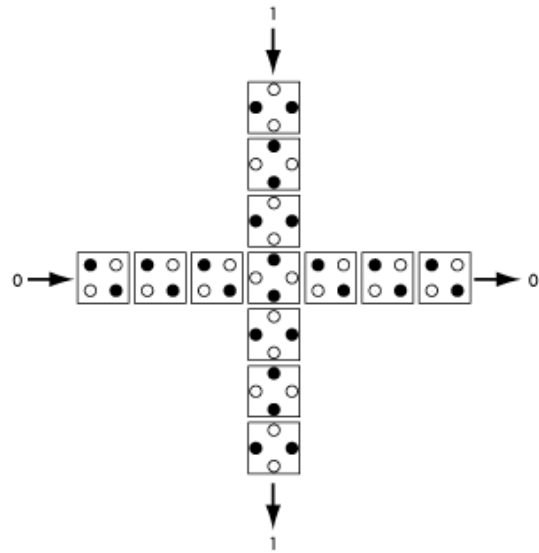
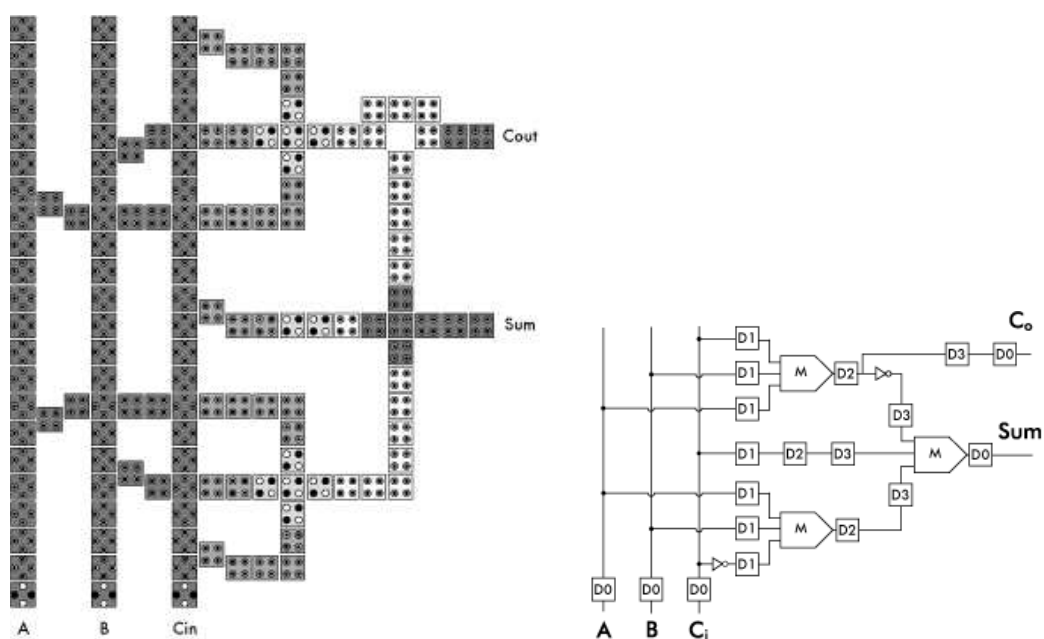


FIG. 2.34 – [QCA] : Crossover à QCA. L'information qui se propage sur la ligne verticale n'interagit pas avec le fil horizontal

Dans ces circuits à base de QCA, le signal d'horloge synchronise le système et amène aussi l'énergie nécessaire au fonctionnement de chaque cellule [LT97]. Ce signal contrôle le débit des électrons passant d'un point à un autre par effet tunnel quantique, et donc ainsi leur polarité. Quand le signal d'horloge est haut, la barrière de potentiel entre les points est basse, et les électrons se déplacent dans la cellule. Inversement, une fois l'horloge au niveau bas, la barrière de potentiel est haute et les électrons se localisent (par polarisation) en fonction de l'interaction avec les points voisins. En fonction du nombre de cellules QCA et de leurs arrangements, on peut ainsi distinguer plusieurs *régions d'horloge*, en fonction de la phase, distinguables sur la figure 2.35(a) par leurs différents niveaux de gris.

A partir de ces éléments de base, on peut concevoir des fonctions logiques plus complexes, comme par exemple un additionneur complet [Ber03] [QCA] illustré par la figure 2.35(a) et schématisé par la figure 2.35(b).



(a) Implémentation d'un additionneur complet à QCA. Les niveaux de gris indique les régions d'horloge en fonction de la phase

(b) Schéma équivalent avec des bascules-D de l'additionneur complet à QCA

FIG. 2.35 – [QCA] : Additionneur complet et son schéma équivalent

2.6.2 Implémentation avec des jonctions tunnel métalliques

Des dispositifs QCA à base de points métalliques ont été expérimentalement démontrés : la cellule QCA [OAB⁺97], des fils QCA [OAT⁺99] ou encore la porte majorité [IOT⁺99]. Ces expériences ont montré que la modification de la configuration des charges dans une cellule est effectivement capable de changer l'état des cellules voisines et permet donc de réaliser des fonctions.

Un registre à décalage QCA a également été réalisé [KOR⁺03] (Figure 2.36). Cependant, le fonctionnement de ces dispositifs expérimentaux a lieu à très basse température, la plus élevée relevée dans la littérature fait état de $70mK$, ce qui pose un sérieux problème.

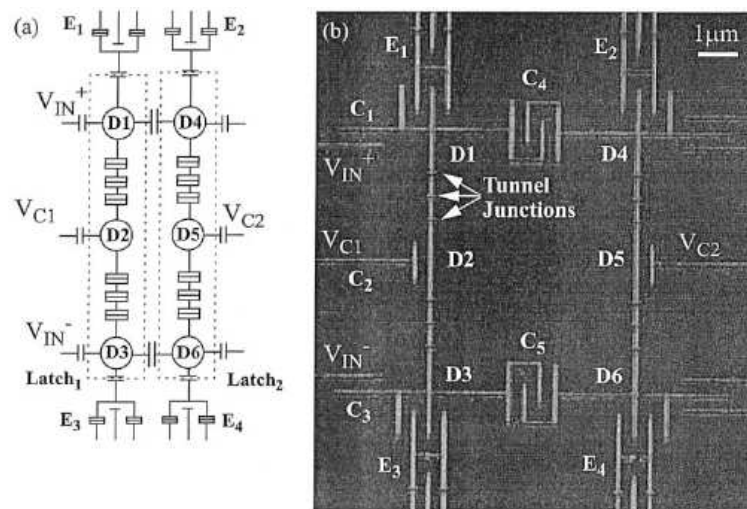


FIG. 2.36 – [KOR⁺03] : (a) Schéma d'un registre à décalage QCA, (b) image au MEB du registre à décalage fabriqué

Les types d'erreurs rencontrés dans le registre à décalage ont été caractérisés. Dans le fonctionnement du *latch*, le bit est sauvegardé tant que le signal d'horloge est présent, quand il a disparu l'information est perdue. D'où la différence de phase entre $clock_1$ et $clock_2$ que l'on peut constater sur la figure 2.37.

Les erreurs dans le registre à décalage peuvent être de quatre types différents :

- Erreurs en délais : l'information stockée dans le *latch* est perdue avant la fin du cycle d'horloge. Ceci apparaît quand la durée du signal d'horloge est comparable

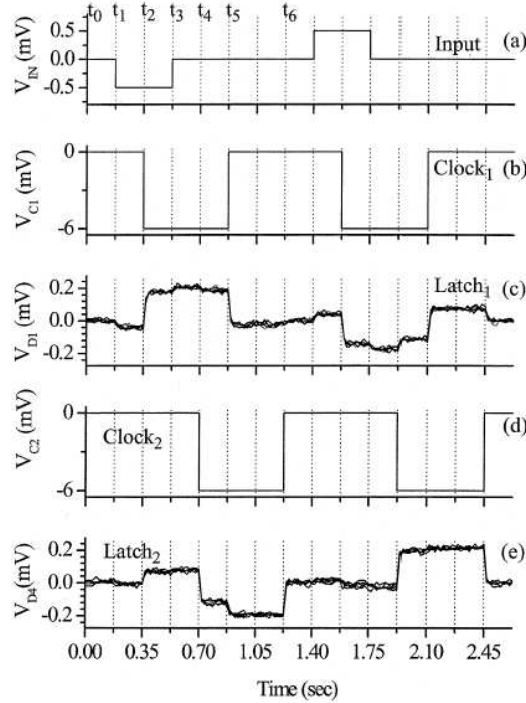


FIG. 2.37 – [KOR⁺03] : Fonctionnement d'un registre à décalage. (a) Entrée V_{IN} appliquée à L1 (b) Horloge V_{C1} du latch L1. (c) Sortie de L1 mesurée par la tension du dot D1. (d) Horloge V_{C2} décalée en phase appliquée au latch L2. (e) Sortie de L2 donnée par le potentiel du dot D4

au temps de rétention. La solution serait d'avoir une fréquence d'horloge de l'ordre du GHz.

- Erreurs de basculement : le signal d'entrée appliqué au *latch* impose une préférence pour l'un ou l'autre des états binaires, le *latch* bascule dans l'état privilégié quand le signal d'horloge est appliqué. Cependant en présence de bruit extérieur tel que l'excitation thermique, le *latch* peut basculer dans le mauvais état. La solution résiderait dans la diminution en taille du point métallique, ce qui impliquerait une augmentation de l'énergie de charge, elle-même entraînant une diminution importante de la probabilité d'erreur de basculement.
- Erreurs dynamiques : en théorie, celles-ci deviendraient prépondérantes quand la fréquence d'horloge approche la vitesse des électrons traversant les barrières de potentiel par effet tunnel. Pour les dispositifs constitués de jonctions tunnel métalliques comme c'est le cas dans ces travaux, ces erreurs ne sont pas significatives jusqu'à une période d'horloge de 1GHz . Cette valeur devrait être supérieure pour

une implémentation moléculaire du QCA.

- Erreurs dues aux variations aléatoires dans la distribution des charges, impliquant un repositionnement des tensions de fonctionnement du dispositif, dans une échelle de temps allant d'une dizaine de minutes à quelques heures. Une solution serait les dispositifs SET à base de silicium qui se sont révélés plus stables sur une période d'un an.

Les auteurs avancent qu'une réduction en taille des dispositifs permettrait de diminuer ces différents types d'erreur et faciliterait un fonctionnement à plus haute température. Il est cependant délicat d'un point de vue technologique d'envisager de réaliser cette miniaturisation.

2.6.3 Vers une implémentation moléculaire

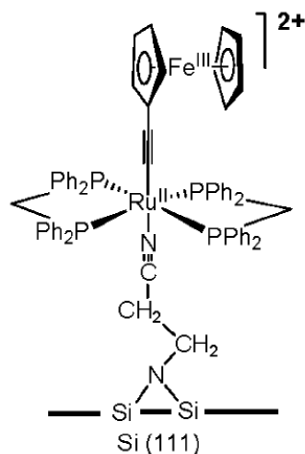
Dans un QCA moléculaire [LIL03], les points quantiques sont les centres redox de la molécule. Un centre redox peut gagner un électron (réduction), ou en perdre un (oxydation) sans détruire ses liens chimiques. Les molécules possédant au moins deux centres redox entre lesquels un électron peut se déplacer sont des composés à valence mixte. Leurs simulations montrent que ces molécules sont de bons candidats pour un fonctionnement QCA.

En particulier, une molécule $Fe^3 - Ru^2$ (figure 2.38) a été caractérisée par des techniques électrochimiques et spectroscopiques [QSL⁺03]. Les résultats préliminaires permettraient d'envisager une implémentation moléculaire des QCA.

2.6.4 Perspectives

Actuellement, un des obstacles fondamentaux à l'utilisation de l'électronique moléculaire est la nécessité de diminuer la dissipation en puissance par dispositif. L'approche QCA permettrait de diminuer la dissipation en puissance de plusieurs ordres de grandeurs par rapport à un circuit similaire en technologie CMOS, grâce notamment aux transferts discrets d'électrons entre les cellules.

Les implémentations que nous avons présentées utilisent la localisation de charges électriques, mais une implémentation magnétique utilisant le spin de l'électron à base de nano-aimant est aussi envisagée [Ber03] [CW00]. Cependant il semble que les vitesses

FIG. 2.38 – [QSL⁺03] : Molécule de $Fe^3 - Ru^2$

de commutation de ces dispositifs magnétiques les rendent actuellement encore très peu compétitifs.

Tous les dispositifs fabriqués restent encore à l'état de prototypes de laboratoire car le nombre d'électrodes requis par de tels systèmes est trop important. Enfin, un autre aspect crucial tant pour la crédibilité de ce nouveau paradigme que pour sa survie et ses débouchés industriels, reste pour l'instant sans solution : il s'agit du problème de l'interface des QCA avec des systèmes plus classiques qui n'est pas encore réellement abordé.

2.7 Le crossbar moléculaire

En 1995, HP avait déjà commencé à explorer la voie des architectures complexes tolérantes aux fautes (statiquement) avec son projet Teramac [RcC⁺95]. Initialement, Teramac était en fait une plate-forme d'exploration d'architectures parallèles composée d'une batterie de 864 FPGAs interconnectés. Environ 75% du système avait des défauts, soit d'interconnexion dus aux câbles, soit le circuit (FPGA) était défectueux. Globalement, 3% des ressources étaient inutilisables. C'est pourquoi, après son assemblage, une base de donnée géante représentant l'ensemble des cellules défectueuses ou inaccessibles était créée, ce qui permettait par la suite de pouvoir mapper avec succès n'importe quelle architecture ou application, sans compromettre son fonctionnement. Souvent cité dans les publications liées aux architectures moléculaires, le Teramac d'HP

est considéré comme l'une des premières approches *bottom-up* consistant à fabriquer le composant ou le système avant de le caractériser et donc de pouvoir le configurer.

Cependant, ce n'est que tout récemment que le laboratoire de recherche de Hewlett-Packard (Palo Alto, CA, USA) a publié la réalisation d'une architecture moléculaire [CJO⁺03]. Ces travaux, assez controversés quant aux explications avancées, ont été remis en cause par leur auteurs [SOB⁺04] quelques mois après. Ils auront tout de même eu le mérite d'accélérer la course à la miniaturisation et d'avoir réalisé l'un des premiers circuits à base de composant *nanotechnologique*. Fort de quatre brevets de bases sur les architectures à base d'électronique moléculaire [SP01] [SY01] [SJY01] [SJY00], HP s'affiche clairement comme un pionnier du domaine au niveau industriel.

2.7.1 Le crossbar d'interrupteurs moléculaires

Issue d'une étroite collaboration entre l'équipe de recherche quantique de HP et le département de chimie et bio-chimie de l'université de Californie, la première mémoire à base de molécules ayant une densité record de $6,4 \text{ Gbits.cm}^{-2}$ a été annoncée au début de l'année 2003 [CJO⁺03]. Depuis, HP a présenté en 2004 un crossbar de 1 kb , puis en 2005 un de 16 kb avec une largeur de nanofil de 17 nm . D'après une allocution de Stanley Williams lors de la conférence TNT 2006, ils espèrent pouvoir présenter pour le début de l'année 2007 un crossbar encore plus dense avec un *pitch* de 4 nm . Nous nous focaliserons sur leur première publication, plus détaillée.

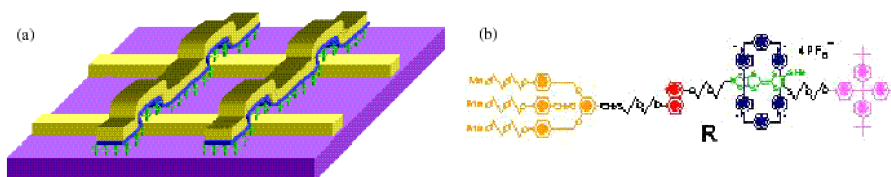


FIG. 2.39 – [CJO⁺03] : (a) Représentation schématique de la structure du crossbar (b) Structure moléculaire de la molécule bistable de [2]rotaxane

A la différence de procédés de fabrication de circuit basés sur la chimie et l'auto-assemblage [Tou03b], ou de propositions alliant des techniques lithographiques classiques à des procédés originaux (alignements de nanofils par fluide ou par champs électriques) [A.D04], Chen et al. basent leur proposition d'architecture de mémoire sur une

technique de lithographie avancée par empreinte (Imprint Lithography) leur permettant de réaliser des fils aux dimensions inférieures à $10nm$ de largeur. Le procédé de fabrication par empreinte est, *relativement*, simple et peu coûteux [ea03a]. Il est par ailleurs breveté [Y.02].

Prise en sandwich entre deux rangées de nanofils, l'une réalisée en platine, l'autre en titane (Figure 2.39(a), en jaune), la monocouche de [2]rotaxane (Figure 2.39(a), en vert) est le principe actif du dispositif. La molécule est constituée de deux parties se bloquant mutuellement : un axe aux extrémités *bloquantes* entouré d'un anneau [ea01] [ea03b]. Le lecteur pourra se référer à la section 1.4.2 (figure 1.27) pour plus de précision sur la molécule de [2]rotaxane.

2.7.2 Réalisation expérimentale

Plusieurs centaines de crossbar 8x8 ont été fabriqués sur un wafer. Chacune des 64 intersections de ces dispositifs est testée indépendamment grâce à leurs 16 contacts (Figure 2.40(a)). Les nanofils créés par Imprint Lithography ont une largeur de $40nm$ (Figure 2.40(b)(c)(d)).

Chaque crossbar 8x8 (Figure 2.7.2) a tout d'abord été testé à température ambiante comme une mémoire de 64 bits. Après avoir trouvé une matrice sans défaut, l'équipe y a mémorisé les 64 bits suivants (en code ASCII) : `HPinvent` (Figure 2.7.2). La mémorisation (l'écriture) d'un bit consiste à fixer la résistance de chaque intersection par application d'une tension de *programmation* aux bornes de la ligne et de la colonne correspondant à cette intersection. Les niveaux logiques sont donc fonction de la résistance de chaque intersection et donc du courant qui la traverse. Soit environ $5.10^8\Omega$ pour un '0' et $4.10^9\Omega$ pour un '1'. La lecture s'effectue en mesurant le courant de l'intersection considérée.

Utilisant leur invention sur les décodeurs d'adresses moléculaires [SP01], Chen et al. proposent d'implémenter dans deux sous-matrices 4x4 de la matrice 8x8 principale, un multiplexeur et un démultiplexeur entourant un emplacement mémoire 4x4 (Figure 2.42). Cependant, un problème de seuil électrique dû vraisemblablement aux capacités et aux diodes externes ne permet pas de vérifier entièrement le contenu de la mémoire. Une fois la mémoire 4x4 programmée, seule une sous-matrice 2x4 a pu être clairement lue.

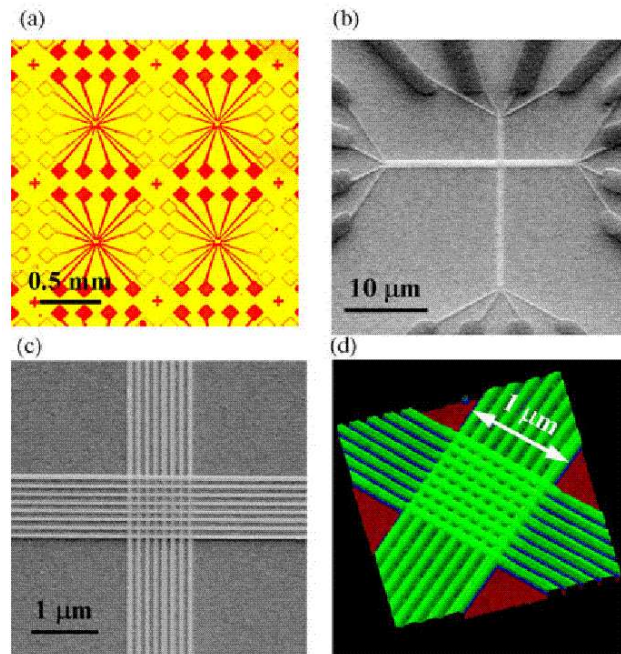
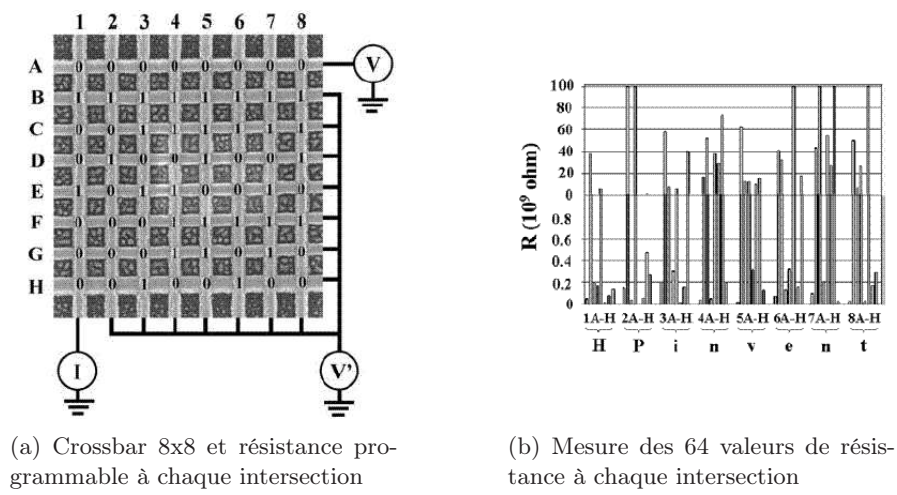


FIG. 2.40 – [CJO⁺03] : (a) image de 4 circuits de test sur 625 créés, montrant que chaque circuit a 16 contacts. (b)(c) Images SEM d’une intersection de nanofils. (d) Image AFM.



(a) Crossbar 8x8 et résistance programmable à chaque intersection

(b) Mesure des 64 valeurs de résistance à chaque intersection

FIG. 2.41 – [CJO⁺03] Mémoire 8x8

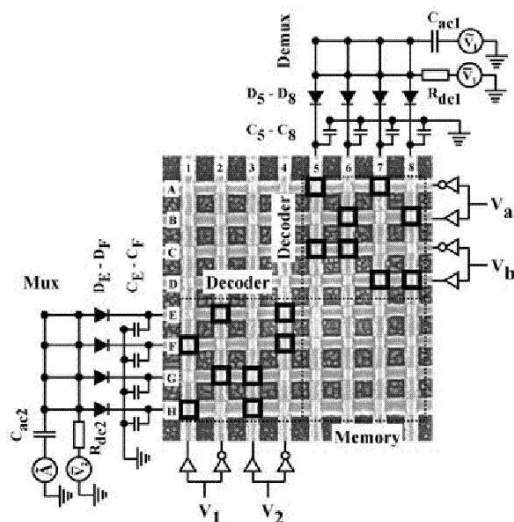


FIG. 2.42 – [CJO⁺03] : Le crossbar configuré avec un multiplexeur et un démultiplexeur autour d'une mémoire 4x4 bits

2.7.3 Perspectives

Bien que vivement critiqués par la communauté scientifique, l'annonce faite par HP présentant ses travaux comme étant la révolution technologique tant attendue sera finalement remise en cause dix mois plus tard par les auteurs eux-mêmes [SOB⁺04]. Il semblerait que l'effet mémoire observé ne soit pas dû à la commutation de l'anneau des molécules de [2]rotaxane, mais plutôt de la création de filaments par ionisation entre les deux électrodes à chaque intersection du crossbar lors de la phase de programmation. Cependant, bien que l'explication du phénomène de mémorisation observée soit toujours soumise à débat, HP continue de travailler sur ce projet, S.Williams ayant déclaré lors de la conférence TNT 2006 que les informations stockées dans les mémoires réalisées il y a plus de 3 ans étaient encore valides.

Cette étude a le mérite d'être l'une des premières dans le domaine qui présente à la fois un prototype technologique associant lithographie et auto-assemblage moléculaire, ainsi qu'un concept original de mémoire avec décodeur d'adresse à base de logique à diode programmable.

Chapitre 3

Les points mémoires

Ce chapitre présente de manière succincte¹ les différents types de points mémoires classiques (SRAM, DRAM, EEPROM, Flash) ainsi que des concepts de points mémoires plus récents, exclusivement issues de la recherche en nanotechnologie. Ce tour d'horizon volontairement rapide permet d'introduire les travaux originaux présentés dans la deuxième partie.

3.1 DRAM

Une cellule mémoire de type DRAM, pour Dynamical Random Access Memory, est formée d'un transistor d'accès (1-T) en commutation tout ou rien (interrupteur) et d'une capacité *dipolaire* stockant 1 bit d'information sous la forme de charge. A cause des courants de fuite sous le seuil du transistor d'accès, la charge de la capacité ne peut pas être gardée longtemps et doit être rafraîchie régulièrement ($1 - 4ms$). C'est une cellule mémoire *volatile* dont la taille est de $0.22\mu m^2$ en technologie $90nm$. La figure 3.1 montre le schéma le plus simple d'un point mémoire DRAM où l'accès en lecture détruit l'information stockée. Il faut donc une phase d'écriture après chaque phase de lecture.

¹Pour les détails des différents types de mémoires actuellement les plus répandus, le lecteur pourra consulter différents ouvrages de référence tel que [Ito01]

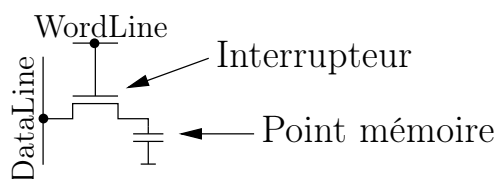
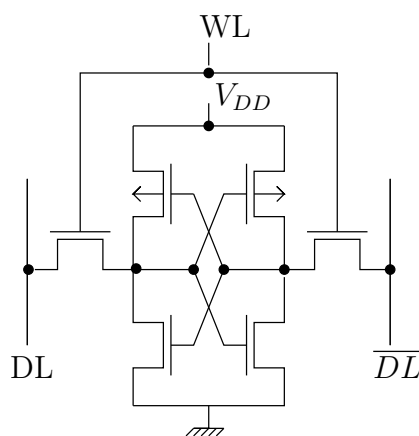


FIG. 3.1 – Point mémoire DRAM (1-T) à lecture destructive

3.2 SRAM

La figure 3.2 montre une cellule SRAM standard à six transistors (6-T) constituée de deux inverseurs et de deux transistors MOSFETs d'accès connectés à une paire de lignes différentielles de donnée (ou de bit). La SRAM est capable de stocker 1 bit d'information. L'information binaire, 0 ou 1, est codée par l'état d'une bascule logique. Pour obtenir une bascule, l'entrée et la sortie d'un des inverseurs sont connectées à la sortie et à l'entrée de l'autre inverseur, respectivement. La cellule SRAM est plus rapide que la DRAM, et contrairement à cette dernière, tout en étant *volatile*, l'information stockée ne nécessite pas de rafraîchissement pour être conservée. Taille de cellule standard (6-T) : $1\mu\text{m}^2$ en technologie 90nm , $0.7\mu\text{m}^2$ en technologie 65nm .

FIG. 3.2 – Point mémoire SRAM (6-T) de type *full-CMOS*

3.3 Flash

La cellule de type Flash a pour principal avantage de pouvoir conserver une information une fois l'alimentation électrique coupée tout en garantissant un temps d'accès

en lecture relativement faible. L'information est donc *non-volatile*. Une cellule de type Flash (fig.3.3) ressemble à un transistor MOSFET avec la particularité d'avoir une grille flottante prise entre la grille de contrôle et le substrat. C'est la quantité de charge présente dans cette grille flottante qui code l'information.

Chaque cellule Flash stocke traditionnellement un bit d'information. Certaines mémoires commercialisées récemment peuvent stocker plusieurs bits d'information en faisant varier la quantité de charges (électrons) dans la grille flottante et en améliorant la précision des circuits de lecture et d'écriture. Actuellement le nombre de bit par cellule est de deux, ce nombre devrait doubler à l'horizon 2007. Samsung Electronics a en effet présenté à la conférence 2006 Symposium on VLSI Technology une nouvelle structure de type SONOS (silicon-oxide-nitride-oxide-silicon) capable de stocker 4 bits par cellules, réparti spatialement. La taille physique d'une cellule Flash de type NAND est d'environ $0,04\mu\text{m}^2$ en technologie 90nm , et réduite à $0,0138\mu\text{m}^2$ en technologie 50nm (IMFT). Le problème de la réduction de la taille de la cellule de type Flash se pose actuellement pour les procédés technologiques futurs.

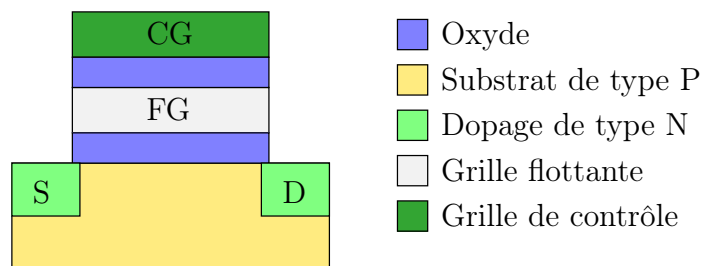


FIG. 3.3 – Point mémoire Flash

On distingue principalement deux types d'architecture de mémoire Flash apparus l'une après l'autre, pour finalement coexister aujourd'hui dans des utilisations différentes.

- **Architecture de type NOR :** Les cellules sont connectées en parallèle de manière matricielle, chacune d'elle est accessible à l'intersection d'une ligne et d'une colonne (figure 3.4(a)), permettant un accès relativement rapide aux données (temps de lecture 70ns en 2004). L'écriture, c'est à dire la charge de la grille flottante, s'effectue par *porteurs chauds*. Cependant, leurs dimensions restent élevées ($0,1\mu\text{m}^2$ par cellule) et difficilement réductible. De part leur possibilité d'accès aléatoire (RAM), ces mémoires Flash sont essentiellement utilisées aujourd'hui

comme mémoire *programme*, c'est à dire, contenant le code d'un programme à exécuter.

- **Architecture de type NAND** : Connectées en série (figure 3.4(b)), la diminution de la consommation grâce à l'écriture par effet Fowler-Nordheim et le doublement de la densité d'intégration des cellules NAND par rapport aux NOR, expliquent leur succès commercial. Cependant, l'adressage s'effectuant uniquement par mot de n bits réduit son utilisation à une mémoire de donnée.

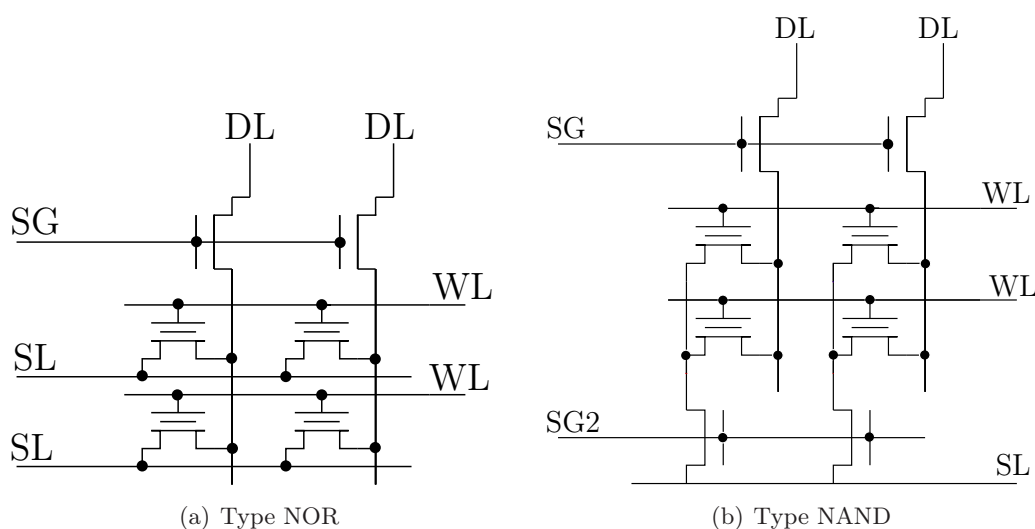


FIG. 3.4 – Architectures de mémoire FLASH

3.4 Cellules issues de l'électronique moléculaire

3.4.0.1 Stockage électronique

Précédemment évoqué, la recherche visant à utiliser des molécules pour y stocker une information c'est largement développée depuis quelques années. Généralement, les différentes propositions utilisent les propriétés d'oxydo-réduction de l'atome central métallique pour sauvegarder une information, alors que les ligands ou d'autres types de molécules connectées à la première, jouent le rôle de barrière isolante permettant de conserver l'état de charge du noyau.

Un certain nombre de brevets dans le domaine ont été déposés, notamment le WO 2005/073976 A1 [Zet05] et US 6,944,047 B2 [Rot05] par ZettaCore, et aussi US

2005/0121660 A1 [Mis05]. Les figures 3.5(a) et 3.5(b) présentent les cellules mémoires proposées dans ces brevets.

Les deux premières propositions sont à l'origine de la ZettaRAM de ZettaCore. La capacité de stockage d'une cellule DRAM qui sert à mémoriser une information est remplacée par *une capacité moléculaire*, (301 fig.3.5(a) et 920 fig.3.5(b)). Ce dispositif moléculaire *dipolaire* est réalisée par une mono-couche auto-assemblée de molécules (SAM, Self Assembled Monolayer). On retrouve par ailleurs un transistor *classique* (303 fig.3.5(a) et 910 fig.3.5(b)) pour l'accès à la cellule mémoire.

La charge de cette capacité d'un genre nouveau est essentiellement fonction de la durée du potentiel appliquée à ses bornes, indépendamment de la valeur absolue de cette tension, passé un certain seuil. En conséquence directe, la vitesse d'écriture, et donc la fréquence de fonctionnement de cette cellule, influence la quantité de charge. A défaut de révolutionner le concept de mémoire volatile, ce point mémoire apporte de nouveaux éléments permettant de changer dynamiquement le compromis vitesse/énergie [VAZR05].

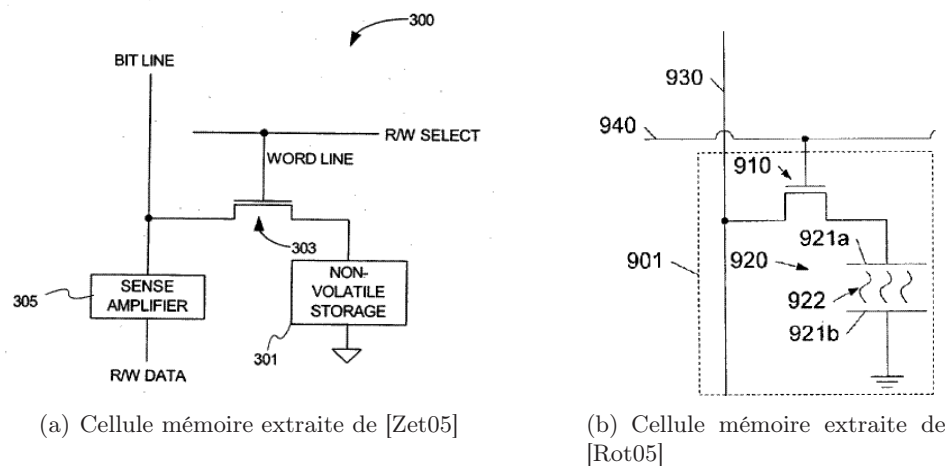


FIG. 3.5 – Différents types de cellules mémoires moléculaires issues de brevet

3.4.0.2 Stockage électro-mécanique

Nantero (cf. section 1.3.4.2) propose aussi, et de manière commerciale, une mémoire organisée de manière matricielle, de très haute densité, non-volatile et théoriquement

insensibles aux rayonnements type *gamma*, à base de nanotubes de carbone suspendus au dessus d'une contre-électrode. Un procédé réversible et reproductible permettant de courber des nanotubes jusqu'à toucher une contre-électrode, et inversement, sert à coder une information binaire (Figure 3.6).

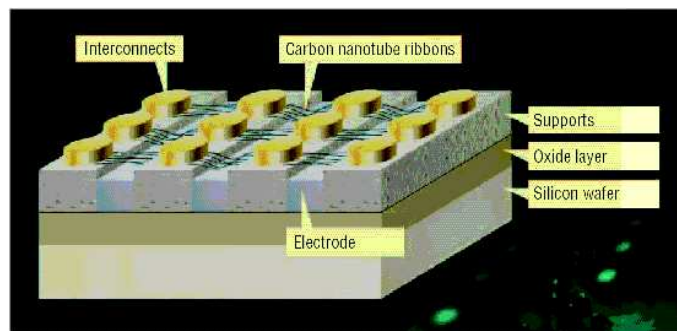


FIG. 3.6 – Mémoire électro-mécanique NRAM à base de nanotube présentée par Nantero [Pau04]

3.5 Tableau récapitulatif

Cellule	Composants	Surface (90nm)	Nbre bits P/cell.	Volatile
DRAM	1 Transistor, 1 Condensateur	$0.22\mu m^2$	1	oui
SRAM	6 Transistors	$1\mu m^2$	1	oui
FLASH	1 Transistor Flash	$0.04\mu m^2$	2	non
Cellule à stockage moléculaire	1 Transistor, 1 dipôle moléculaire	très petit	minimum 1	fonction des molécules
Nantero cf. section 1.3.4.2	Plusieurs Nanotubes de carbone suspendus	$0.02\mu m^2$ (?)	1	non

TAB. 3.1 – Tableau comparatif

Deuxième partie

Contribution originale

Contexte et Motivation

Les dispositifs à base d'électronique moléculaire tels les nanotubes, les nanofils, les molécules de porphyrines ou de rotaxanes apparaissent comme des candidats potentiels à l'intégration dans les mémoires du futur. En effet, leur utilisation permettrait d'obtenir, de part leurs dimensions nanométriques, des densités très élevées, bien au-delà de la *roadmap* silicium, tout en réduisant les coûts de fabrication grâce aux procédés d'auto-assemblage et d'intégration tridimensionnelle.

Cependant, l'état de l'art actuel semble indiquer qu'à cette échelle, les variations technologiques d'un composant à l'autre seront très élevées. Par ailleurs, ce domaine étant relativement récent, il n'existe pas de modélisation de ces dispositifs permettant d'explorer par simulation de nouveaux circuits et architectures complexes.

En conséquence, les travaux de recherche présentés dans ce manuscrit de thèse proposent plusieurs niveaux de modélisation de transistors moléculaires à nanofils à effet de champs (NW-FET moléculaire), une structure et une modélisation d'une cellule de mémoire non-volatile, compacte et multi-valuée, ainsi qu'un nouveau type d'architecture de mémoire de très haute densité et tolérante aux dispersions.

Chapitre 4

Modélisation du transistor moléculaire NW-FET

La modélisation des dispositifs issus de l'électronique moléculaire est un domaine récent, où très peu de publications existent. Au moment de la rédaction de ce mémoire de thèse, on ne dénombre qu'une seule publication s'intéressant spécifiquement à la modélisation d'un type de dispositif moléculaire [VAZR05]. Cette étude présente la modélisation d'une *capacité moléculaire*, une mono-couche moléculaire visant à remplacer la capacité des mémoires de type DRAM (section 3.4).

Dans ce chapitre, nous présentons les détails d'une modélisation générique d'un transistor à effet champs à grille flottante moléculaire [JCA06a]. Le domaine étant encore en pleine évolution et les explications des phénomènes physiques n'étant elles-mêmes pas complètement abouties, l'approche adoptée se veut donc pragmatique, privilégiant la fonctionnalité et l'optimisation en temps de calcul. Les objectifs de cette modélisation sont, essentiellement, de pouvoir disposer d'un modèle reproduisant fidèlement le comportement électrique spécifique de ces transistors, et de permettre ainsi de pouvoir simuler et analyser des circuits plus complexes en un temps raisonnables.

Ainsi, à partir des caractéristiques expérimentales de transistors NW-FET moléculaires, nous avons développé un modèle comportemental en VHDL-AMS, alliant des équations électriques et des processus combinatoire émulant certains phénomènes chimiques. La modélisation réalisée met l'accent sur l'aspect fonctionnel du composant, en accord avec les données mesurées et optimisée en temps de calcul pour être intégrée dans des simulations d'architecture mémoire composée de plusieurs milliers de composants.

4.1 VHDL-AMS

Le langage VHDL-AMS (officiellement VHDL 1076.1-1999) est une extension du langage VHDL (1076-1993). Tout en assurant une compatibilité ascendante totale, cette nouvelle révision permet de modéliser tout système dont le comportement est décrit par des équations différentielles algébriques (DAE) en fonction du temps. De ce fait, VHDL-AMS est utilisable pour simuler le comportement d'une majorité de systèmes électriques, mécaniques ou encore thermodynamiques. On utilise la syntaxe "==" pour définir une DAE.

VHDL-AMS représente les inconnues des équations différentielles par l'intermédiaire de grandeurs appelées `QUANTITY`. Ces quantités peuvent être soit d'un type VHDL standard (`real` par exemple), soit d'un sous-type d'une nature définie, comme par exemple, `voltage` ou `current` pour la nature `electrical`. Entre deux bornes (`TERMINALS`) d'un composant, on peut définir des quantités `ACROSS`, relatives à une notion de force (la tension en électricité), ainsi que des quantités de type `THROUGH`, relatives quant à elles à une notion de flux (le courant en électricité).

De nouveaux attributs utilisables par les quantités (et certains signaux de types réels) spécifiques à VHDL-AMS ont fait leur apparition.

- `'dot` et `'integ` représentent, respectivement, la dérivation et l'intégration d'une quantité par rapport au temps. Par ailleurs, l'attribut `'delayed` permet de décaler temporellement deux quantités.
- Le produit d'une quantité par une fonction de transfert peut être obtenu par l'utilisation des attributs `'ltf`, pour la transformée de Laplace dans un système continu, ou `'ztf`, pour la transformée en Z pour le système discret.
- `'slew(ddt1, ddt2)` permet de suivre la vitesse de variation d'une quantité en limitant sa dérivée à `ddt1` (montée) et à `ddt2` (descente). C'est un attribut typiquement destiné à modéliser de manière simple le slew-rate d'un amplificateur. De la même façon, `'ramp(tr, tf)` fixe les temps de montée et de descente d'un signal réel, permettant ainsi d'intégrer de manière plus réaliste des signaux numériques dans le monde analogique.
- L'attribut `'above` permet de savoir si une quantité est au-dessus ou en-dessous d'un seuil.

```
entity resistance is
  generic (RVAL: real);
  port (terminal t1, t2: electrical);
end entity resistance;

architecture bhv of resistance is
  quantity ur across ir through t1 to t2;
begin
  ur == RVAL * ir;
end architecture bhv;
```

FIG. 4.1 – Exemple d’entité VHDL-AMS décrivant le comportement d’une résistance

Cette nouvelle mouture du langage permet aussi d’effectuer un choix entre plusieurs DAEs en fonction d’une condition grâce à la construction `IF ... USE ... ELSE ... END USE`. Par ailleurs, pour faciliter la convergence du simulateur, le pas de simulation autour des discontinuités peut être volontairement affiné par l’utilisation de la commande `BREAK ON` [quantité subissant la discontinuité ou signal changeant d’état].

Finalement, un autre avantage de VHDL-AMS est de pouvoir spécifier le domaine en cours (DC, transitoire, AC) au moment de la simulation. Un même modèle pouvant ainsi implémenter facilement les conditions initiales pour le calcul du point de fonctionnement DC :

```
IF domain = quiescent_domain USE
  V == 0.0;
ELSE
  I == C * V'dot;
END USE;
```

Permettant d’illustrer cette première section sur les fonctionnalités de VHDL-AMS, l’exemple de la figure 4.1 décrit la modélisation d’une résistance électrique.

VHDL-AMS apparaît donc comme le langage le plus abouti aujourd’hui pour modéliser de manière comportementale, et avec une précision suffisante, les principaux phénomènes physiques d’un système donné. Permettant en outre de réutiliser sans modification les modèles numériques VHDL, VHDL-AMS est donc particulièrement adapté

à la modélisation de systèmes en signaux mixtes. Par ailleurs, le fait de disposer de licences de l'outil ADvance-MS (ADMS) de Mentor Graphics a définitivement entériné le choix de VHDL-AMS comme langage de prédilection pour la modélisation lors de notre étude. En effet, ADMS est un des outils les plus avancés quant à l'implémentation de la norme VHDL-AMS, et aussi un des plus rapides, grâce à un coeur de simulateur optimisé, dérivé d'Eldo.

4.2 Modélisation

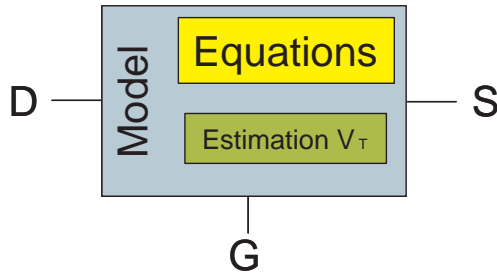
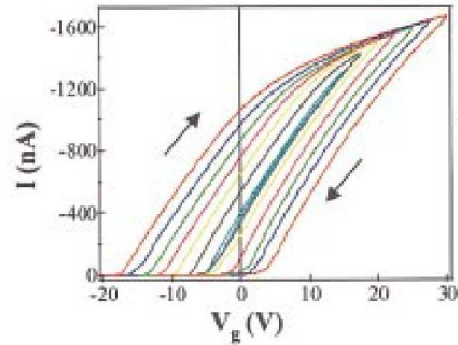
L'objectif est de modéliser le plus fidèlement possible le comportement électrique d'un nouveau type de transistor à nanofil semiconducteur et à grille flottante moléculaire dont plusieurs publications nous donnent l'allure de leurs caractéristiques [LFL⁺04] [RD⁺00] [DHL02]. La compréhension des phénomènes électro-chimiques en jeu n'étant pas encore aboutie mais l'allure des courbes pouvant être assimilée en partie à des caractéristiques électriques de transistors *classiques*, nous avons divisé le coeur du modèle, illustré par la figure 4.2(a), en deux parties. La première calcule le courant I_{DS} en fonction de V_{DS} et de V_G grâce à la mise en équations du comportement du transistor. La seconde est un processus VHDL-AMS qui évalue le nombre de molécules oxydées et réduites, déterminant ainsi le V_T du transistor. Ce modèle doit reproduire le comportement d'un transistor NWFET moléculaire dont la figure 4.2(b) nous donne une illustration pour un transistor à nanofil semiconducteur d'oxyde d'indium In_2O_3 et aux molécules de $Fe^{2+} - terpyridine$.

4.2.1 Équations électriques

4.2.1.1 Évaluation du courant I_{DS}

Le comportement électrique du NWFET moléculaire étant relativement proche de celui d'un transistor N-MOS de type enrichi, une partie des équations est directement reprise de la modélisation quadratique de Shichman et Hodges [SH68], normalement adaptée à la modélisation des MOS à canaux long, mais aussi relativement peu gourmand en calcul.

Cependant, le composant moléculaire exhibant une caractéristique d'hystérésis très prononcée, nous avons choisi de modéliser et de généraliser le phénomène d'hystérésis

(a) Vue *haut niveau* de la modélisation VHDL-AMS(b) Caractéristiques électriques I_{DS} en fonction de V_{GS} d'un transistor à nanofil semi-conducteur d'oxyde d'indium In_2O_3 et aux molécules de $Fe^{2+} - terpyridine$ [LFL⁺04]FIG. 4.2 – Transistor NWFET moléculaire : vue *haut niveau* et caractéristiques expérimentales

de la manière suivante :

- On utilisera systématiquement les équations *classiques* du MOS, quel que soit le signe de V_G , jusqu'à atteindre le potentiel limite $V_{GSat} > 0$, au delà duquel le courant sera évalué suivant une fonction de saturation.
- Il y a aussi une limite pour $V_G \ll 0$ et $\frac{dV_G}{dt} > 0$ au-delà de laquelle le courant I_{DS} est nul. Cela correspond au phénomène électro-chimique où la totalité des molécules est oxydée.

Le travail sur la partie du modèle dédiée aux équations électriques consiste à transformer la tension de seuil constante V_T en une *variable*. Nous avons aussi complété le jeu d'équations *classiques* par l'ajout d'une fonction de saturation en courant liée au phénomène d'hystérésis électro-chimique. La figure 4.3 illustre la caractéristique $I_{DS}(V_G)$ modélisée.

Ainsi, les équations (4.1) et (4.2) sont ainsi directement dérivées de la modélisation du transistor MOS. C'est le processus combinatoire décrit plus loin qui se chargera de re-calculer V_T .

$$I_{DS} = K_1(2(V_G - V_T)V_{DS} - V_{DS}^2) \text{ quand } \frac{dV_G}{dt} > 0 \quad (4.1)$$

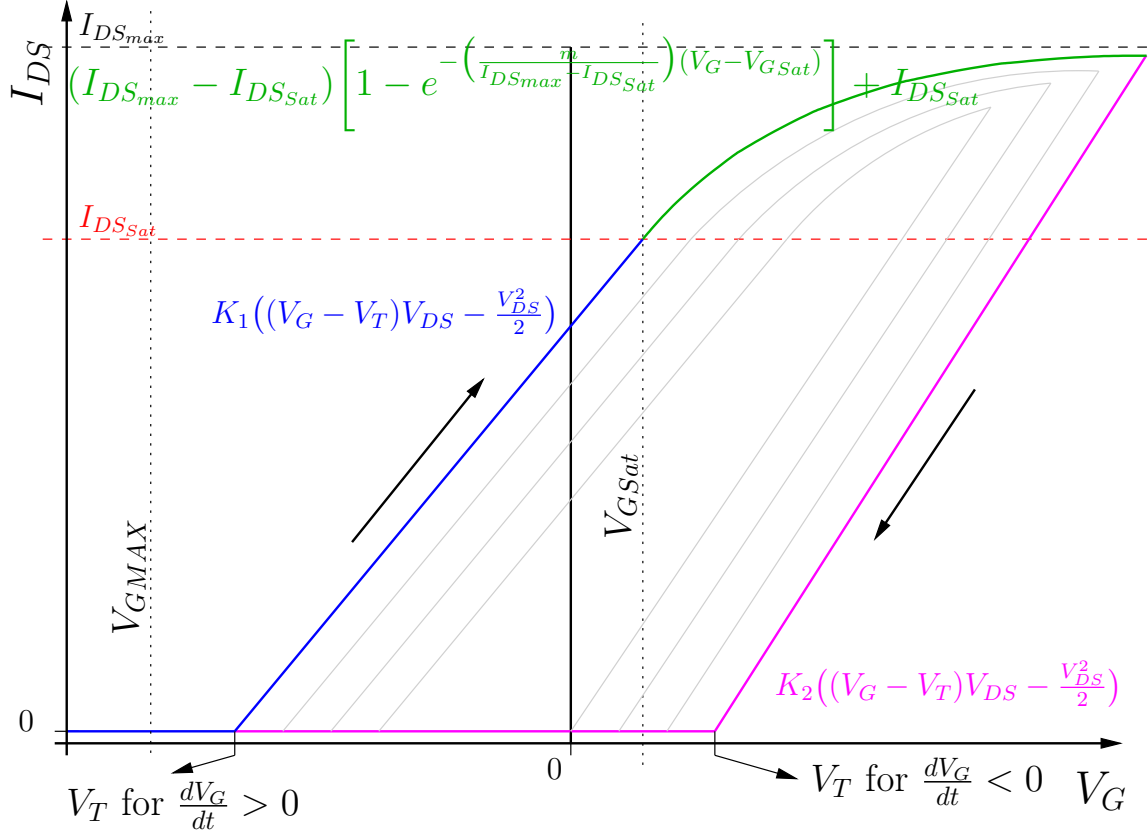


FIG. 4.3 – Détail des équations électriques utilisées dans la modélisation du transistor moléculaire NWFET

$$I_{DS} = K_2(2(V_G - V_T)V_{DS} - V_{DS}^2) \text{ quand } \frac{dV_G}{dt} < 0 \quad (4.2)$$

Les constantes K_1 et K_2 sont des paramètres génériques du modèle. Le tableau 4.1 résume leur valeur extraite de données expérimentales [LFL⁺04] [LLL⁺04] [DHL02].

Le choix de la modélisation par l'équation (4.3) de la saturation du courant I_{DS} à partir de la tension V_{GSat} a été principalement motivé par deux raisons. La première est que cette modélisation correspond bien aux mesures qui nous intéressent. La seconde est que l'exponentielle induit *naturellement* une saturation à l'infini, émulant ainsi simplement le nombre fini de molécules pouvant être réduites. Ceci nous évite aussi un test conditionnel, optimisant ainsi le code. Par ailleurs, cette fonction de saturation est calculée de manière à ce que les deux caractéristiques (équations 4.3 et 4.1) soient

TAB. 4.1 – Différentes valeurs de K extraites de [LFL⁺04] [LLL⁺04] [DHL02]

	<i>In₂O₃</i> <i>Bis(terpyridine) – Fe²⁺</i> [LFL ⁺ 04]	<i>In₂O₃</i> <i>Co – porphyrin</i> [LLL ⁺ 04]	N-doped <i>InP</i> <i>Co – phthalocyanine</i> [DHL02]
K_1	$365e^{-9}\Omega^{-1} \cdot V^{-1}$	$980e^{-9}\Omega^{-1} \cdot V^{-1}$	$77e^{-9}\Omega^{-1} \cdot V^{-1}$
K_2	$375e^{-9}\Omega^{-1} \cdot V^{-1}$	$3.17e^{-6}\Omega^{-1} \cdot V^{-1}$	$65e^{-6}\Omega^{-1} \cdot V^{-1}$

tangentes au point de jonction (V_{GSat}, I_{DSsat}).

$$I_{DS} = (I_{DSmax} - I_{DSsat}) \left[1 - e^{-\left(\frac{m}{I_{DSmax} - I_{DSsat}}\right)(V_G - V_{GSat})} \right] + I_{DSsat} \quad (4.3)$$

avec

$$m = \frac{-I_{DSmax}}{V_T - V_{GSat}} \quad (4.4)$$

V_{GSat} représente la tension de grille au delà de laquelle le courant commence à saturer pour des raisons vraisemblablement liées à la population de molécules. Il est quant à lui recalculé à chaque changement de valeur de V_T et de V_{DS} . Il est défini par l'équation (4.5) et correspond à la résolution de l'équation (4.1) pour $I_{DS} = I_{DSsat}$.

$$V_{GSat} = V_{DS} \cdot \frac{(K_1 \cdot (V_{DS} + 2V_T) + I_{DSsat})}{2K_1 \cdot V_{DS}} \quad (4.5)$$

MAX_IDS_VG0 et VDS_FIXE sont des paramètres du modèle extraits des courbes expérimentales et définissent, respectivement, le courant maximal I_{DS} à $V_G = 0$ et la tension V_{DS} lors de la mesure de la caractéristique $I_{DS}(V_G)$.

I_{DSsat} et I_{DSmax} sont, respectivement, le courant au delà duquel on constate une saturation et le courant maximal à V_{DS} fixé. Ces paramètres du modèle sont constants pour une tension V_{DS} donnée. Les équations (4.6) et (4.7) donnent leur mode de calcul respectif.

$$I_{DSsat} = V_{DS} \cdot \frac{\text{MAX_IDS_VG0}}{\text{VDS_FIXE}} \quad (4.6)$$

$$I_{DSmax} = V_{DS} \cdot \frac{\text{MAX_IDS}}{\text{VDS_FIXE}} \quad (4.7)$$

La mise en œuvre de toutes ces équations nous permet de reproduire fidèlement le

comportement mesuré (Figure 4.2(b)).

4.2.1.2 Équations complémentaires du modèle

Compte tenu de la grille métallique en face arrière largement débordant sous les deux électrodes de Drain et de Source (cf. fig.4.4), le modèle intègre en outre les équations relatives à la modélisation des capacités Grille-Source et Grille-Drain. Par ailleurs, la modélisation de ces capacités facilite la convergence du simulateur, au détriment, il est vrai, d'un temps de calcul légèrement plus important. Les équations du courant dans ces capacités sont données par (4.8) et (4.9).

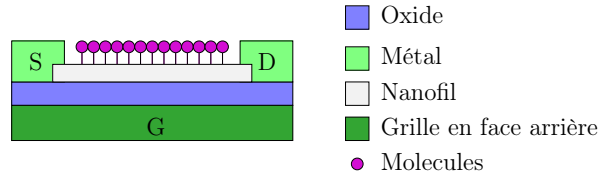


FIG. 4.4 – Coupe schématique d'un transistor NWFET à grille flottante moléculaire

$$I_{GS} = C_{Ox} \cdot \frac{dV_{GS}}{dt} \quad (4.8)$$

$$I_{GD} = C_{Ox} \cdot \frac{dV_{GD}}{dt} \quad (4.9)$$

C_{Ox} est un paramètre constant du modèle et correspond à la capacité d'oxyde calculée entre la grille métallique et le plot métallique du drain ou de la source. On prend pour le moment pour hypothèse que le composant est symétrique.

4.2.2 Modélisation des phénomènes d'oxydo-réduction

Comme nous l'avons précédemment écrit, et en parallèle de l'évaluation des différentes équations présentées page 92, un processus (*process* en VHDL-AMS) se charge de calculer le nombre de molécules oxydées et réduites. D'après les explications de la littérature, nous avons pris pour hypothèse que ce nombre est uniquement fonction de l'amplitude maximale de la tension de grille V_G . C'est pourquoi on évaluera sa valeur une fois un maximum de tension détecté, c'est à dire, à chaque fois que la dérivée de la

tension V_G change de signe. La tension de seuil V_T , directement liée à la proportion de molécule oxydée, peut-être assimilée à une fonction discrète. Autrement dit, ce processus est exécuté à chaque fois que le parcours de V_G change de sens (par valeur croissante ou par valeur décroissante). L'équation logique VHDL-AMS 4.10 détaille le signal de sensibilité.

$$\text{sensib} \leq ((\text{vgm}' \text{ dot}' \text{ above}(0.0)) \text{ and } \text{vgm}' \text{ dot}' \neq 0.0); \quad (4.10)$$

V_{GMAX} , paramètre constant du modèle, représente la tension au-delà de laquelle toutes les molécules sont considérées comme oxydées. Dans le cas où la tension de grille V_G est négative et inférieur en valeur absolue à V_{GMAX} , alors la tension de seuil $V_T = V_G$. Cela correspond à simuler l'oxydation des molécules jusqu'à épuisement de leur nombre. Dans le cas extrême où $V_G < V_{GMAX} < 0$, V_T prend donc la valeur constante V_{GMAX} .

Ayant posé au début de cette étude pour hypothèse que seule l'amplitude de la tension de grille influençait la quantité de molécules oxydées ou réduites, à la suite d'un train d'impulsion d'amplitude variable, seule la valeur la plus négative de V_G est considérée. Autrement dit, en prenant l'exemple du transistor à nanofil de In_2O_3 et à grille moléculaire de $Bis(terpyridine) - Fe^{2+}$, nous prenons pour hypothèse qu'une impulsion de tension de grille V_G de $-5,0V$ survenant après une impulsion de $-7,5V$, n'aura aucune influence sur le calcul de V_T . Le calcul de la tension de seuil V_T est ainsi directement relié à l'effet mémoire observé.

Inversement, lorsque $V_G > V_{GSat}$ (figure 4.3) alors la tension de seuil V_T vaut l'expression de l'équation (4.11). Cette expression est la solution de l'équation (4.2) pour $I_{DS} = 0$, c'est à dire l'intersection de la courbe avec l'axe des abscisses.

Pour le calcul de V_T , dans le but de coller au plus près à l'influence des phénomènes électrostatiques sur l'oxydo-réduction des molécules, sans pénaliser trop lourdement l'aspect calcul, la tension V_G est assimilée à la tension moyenne $V_{GM} = \frac{V_{GS} + V_{GD}}{2}$.

$$V_T = -\frac{K_2 V_{DS} (V_{DS} - 2V_{GM}) + I_{DS}}{2K_2 V_{DS}} \quad (4.11)$$

4.3 Simulation

4.3.1 Environnement de simulation

Les simulations ont été réalisées avec l’outil Advance MS v4.3_1.4 de Mentor Graphics. Beaucoup plus rapide que la version précédente, la v4.3_1.4 n’implémente pas pour autant un certain nombre de fonctionnalités comme la notion de tolérance prévue dans les spécifications de VHDL-AMS ou encore l’utilisation élargie de la commande *generate*. Cela nous oblige à développer un outil pour générer du code *sur-mesure*. L’outil écrit en Matlab est détaillé dans la section 6.1 page 118.

La visualisation des différents signaux a été confiée à EZwave v2.4_1.2. Ce dernier remplace le standard XElga, en apportant beaucoup de fonctionnalités, malheureusement au détriment d’une certaine lourdeur d’exécution (interface graphique en Java) et surtout de quelques bogues très irritants, en particulier au niveau de la liste des signaux visualisés qui se dédoublait systématiquement à chaque simulation (Bogues rapportés aux supports de MG).

Les simulations du modèle de transistor s’effectue à distance sur un cluster multi-processeurs Linux. Les temps de simulation d’un seul transistor était fort-heureusement extrêmement rapide, généralement moins d’une seconde.

4.3.2 Résultats

Motivé par les résultats expérimentaux disponibles sur la mesure des multiples niveaux programmables de conductivité (à $V_G = 0$) du canal de certains types de NWFET moléculaires (Figure 4.2(b)), nous avons choisi de commencer par simuler le transistor à nanofil de In_2O_3 et à grille moléculaire de $Bis(terpyridine) - Fe^{2+}$. La figure 4.5 est un exemple de déclaration VHDL-AMS de l’entité d’un tel composant.

Pour simuler la réponse DC du courant I_{DS} en fonction de la tension de grille V_G de ce transistor moléculaire, tout en validant l’aspect fonctionnel et le comportement du composant, le circuit de test et le protocole expérimental issus de [LFL⁺04] ont été utilisés. V_G varie de $0V$ à $-n*2,5V$, pour ensuite passer à $10+n*2,5V$, avant de revenir à $0V$ et de refaire un autre cycle pour n compris entre 2 (le cycle le plus à l’intérieur) et 8 (le cycle extérieur). Dans un soucis de validation, comme dans les mesures expérimentales, nous avons appliqué $V_{DS} = -0,075V$, avec la source du composant à la masse.

```

entity NWFET_molecular is
  generic(
    MAX_REDOX_WRITE_VG: real := -1.97881e+01;
    MAX_IDS_VG0: real := -1047.0e-9;
    MAX_IDS: real := -1700.0e-9;
    VDS_FIXE: real := -0.075;
    SEUIL_REDOX: real := 0.9; --- Fe(II)/Fe(III)
    MAX_REDOX_ERASE_VG: real := 2.97351e+01;
    Coxg: real := 1.17e-16;
    NbMolecules: real := 3077.0;
    K1: real := 365.0e-9; ---  $\tilde{=} 1/2 \cdot \eta \cdot Cox \cdot W/L$ 
    K2: real := 375.0e-9
  );
  port (terminal drain, source, gate : electrical);

```

FIG. 4.5 – Exemple de déclaration de l’entité VHDL-AMS du transistor à nanofil de In_2O_3 à grille moléculaire de $Bis(terpyridine) - Fe^{2+}$.

Les résultats de la simulation $I_{DS}(V_G)$ du transistor à nanofil de In_2O_3 à grille moléculaire de $Bis(terpyridine) - Fe^{2+}$ sont rapportés sur la figure 4.6. Ils montrent le comportement d’hystérésis attendu et présentent une très bonne concordance comparés avec les résultats expérimentaux issus de [LFL⁺04] (Figure 4.2(b)).

De manière à compléter la vérification des valeurs numériques données par le modèle, nous avons comparé les valeurs du courant I_{DS} en fonction de V_{DS} . La figure 4.8 représente temporellement la réponse en courant du transistor soumis à un signal triangulaire d’amplitude variable avec cette fois-ci $V_{DS} = -0,5V$ et V_G variant de $-2,5V$ à $-20V$ par pas de $-2.5V$. Les valeurs relevées du courant pour $V_{DS} = -0,5V$ sont à rapprocher à celles extraites de la courbe expérimentale, représentée par la figure 4.7. On constate encore une fois une très bonne concordance.

Nous avons pareillement simulé le comportement du transistor à nanofil de In_2O_3 et à molécules de $Co - porphyrine$ d’après la procédure expérimentale issue de [LLL⁺04]. Les résultats de simulation sont rapportés sur la figure 4.9 et sont à rapprocher des mesures expérimentales de la figure 4.10. Leur comparaison présente une nouvelle fois une très bonne concordance, tant au niveau de l’allure globale qu’au niveau des valeurs numériques fonctionnellement intéressantes ($I_{DS}(0)$, $I_{DS}(V_{G_{MAX}})$, ...).

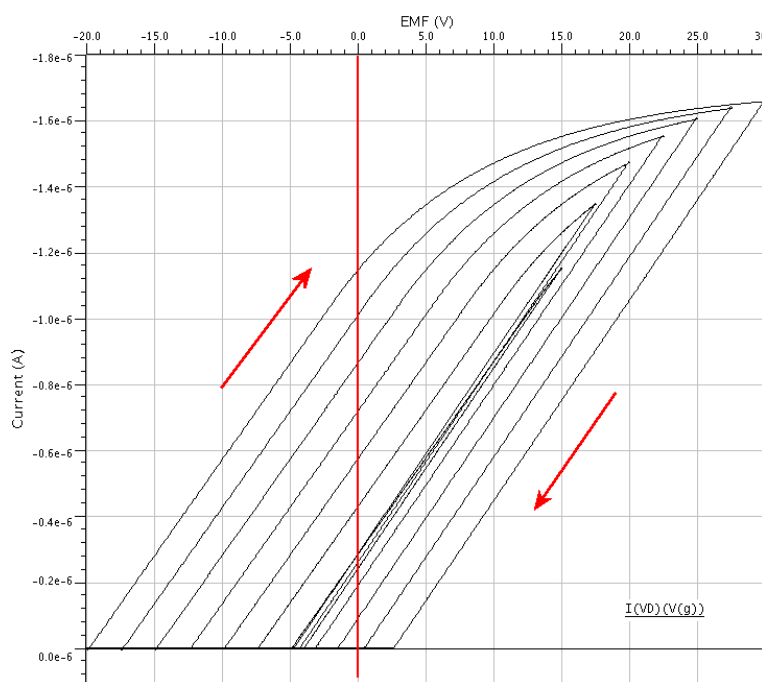


FIG. 4.6 – Résultats de simulation du NW-FET moléculaire à nanofil de In_2O_3 et molécules de $Bis(terpyridine) - Fe^{2+}$. Courbes $I_{DS}(V_G)$ présentant des cycles d'hystérésis. V_G varie de $0V$ à $-n * 2,5V$, pour ensuite passer à $10 + n * 2,5V$, avant de revenir à $0V$ et de refaire un autre cycle pour n compris entre 2 (le cycle le plus à l'intérieur) et 8 (le cycle extérieur). Avec $V_{DS} = -0,075V$ et la source à la masse

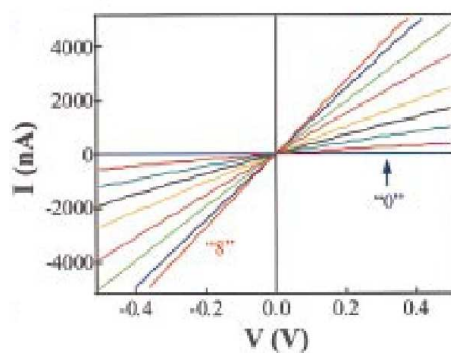


FIG. 4.7 – Caractéristiques électriques I_{DS} en fonction de V_{DS} [LFL⁺04]

Finalement, il est intéressant de noter que cette modélisation conçue de manière

à être *générique*, présente une très bonne concordance avec les résultats de mesure de différents dispositifs présentés dans plusieurs publications, avec seulement quelques paramètres différents. Cela tend à démontrer que l'approche choisie pour modéliser les transistors à effet de champs et à grille flottante moléculaire est a priori pertinente. On peut aussi penser que les phénomènes mis en jeu sont similaires, quel que soit le type de molécules et de nanofil semiconducteur.

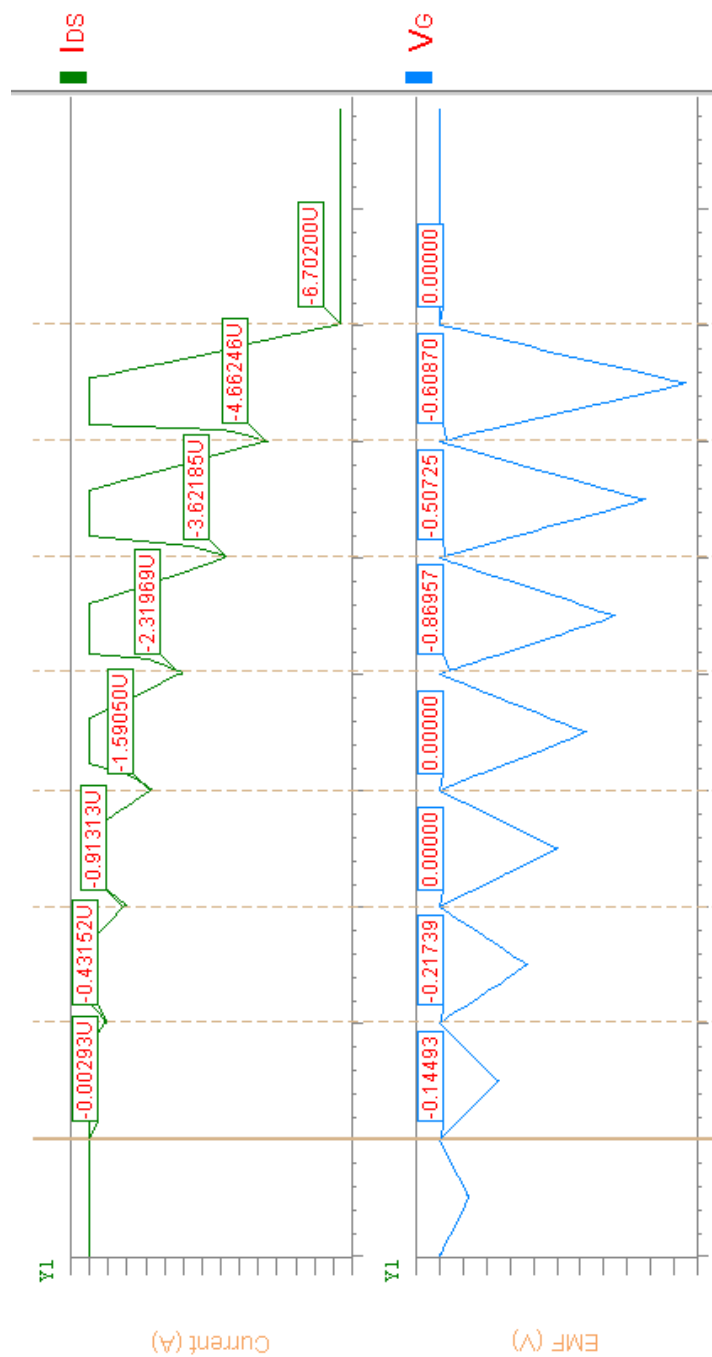


FIG. 4.8 – Réponse temporelle en courant du transistor In_2O_3 à molécules de $Bis(terpyridine) - Fe^{2+}$ soumis à un signal triangulaire d'amplitude variable

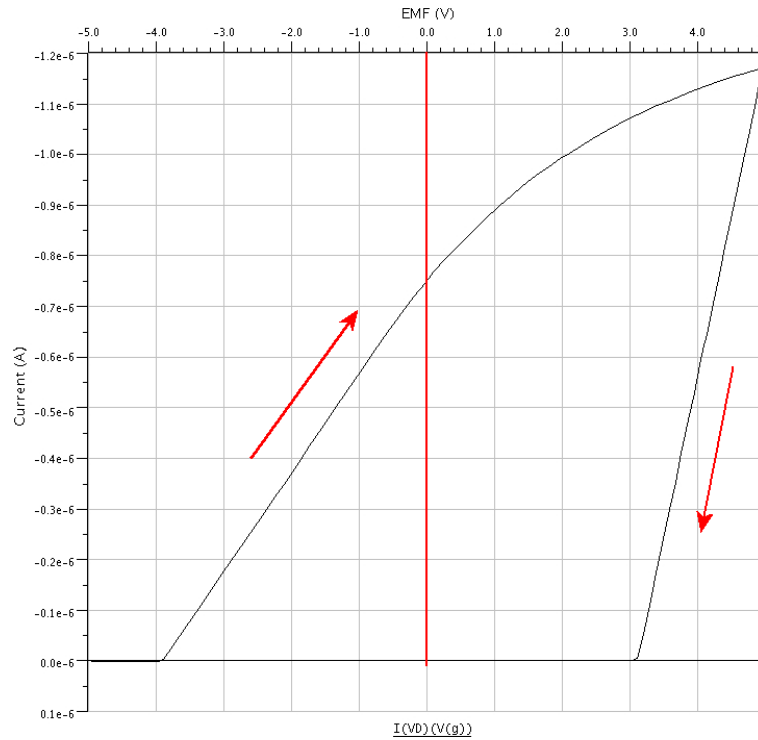


FIG. 4.9 – Résultats de simulation du NW-FET moléculaire à nanofil de In_2O_3 et molécules de *Co-porphyrine* démontrant une caractéristique $I_{DS}(V_G)$ d'hysteresis obtenue après avoir fait varier V_G de $0V$ à $-5V$, puis de $-5V$ à $+5V$, et finalement de $+5V$ à $0V$, avec $V_{DS} = -0.1V$ et la source à la masse

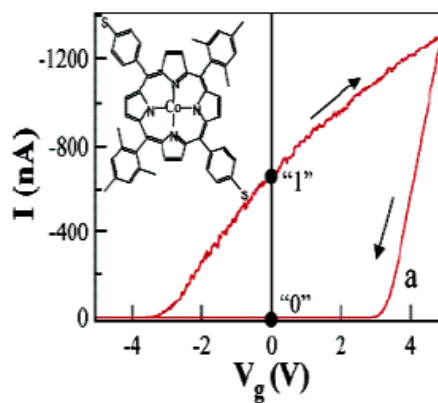


FIG. 4.10 – [LLL⁺04] : Caractéristique courant I_{DS} en fonction de la tension V_G du transistor à nanofil de In_2O_3 et à molécules de *Co-porphyrine*. Détail : structure de la molécule

Chapitre 5

Présentation de la cellule mémoire moléculaire

Porté essentiellement par les objets électroniques grand public très gourmands en mémoire de stockage comme les lecteurs MP3, téléphones portables et autres appareils photos numériques, le marché de la mémoire non-volatile est en continuelle expansion, en terme de volume de vente. Il gagne aussi progressivement des parts de marché, avec comme résultat prévisionnel, environ 40% (32Mds) du marché des mémoires à l'horizon 2009, contre 36% (16Mds) en 2005 (source : IC Insight).

Une cellule mémoire non-volatile, rapide, compacte et à coût constant ou réduit est l'objectif de toute la recherche actuelle dans le domaine. Pour cela, outre la réduction physique de la taille de la cellule grâce aux changements de procédé technologique (130nm, puis 90nm, ...), une voie aujourd'hui largement empruntée est de concentrer plus d'information dans chaque cellule mémoire en étant capable de distinguer plusieurs niveaux de charges (Multi Level Cell).

Les promesses de l'électronique moléculaire en termes de réduction de coûts par l'utilisation, par exemple, de technique d'auto-assemblage, et d'augmentation de la densité d'intégration, de par leur taille nanométrique, font de celle-ci un axe de recherche privilégié. Nous présentons ainsi dans ce chapitre la structure d'une cellule mémoire multivaluée aux dimensions réduites réalisable dans un même procédé technologique, ainsi que différents niveaux de modélisation en VHDL-AMS [JCA06b] [Jal06].

5.1 La cellule mémoire moléculaire

Dans le chapitre 4, nous avons décrit la modélisation du transistor à effet de champ, à nanofil et à molécules. Les différents cycles d'hystérésis associés aux différents niveaux de conduction facilement discernables à $V_{GS} = 0V$ permettent de différencier raisonnablement huit états, c'est à dire de pouvoir stocker trois bits d'information.

Cependant, à la lecture des caractéristiques de la figure 1.6, on remarque qu'il n'existe pas d'état bloqué, c'est à dire sans courant passant entre le Drain et la Source, qui n'induit pas de perte de l'information stockée. On pourrait envisager une translation de la tension de seuil V_T , par exemple par un procédé électrostatique sur la grille, ou bien encore par l'utilisation d'autres molécules aux caractéristiques d'hystérésis différentes. Mais cela ne change pas la problématique, le principe même de ce transistor à grille flottante moléculaire est que sa tension de seuil varie pour $V_{GS} \neq 0V$, ce qui entraîne une perte d'information si nous l'utilisons comme point mémoire. Autrement dit, une fois ce dispositif intégré dans une mémoire et connecté à d'autres dispositifs par des lignes de contrôles mutualisées, on ne connaît pas de moyen pour le bloquer sélectivement.

Cette spécificité est une contrainte très forte qui nous empêche d'envisager d'utiliser ces transistors en remplacement direct des points mémoires Flash dans les architectures classiques de type NOR ou NAND (cf. chapitre 3).

En gardant une architecture $2D$ régulière de type matricielle, la solution évidente est alors d'utiliser un transistor d'accès en technologie CMOS jouant le rôle d'interrupteur commandable, comme dans l'exemple de la cellule de type DRAM illustré par la figure 5.1.

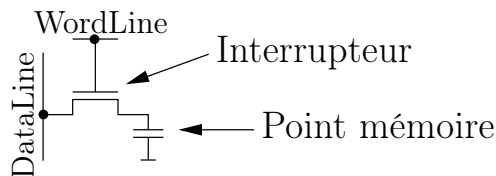


FIG. 5.1 – Cellule mémoire de type DRAM

Bien qu'envisageable, l'utilisation d'un transistor de commutation en technologie

CMOS n'est cependant pas réellement intéressante, ni dans une perspective de très haute densité d'intégration, ni même dans le but de réduire les coûts de fabrication. En effet, l'enchevêtrement de composants *classiques* et de composants *moléculaires* ne facilitera probablement pas les différentes étapes de fabrication et encore moins une haute densité d'intégration.

5.2 La cellule mémoire de base

5.2.1 Description

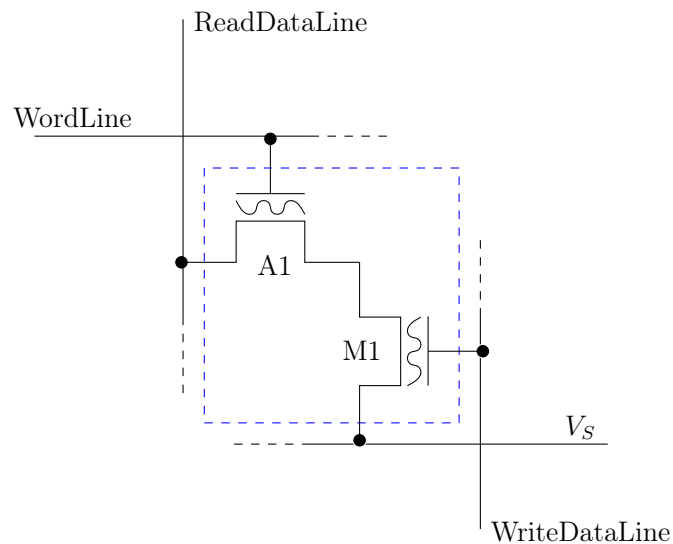


FIG. 5.2 – La cellule mémoire proposée composée de deux transistors NWFETs moléculaires en série

Précédemment présenté dans le chapitre 1.1, le transistor NWFET moléculaire dispose au niveau de ses caractéristiques électriques d'un état hautement résistif. L'idée de base de la cellule proposée (fig.5.2) est donc d'associer un de ces dispositifs moléculaires exploité comme transistor d'accès, en série avec un autre NWFET identique, exploité quant à lui en tant que point mémoire multivalué.

Ainsi le transistor *A1* sera programmé dans l'état le moins résistif dans le cas d'un accès en lecture et sera programmé dans son état hautement résistif pour les autres opérations. Le transistor *M1* sera quant à lui utilisé pour stocker une information mul-

tivaluée codée sur le nombre de niveaux de conduction discernables de son canal à $V_{GS} = 0V$.

Le premier avantage de cette structure est de se présenter sous la forme d'un quadripôle compact et de pouvoir ainsi tirer profit des dimensions réduites du transistor NW-FET moléculaire. Le second réside dans le fait de pouvoir stocker une information multivaluée dans le composant mémoire, ce qui permet d'augmenter la densité d'intégration. Par ailleurs, cette cellule peut être réalisée en peu d'étapes lithographiques [LFL⁺04], dans la même technologie d'électronique moléculaire permettant, par exemple, l'auto-assemblage des molécules. Cet aspect, déterminant dans le coût de fabrication d'une puce, laisse envisager la possibilité de bancs mémoires de très grande capacité, compacts et *relativement* peu coûteux.

La figure 5.3 illustre un mode de réalisation de l'implémentation 2D d'une telle cellule qui occuperait (calcul approché d'après des données expérimentales [LFL⁺04]) une surface de $0,04\mu m^2$ pouvant stocker 3 bits d'information. Les résultats de simulation du chapitre 6 montrent que le stockage de 4 bits d'information est possible avec une électronique CMOS d'interface *classique*.

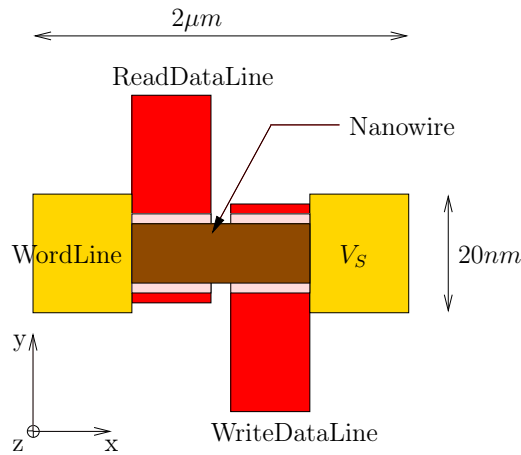


FIG. 5.3 – Layout *classique* d'une cellule moléculaire multivaluée à base de deux transistors NW-FET moléculaire

Plus prospectif et plus ambitieux, la figure 5.4 illustre un autre mode de réalisation par l'alignement vertical d'un tel dispositif qui permettrait d'étendre le design de la cellule de base vers la troisième dimension, portant les perspectives de densité d'intégration

bien au-delà des prévisions de la *roadmap* ITRS 2005 [itr]. Cette cellule occuperait une surface de seulement $400nm^2$. Par ailleurs, n'étant plus contraint par la longueur du nanofil, on peut penser qu'en l'agrandissant dans la troisième dimension, on augmenterait ainsi le nombre de molécules assemblées dessus, en conséquence de quoi le nombre de bits stockés pourrait être supérieur aux 3 bits du dispositif expérimental.

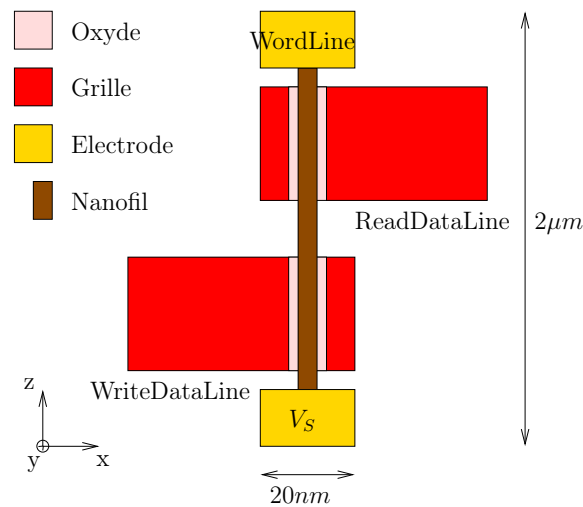


FIG. 5.4 – Coupe d'une cellule moléculaire multivaluée 3D alignée verticalement à base de deux transistors NW-FET moléculaires

La figure 5.5 est l'illustration de douze cellules de base alignées verticalement stockant 48 bits (4 bits par cellule) sur une surface de $0,014\mu m^2$, soit $0,000292\mu m^2$ par bit. Par comparaison, une cellule Flash de type NOR ((facteur de taille 10F2) en technologie $90nm$ stockant 2 bits par cellule occupe $0,04\mu m^2$, soit une surface de $0,02\mu m^2$ par bit, soit encore, environ 70 fois moins que la cellule moléculaire à alignement vertical proposée. Autre élément de comparaison, les nouvelles mémoires¹ Flash de type NAND fabriquées par IM Flash Technologies², ont une capacité de 4Gbit et sont réalisées en technologie $50nm$. Chaque cellule (facteur de taille 4F2) ne stocke qu'un seul bit (Single Level Cell, SLC) et occupe une surface effective de $0,0138\mu m^2$.

¹Information du 12 septembre 2006

²Société créée au début de l'année 2006 regroupant les activités mémoires de Micron Technology Inc. et d'Intel Corp.

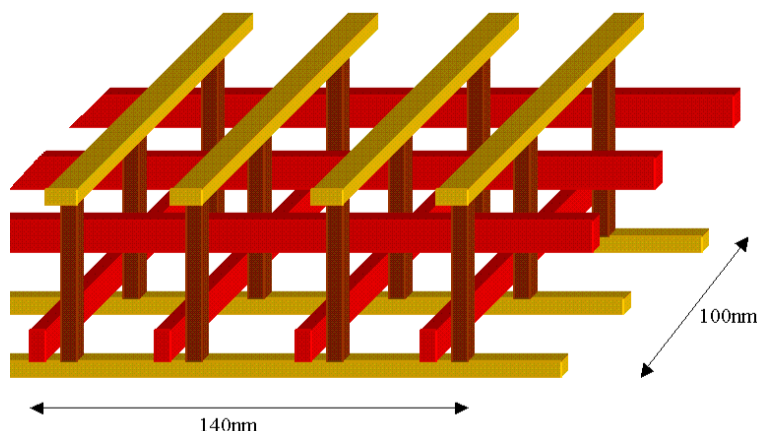


FIG. 5.5 – Illustration de l'intégration 3D et de l'alignement vertical de 12 cellules de base stockant un total 48 bits (4 bits par cellule) sur une surface de $0,014\mu\text{m}^2$

5.2.2 Fonctionnement et simulation

Pour expliquer le fonctionnement de la cellule, on pose préalablement comme hypothèse que chaque transistor a pour caractéristiques celles présentées et détaillées dans la section 1.2.3. Cela permet de nous concentrer sur l'aspect comportemental des différents modes de fonctionnement basiques de la cellule mémoire, à savoir, son effacement, sa programmation et sa lecture. La cellule de test utilisée est illustrée par la figure 5.6.

L'exécution d'une commande (lecture, écriture ou effacement), consiste à faire commuter les différents interrupteurs (R_D , $R_{G_{Acc}}$, R_S et $R_{G_{Pt}}$), qui pourraient être réalisés par exemple par des transistors CMOS à la périphérie du plan mémoire, et à faire varier les tensions des différentes lignes de contrôle (V_D , $V_{G_{Acc}}$, V_S et $V_{G_{Pt}}$).

Les paramètres et valeurs des variables utilisés pour les simulations des différentes séquences sont donnés dans le tableau 5.1.

Il est intéressant de noter que la valeur de la tension U_{PASS} servant à rendre le transistor d'accès passant, équivaut à programmer ce transistor dans son état le moins résistif. Le codage de l'information est arbitrairement choisi de telle manière que cet état corresponde à la valeur la plus élevée possible, soit '7' dans le cas d'étude avec 3 bits par cellule (cf. section 1.2.3).

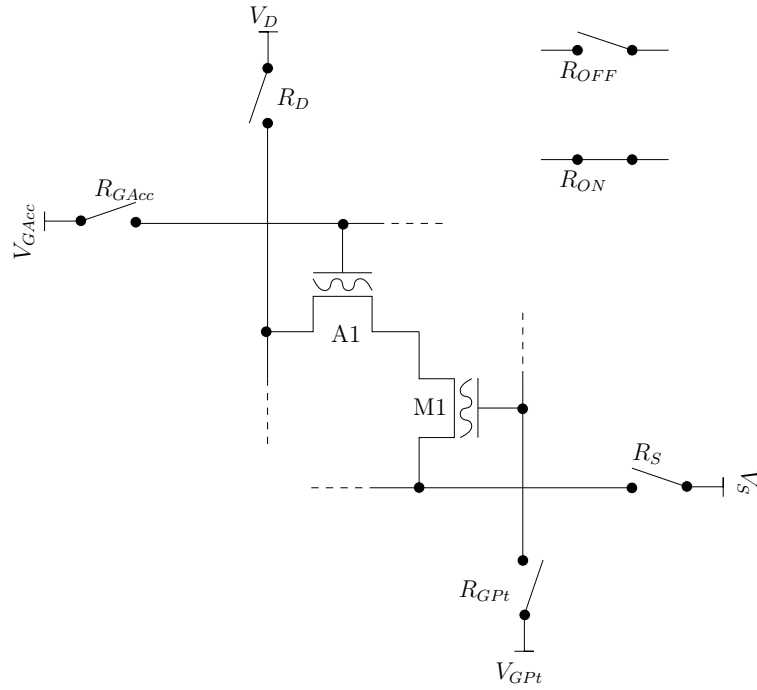


FIG. 5.6 – Cellule de test

Paramètre	Valeur
U_{LO}	$1.0e^{-6}V$
U_{READ}	$0.75V$
U_{ERASE}	$30.0V$
U_{PASS}	$-20V$
U_{PROG}	$-n * 2.5V$ avec $1 \leq n \leq 8$
R_{ON}	10.0Ω
R_{OFF}	$1.10^9\Omega$
$Delay$	$4ns$

TAB. 5.1 – Valeurs de différents paramètres de la simulation des séquences d’effacement, d’écriture et de lecture

Par ailleurs, le délai de $4ns$ est choisi de manière à ce que les niveaux électriques puissent s’établir convenablement, *compte tenu de notre modélisation* ; ils ne reflètent aucune notion de performance ni de fréquence de fonctionnement. Ne disposant pas de mesures expérimentales sur la réponse en fréquence de ces dispositifs, il nous est actuellement impossible d’en prédire la vitesse.

Dans les trois séquences présentées, effacement (fig.5.7(a)), programmation (fig.5.7(b))

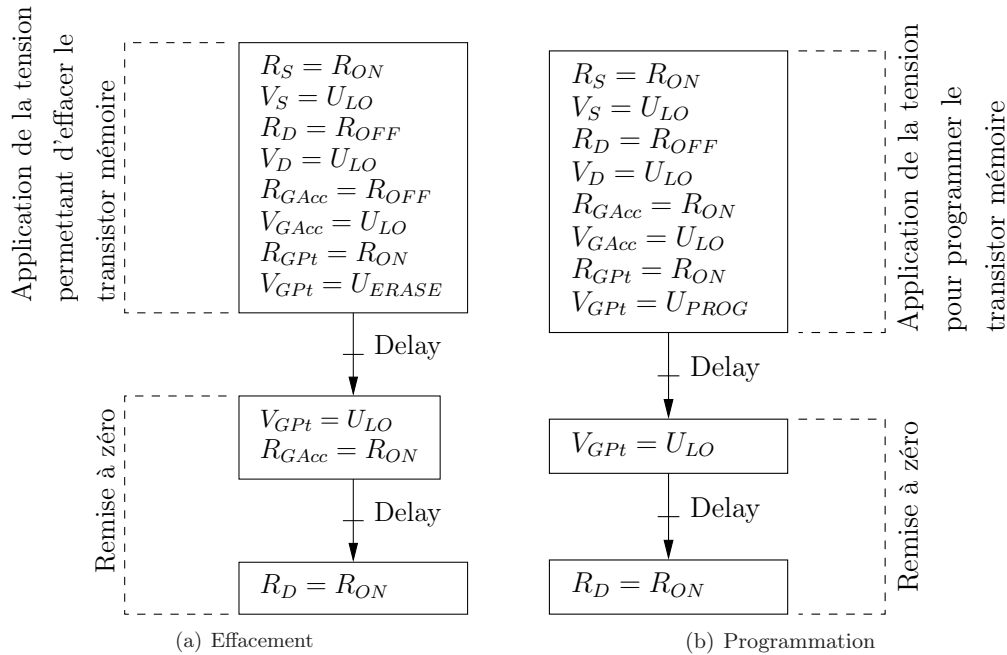


FIG. 5.7 – Séquences des commandes permettant l’effacement et la programmation d’une cellule mémoire. L’état initial des transistors est A1 bloqué et M1 non bloqué

et lecture (fig.5.8), on suppose comme état initial que le transistor d’accès A1 est systématiquement dans un état bloqué (hautement résistif, $I_{DS} = 0A$ à $V_{GS} = 0V$) et qu’inversement, le transistor M1 stockant l’information est quant à lui systématiquement dans un état programmé (c’est à dire dans un son état haute-impédance), c’est à dire à $V_{GS} = 0V$ et $V_{DS} \neq 0V$, $I_{DS} \neq 0A$. Ces séquences sont présentées pour démontrer l’aspect fonctionnel de cette cellule, elles ne sont optimisées d’aucune manière, ni en terme de consommation, ni en terme de vitesse.

Les séquences d’effacement et de programmation du point mémoire sont relativement proches, la différence principale étant la tension V_{GPt} appliquée sur la grille du transistor mémoire M1. Le principe est d’activer l’interrupteur de ligne R_S correspondant à l’adresse sélectionnée et d’appliquer la tensions V_{GPt} d’effacement ou de programmation sur la colonne contrôlant la grille du transistor mémoire. Une fois les cellules organisées en plan mémoire, comme illustré par la figure 6.5, cette méthode permet de programmer indépendamment chaque cellule en parallèle.

La séquence de lecture (fig.5.8) est un peu plus longue car elle nécessite de rendre complètement passant le transistor d’accès A1 puis de le bloquer une fois la lecture en

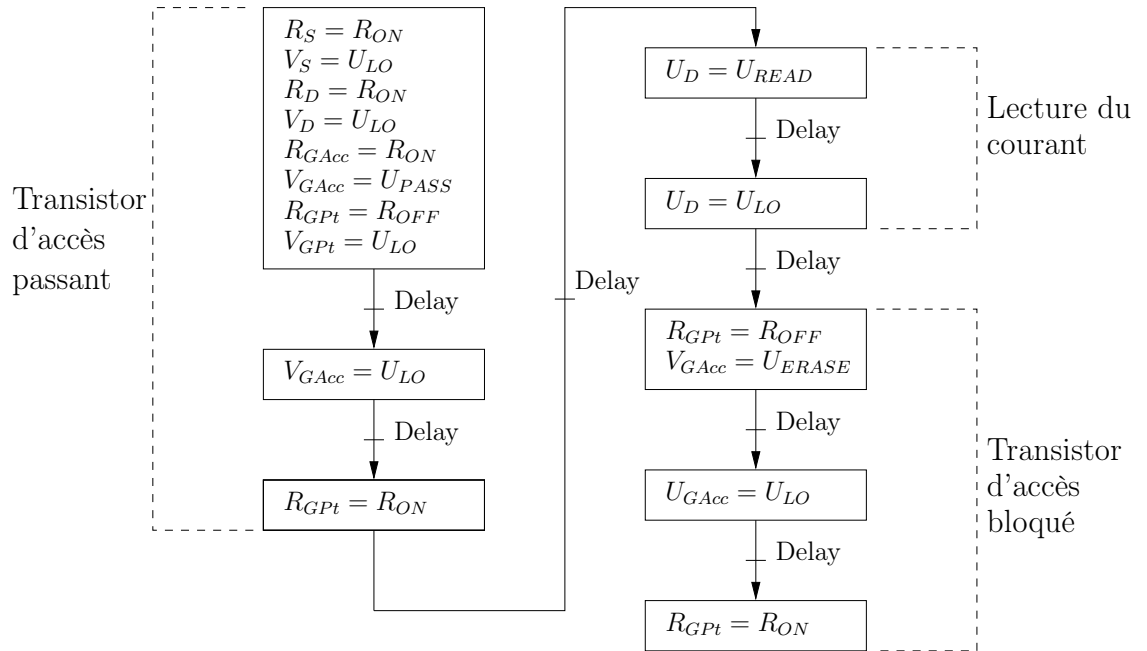


FIG. 5.8 – Séquencement de la commande permettant de lire un point mémoire (transistor d'accès A1 bloqué et transistor M1 non bloqué)

courant à V_{DS} constant effectuée. On remarquera que, les deux transistors $A1$ et $M1$ étant en série et la tension de lecture V_{READ} étant appliquée sur le drain de $A1$, à l'image d'un diviseur de tension, la tension V_{DS} aux bornes du transistor $M1$ est fonction de son état de programmation (son état de conductivité à $V_{GS} = 0V$). Cela n'est cependant aucunement gênant à partir du moment où le circuit de lecture est calibré en conséquence.

Les chronogrammes issus de la simulation des différentes commandes de la cellule mémoire de base se trouvent en Annexe A.

5.2.3 Variations technologiques

La finalité de cette cellule étant d'être intégrée dans un large plan mémoire pour y explorer des pistes de tolérances aux défauts, les deux transistors d'une même cellule peuvent subir des variations sur certains paramètres indépendamment l'un de l'autre. Nous développerons cette aspect dans le chapitre 6 qui y est dédié et détaillerons les variations que peuvent subir certains paramètres dans la section 6.1.2.

Un exemple de déclaration en VHDL-AMS d'une cellule complète composée de son transistor d'accès et de son transistor mémoire reliés par un point milieu est illustré par la figure B.1 en Annexe B.

5.3 Modélisation optimisée en temps de calcul de la cellule mémoire

Comme nous l'avons évoqué dans la section précédente, dans le but de réaliser des simulations de plans mémoires dont les composants présentent un taux élevé de variation les uns par rapports aux autres, nous avons différencié chaque instance de cellule. La cellule de base, réalisée à partir de la réunion en série de deux transistors NW-FET moléculaires, contient ainsi deux instances indépendantes du modèle de transistor précédemment présenté.

Cependant, autant les temps de simulation d'une seule cellule sont courts, de l'ordre de la seconde, autant une simple séquence d'effacement/écriture/lecture d'un mot de 40 bits dans un plan mémoire de 256 lignes, avec 10 cellules par ligne, stockant 4 bits par cellule (soit 256x40bits théoriques) prend environ une heure sur une station SUN Opteron 64bits (fréquence de 2GHz et 2Go de RAM)³. En conséquence, une fois le fonctionnement de l'architecture mémoire validé avec le modèle *complet*, nous avons développé un modèle optimisé et fonctionnellement complet de la cellule. Les temps de simulation se voient alors drastiquement réduits, ce qui nous permet d'étudier l'aspect tolérance aux dispersions technologiques.

Le modèle fonctionnel optimisé de la cellule se résume à la modélisation de deux résistances en série dont les valeurs sont programmables (avec notamment un état haute-impédance). Comme dans le modèle complet, et à l'instar du comportement électrochimique du transistor, le cycle d'hystérésis est reproduit. Toutefois, par soucis de simplification, la programmation du transistor mémoire reste analogique alors que le transistor d'accès est commandé de manière numérique. Ce modèle à la même précision que le modèle plus complet aux points de fonctionnement qui nous intéressent. La figure 5.9 montre les principales déclarations et équations du modèle simplifié, alors que la figure B.2 en Annexe B illustre un exemple de déclaration d'une entité VHDL-AMS

³L'arrivée de cette nouvelle station de travail, nous a permis de constater qu'une machine dédiée était plus rapide que le serveur mutualisé précédemment employé

de cette cellule simplifiée soumis à variation.

```

quantity vout across iout through data_out to electrical_ref;
quantity vgp across data_in to electrical_ref;

vout == (Ra'ramp(Tr) + Rp'ramp(Tr)) * iout;

Ra <= const2 when cs_read = '1' else A_ROFF;
Rp <= abs real( const1 / vgp ) when (cs_write = '1' and (not vgp'above(-P_SEUIL_REDOX)) and
( abs real( const1 / vgp )) < Rp) else P_ROFF when (cs_write = '1' and
vgp'above(P_MAX_REDOX_ERASE_VG));

```

FIG. 5.9 – Cœur du modèle VHDL-AMS de la cellule optimisée en temps de calcul

C'est dans le chapitre 6 que nous allons nous intéresser à l'exploration et à l'évaluation de différentes méthodes permettant de rendre une architecture de mémoire tolérante à un taux de dispersion élevé. Pour se faire, nous intégrerons plusieurs milliers d'instances de ce modèle optimisé sous la forme d'un plan mémoire organisé en 256 adresses contenant chacune entre 10 et 12 cellules suivant la méthode de tolérance aux variations évaluée.

5.4 Conclusion et perspectives

Dans ce chapitre, nous avons présenté une structure de point mémoire non-volatile, capable de stocker une information multi-niveaux, et exploitant au maximum les caractéristiques spécifiques des transistors à effet de champ, à nanofils et à grille flottante moléculaire. Nous avons aussi proposé deux implémentations possibles de cette structure, la première se distingue par des dimensions réduites et par une relative simplicité de réalisation, alors que la seconde est caractérisée par une intégration 3D ultra-compacte. Par ailleurs, nous avons engagé en septembre 2005 une procédure visant à breveter la structure de la cellule. Elle a finalement abouti en août 2006 à l'enregistrement d'une demande de brevet sous la référence FR-06-07087 [Jal06].

A partir du modèle de transistor NW-FET moléculaire écrit en VHDL-AMS et présenté au chapitre 4, nous avons validé par simulation le comportement électrique de la structure en tant que point mémoire multivalué. Par soucis de performance et en vue d'intégrer plusieurs milliers de telles cellules dans un plan mémoire, nous avons par ailleurs développé un modèle optimisé en temps de calcul, reproduisant les aspects

fonctionnels du point mémoire.

Chapitre 6

Architecture tolérante aux dispersions technologiques

La probabilité pour que les dispersions technologiques soient de moins en moins bien contenues, tant pour l'électronique CMOS ultime que pour les composants de l'électronique moléculaire, apparaît comme très élevée [NSF01]. La finalité de l'étude que nous présentons dans ce chapitre est de proposer des pistes de réflexion, permettant de transférer la complexité que représente la maîtrise d'une technologie de pointe, vers le développement de circuits et d'algorithmes permettant de compenser ces dispersions, à moindre coût. L'objectif est donc de proposer une architecture de mémoire tolérante aux dispersions technologiques.

Nous présentons et comparons six architectures de mémoire implémentant et combinant différentes méthodes de tolérance aux variations, certaines sont inspirées de techniques existantes, d'autres sont originales. Pour ce faire, nous avons développé une plateforme d'évaluation Matlab/VHDL-AMS, permettant de générer des plans mémoires de tailles paramétrables, composés de cellules dont les caractéristiques électriques sont aléatoirement dispersées suivant une loi de variation fixée¹. Les blocs de contrôle autour de ce plan mémoire sont génériques et s'adaptent donc aux caractéristiques du plan mémoire : taille de la mémoire, taille du mot, nombre de bits stockés par cellule, et enfin nombre de bits de correction par mot. Au final, les six architectures proposées se distinguent par des taux d'erreurs, des vitesses de fonctionnement et des surfaces sur silicium différents.

¹Dans notre cas, nous nous sommes intéressés à une loi Gaussienne

6.1 L'outil développé en Matlab

L'outil Matlab peut se diviser en deux parties indépendantes. La première facilite la saisie de la courbe caractéristique $I_{DS}(V_G)$ du dispositif moléculaire utilisé dans la cellule. Cette interface permet d'envisager l'intégration rapide de nouveaux transistors moléculaires. La seconde permet de générer le code VHDL-AMS d'une matrice de cellules mémoires, d'afficher les dispersions appliquées à ce plan mémoire et de sauvegarder ces informations pour un traitement ultérieur.

6.1.1 Aide à la saisie de caractéristique

La partie d'aide à la saisie de courbe permet de visualiser la caractéristique d'hystérésis d'un transistor à nanofil et à molécules en informant les champs d'une interface graphique. La plupart de ces informations sont à extraire des courbes expérimentales. L'affichage en temps réel de la courbe modélisée permet de vérifier, ou d'ajuster en conséquence les paramètres (section 6.1.2). Les constantes K_1 et K_2 utilisées dans les équations du modèle du transistor NW-FET moléculaire (Chapitre 4 page 89) sont automatiquement calculées par l'outil. La figure 6.1 illustre cette interface.

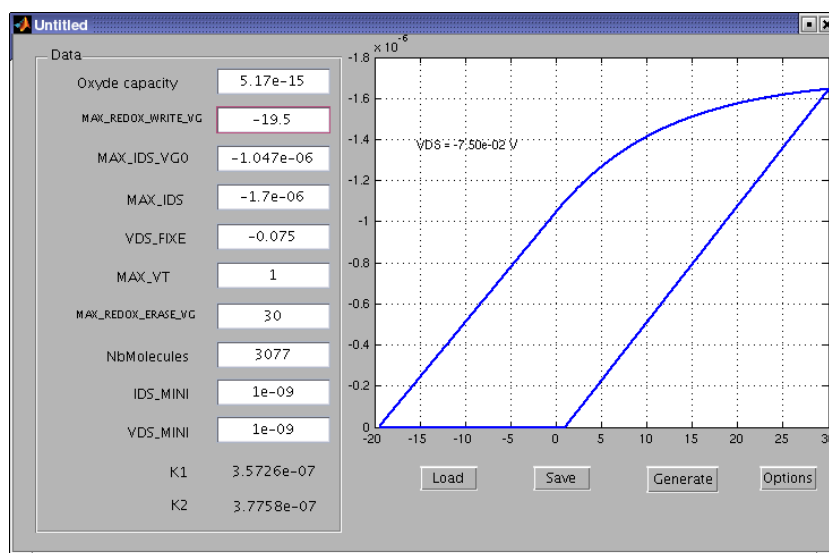


FIG. 6.1 – Interface de saisie Matlab des paramètres caractéristiques d'un transistor moléculaire

En tant qu'interface utilisateur, l'outil permet aussi de sauvegarder et de charger

dans un fichier à l'extension *.car, l'ensemble des champs relatifs à la caractérisation du transistor ainsi que les paramètres du plan mémoire (accessible en appuyant sur la commande *Options*). Une dernière commande, *Generate*, lance la procédure de génération du code d'un plan mémoire en VHDL-AMS où les dispersions sont aléatoirement réparties (section 6.1.2), à la fois sur les transistors d'accès ainsi que sur les transistors stockant l'information.

6.1.2 Générateur de code

Une fois les caractéristiques du transistor moléculaire saisies, on utilise l'interface de paramétrisation (figure 6.3) du plan mémoire. On y retrouve les champs relatifs à l'implémentation physique de la matrice, c'est à dire le nombre de cellules par ligne (taille du mot), le nombre de lignes (taille de la mémoire) et le taux de dispersion à appliquer lors de la génération du code VHDL-AMS (variation).

Le taux de dispersion appliqué à chaque transistor est généré aléatoirement suivant une loi de variation fixée². Pour chaque transistor d'un même plan mémoire, le pourcentage de dispersion est stocké dans deux matrices de la taille du plan mémoire, une dédiée aux variations des transistors *d'accès* et l'autre dédiée à celles des transistors *mémoires*. Chaque matrice est donc aléatoirement tirée. Les paramètres suivants de chaque instance de transistor sont affectés par un même taux de dispersion, la figure 6.2 permet de mieux visualiser certains de ces paramètres :

- **MAX_IDS_VG0** : Courant maximal pour $V_{GS} = 0V$ et V_{DS} fixé à la valeur du paramètre `VDS_FIXE`, lui-même correspondant à la tension utilisée pour les mesures de la caractéristique I_{DS} en fonction de V_{GS}
- **MAX_IDS** : Courant maximal absolu à V_{DS} fixé à la valeur du paramètre `VDS_FIXE`
- **SEUIL_REDOX** : Seuil de tension minimale à partir duquel le phénomène d'oxydo-réduction des molécules apparaît
- **MAX_REDOX_ERASE_VG** : Tension maximale à partir de laquelle toutes les molécules sont considérées comme réduites
- **R_OFF** : *Résistance* du transistor dans son état hautement résistif

Pour faciliter l'utilisation de l'outil, les chemins d'accès relatifs au fichier modèle (*Template*), au fichier destination (*Target*) ainsi qu'au fichier permettant la sauvegarde

²Nous nous sommes intéressés à une loi de type Gaussienne

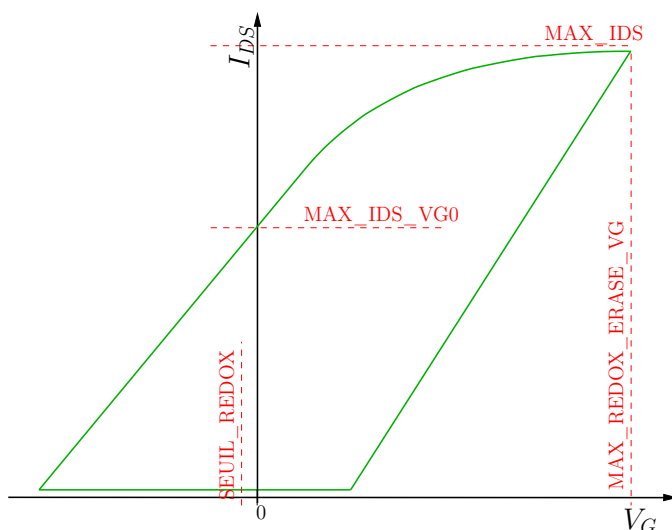


FIG. 6.2 – Schéma illustrant les variations des paramètres de chacun des deux transistors de la cellule mémoire

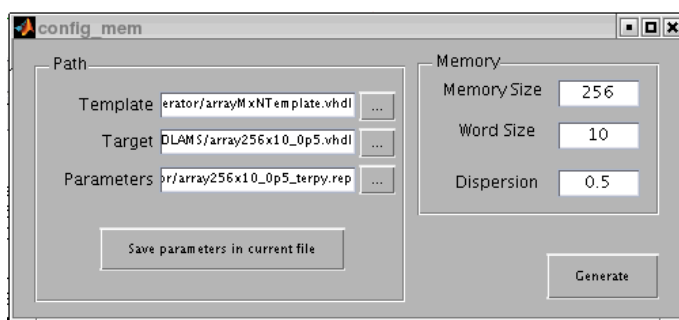


FIG. 6.3 – Interface de saisie Matlab des paramètres du plan mémoire à générer

des informations sur la dispersion appliquée, peuvent être renseignés dans la partie gauche de l'interface représentée par la figure 6.3.

Une fois le code généré, les résultats sont affichés dans une fenêtre où l'on peut visualiser, pour l'ensemble des transistors d'accès, comme pour l'ensemble des transistors mémoires, la répartition géographique des dispersions sous la forme d'une matrice en couleur de la taille du plan mémoire, ainsi que l'histogramme des dispersions. Ces résultats sont aussi parallèlement sauvegardés dans un fichier Matlab à l'extension *.rep. La figure 6.4 illustre l'interface de visualisation des résultats et les figures B.1 et B.2 en annexe B, sont deux exemples de fragments de plan mémoire générés respectivement

pour le modèle complet et pour le modèle simplifié.

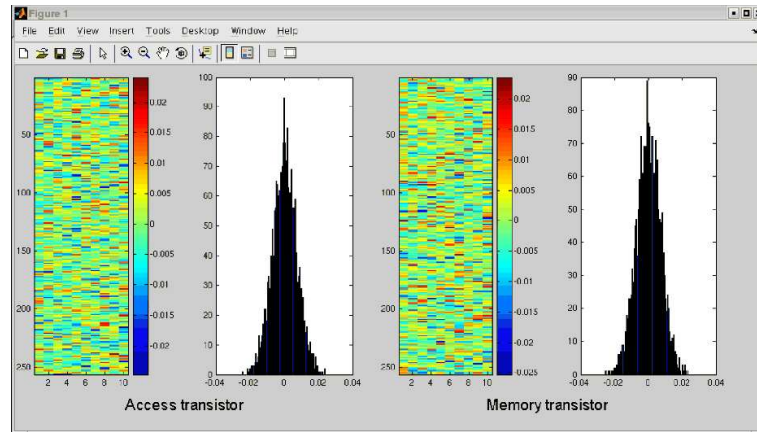


FIG. 6.4 – Interface de visualisation des résultats de dispersion sur le plan mémoire généré.

6.2 Architecture proposée

6.2.1 Politique d'intégrité de l'information

Dans l'architecture de mémoire que nous proposons, l'ensemble du plan mémoire est réalisé dans une même technologie moléculaire, compatible avec les procédés de fabrication CMOS. Chaque adresse de stockage est composée de plusieurs cellules multivaluées servant au stockage de données et, éventuellement, au stockage d'une information permettant de fiabiliser ces données. En effet, rien ne différencie une cellule stockant une information d'une autre cellule stockant, par exemple, un code correcteur d'erreur. Autrement dit, l'architecture est conçue de manière à ce que le nombre de bits d'information ainsi que le nombre de bits dédiés à la correction d'erreur soient des paramètres configurables dynamiquement, pour chaque mot écrit.

Cette propriété permet à la fois d'homogénéiser l'ensemble du plan mémoire d'un point de vue procédé de fabrication et aussi de laisser à l'utilisateur le choix du niveau de *fiabilisation* de l'information qu'il souhaite stocker. Par exemple, on peut très bien imaginer que l'on tolère quelques erreurs dans l'enregistrement des signaux audio et vidéo d'un camescope grand public au bénéfice d'un espace de stockage plus élevé, tout en assurant une intégrité totale du logiciel gérant ce même camescope.

Le choix de la politique d'intégrité doit être motivé par la prise en compte de différents paramètres, tels le temps d'accès en lecture et le temps d'accès en écriture, ceux-ci étant directement liés à la puissance consommée. Les différentes techniques de tolérance aux variations que nous présentons ci-après doivent permettre de faire ce choix en trouvant le meilleur compromis en fonction de l'application.

6.2.2 Proposition d'architecture

Pour présenter et expliquer la proposition architecturale, nous avons choisi de présenter un exemple d'implémentation, illustré par la figure 6.5. Elle est constituée de six cellules de base, quatre d'entre elles sont utilisées pour stocker une information et les deux restantes servent à implémenter un code correcteur d'erreur. Dans le cas de notre illustration, le compromis (nombre de bits de donnée)/(nombre de bits dédiés à son intégrité) est arbitrairement fixé à titre d'exemple. Nous faisons le choix de stocker 4 bits par cellule dédiée au stockage d'information (M1, M2, M3, M4) et 3 bits par cellule dédiée à l'intégrité de ces données (Mc0, Mc1). Cette architecture a pour caractéristiques :

- Lecture des différents bits d'information par mot entier
- Écriture des différents bits d'information par mot entier
- Effacement des différents bits d'information par mot entier
- Plan mémoire à accès aléatoire (**R**andom **A**cces **M**emory)
- Interfaces d'entrée-sortie standards (Bus d'adresse, bus de donnée, signaux de contrôle)
- N bits d'adresse, $N = 2$
- L bits stockés par cellule de donnée, appelé *mBits*, $L = 4$
- M bits de donnée par mot, $M = 2 * L$
- K bits par ligne de mot pour préserver l'intégrité des données, $K = 3$

L'information multivaluée stockée dans chaque point mémoire est désignée par *mv-Bits*. Nous décrivons ci-dessous les différents blocs.

6.2.2.1 Séquenceur et contrôle de lecture/écriture (**R**ead/**W**rite **L**ogic and **S**cheduler)

C'est le bloc de contrôle principal. Il séquence l'exécution des commandes, coordonne les autres blocs et joue le rôle d'interface avec l'extérieur. Il transfère les N bits

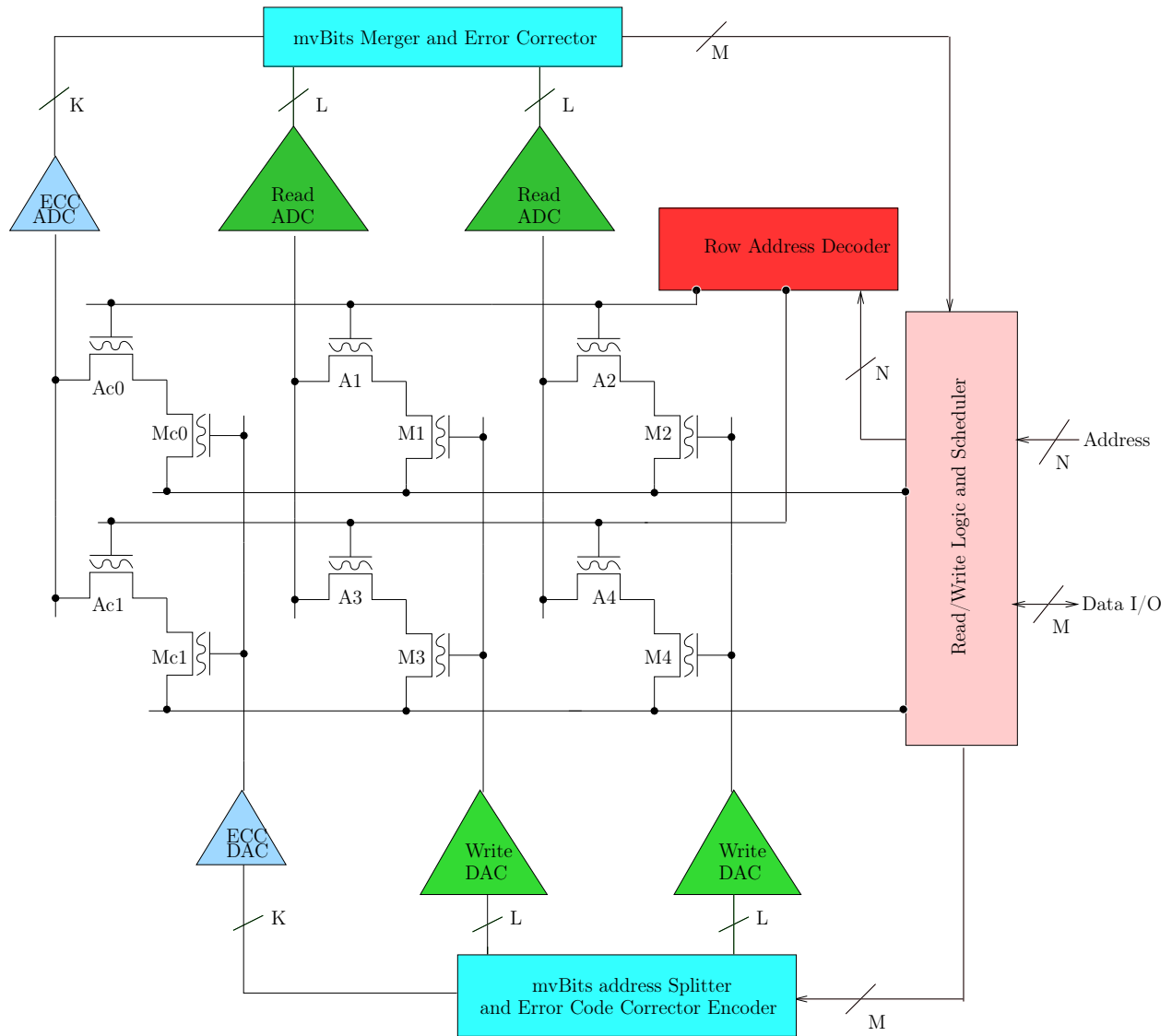


FIG. 6.5 – Exemple d'architecture

du bus d'adresse au bloc qui décode et active la ligne d'adresse sélectionnée (Row Address Decoder).

6.2.2.2 Découpage par paquets de mvBits et encodeur de code correcteur (mvBits address Splitter and Error Code Corrector Encoder)

Ce bloc est utilisé pour l'écriture et l'effacement des bits de données. Il divise les M bits du bus de données ($M = 8$) en L bits de mvBits ($L = 4$) et contrôle les deux convertisseurs numérique-analogique *4bits* (Write DAC) qui permettent de programmer ou d'effacer l'information stockée.

Par ailleurs, ce bloc peut calculer à partir des données en entrée un code correcteur d'erreur (ECC) permettant de vérifier et de corriger d'éventuelles erreurs. Ce code est stocké dans une colonne supplémentaire, son écriture se fait au travers d'un convertisseur identique à celui servant à programmer les cellules mémoires mais dont la résolution utilisée n'est que de K bits, par exemple *3bits* (ECC DAC). On utilise ainsi les mêmes cellules physiques pour l'ensemble du plan mémoire (information et codes correcteurs), mais leur exploitation diffère.

6.2.2.3 Regroupement des paquets de mvBits et détecteur et correcteur d'erreur (mvBits Merger and Error Corrector)

Ce bloc est le dual du précédent. Il reçoit des convertisseurs analogique-numérique (Read ADC) les L bits ($L = 4$) de chaque colonne qu'il remet sous la forme d'un bus de données de M bits ($M = 8$). Il vérifie et corrige au besoin l'intégrité de l'information lue grâce aux K bits ($K = 3$) codant l'information de chaque ligne de mot.

6.2.3 Techniques proposées pour la tolérance aux dispersions

Avant de détailler les différentes techniques proposées, nous posons préalablement les hypothèses suivantes :

- Une fois le plan mémoire réalisé, une procédure de test adaptée permet d'évaluer le taux de dispersion technologique, et de renseigner un registre interne de la mémoire,
- De la même manière, une procédure devra extraire à partir de quelques cellules caractérisées comme étant représentatives (ou *moyennes*), les n courants distincts correspondant aux n états de la cellule. La valeur de ces courants seront alors stockés dans plusieurs registres de référence comme courants de référence pour les amplificateurs de lecture,

- Une cellule peut être programmée au maximum dans 16 états distincts, ceci correspondant au stockage de 4bits d'information par cellule,
- Le temps d'effacement d'une cellule est défini comme étant supérieur au temps d'écriture, lui-même supérieur au temps de lecture. Cela permet de mieux comparer les différentes méthodes de tolérances aux dispersions.
- Pour les méthodes *De Base*, *Evaluation d'Erreur* et *Boucle d'Evaluation d'Erreur*, les résultats sont établis sur un peu moins de 6000 tirages pour chaque taux de variation étudié (0.5%, 1%, 1.5%, 2%, 2.5%, 3%, 4%, 5%, 6%, 8%, 10%, 15% et 20%).
- Pour les trois autres méthodes à base de code correcteur d'erreur, les résultats sont établis sur un peu moins de 10000 tirages pour chaque taux de variation étudié (0.5%, 1%, 1.5%, 2%, 2.5%, 3%, 4%, 5%, 6%, 8%, 10%, 15%, 20% et 25%).

6.2.3.1 Méthode *De Base* : Amplificateur de lecture semi-intelligent

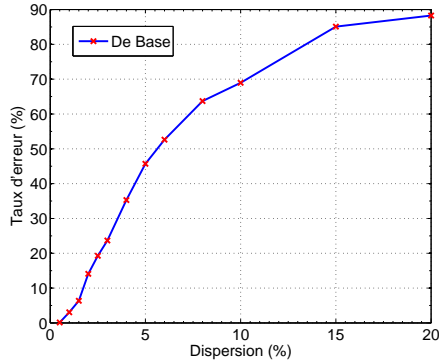
Contrairement à l'exemple illustratif qui permettait d'avoir une vision globale de la structure de la mémoire, cette première architecture n'implémente pas de correction d'erreur, l'ensemble des cellules de la mémoire est dédié au stockage de données. Le plan mémoire est constitué de 256 lignes d'adresse et de 10 cellules par ligne, chaque cellule pouvant stocker 4 bits, portant la capacité de la mémoire à $256 \times 40\text{bits}$.

Cette architecture, la plus simple qu'il soit, va donc nous servir de référence. Le bloc s'occupant de la conversion analogique-numérique se compose d'un ensemble de comparateurs et d'un tableau de valeurs de référence, réalisé par exemple par un ensemble de registres. Ce module sera utilisé dans toutes les autres méthodes évaluées, à quelques détails près. Cette table de référence peut-être mise à jour à tout moment par l'utilisation d'un signal de calibration. Au cours de nos simulations, cette procédure de calibration est exécutée une seule fois avant chaque batterie de tests en écriture-lecture³. La *semi-intelligence* de ce module amplificateur de lecture (*Sense Amplifier*) réside dans le fait qu'il choisit dans un tableau de référence⁴ l'index de la valeur la plus proche de la valeur mesurée.

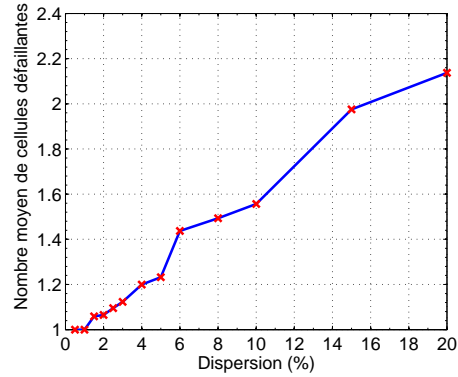
Les résultats présentés par les figures 6.6(a) et 6.6(b) correspondent respectivement au taux d'erreur au moment de la lecture et au nombre moyen de cellules défectueuses lors d'erreur de lecture en fonction, dans les deux cas, d'un taux de dispersion fixé. On

³cf. hypothèses formulées au début de la section 6.2.3

⁴cf. hypothèses au début de la section 6.2.3



(a) Taux d'erreur au moment de la lecture



(b) Nombre moyen de cellules défaillantes lors d'erreur de lecture

FIG. 6.6 – Résultats de simulation en fonction du taux de dispersion pour la méthode *De Base*

constate comme point de référence qu'avec *seulement* 5% de dispersions sur les paramètres (section 6.1.2), le taux d'erreur s'élève à pratiquement 50%.

6.2.3.2 Méthode d'Évaluation d'Erreur (*Error Sensing*)

La première méthode imaginée est appelée *Évaluation d'Erreur (Error Sensing)*. À l'instar de la précédente, elle utilise l'ensemble des cellules du plan mémoire pour stocker des données. Sa particularité réside dans le séquençement de sa méthode d'écriture.

Cette méthode repose sur la constatation suivante : avant toute écriture, une cellule doit être effacée, c'est à dire que le transistor à effet de champ et à grille flottante moléculaire doit être préalablement *réinitialisé* avant qu'une nouvelle valeur y soit *programmée*. Le principe d'oxydo-réduction du transistor moléculaire⁵ fait qu'il est obligatoire de passer par une phase de réinitialisation pour programmer une valeur plus petite que la valeur actuellement stockée⁶.

L'idée est donc d'exploiter cette caractéristique illustrée par la figure 6.7, en partant

⁵cf. section 1.2.3

⁶Autrement dit, si le transistor est programmé dans son état '5', il n'est pas possible de le programmer dans son état '2' sans passer par une phase d'effacement. Inversement, la compréhension que nous avons du fonctionnement de ce dispositif et des phénomènes en jeux, nous pousse à croire que le passage de l'état '2' à l'état '5' est possible sans phase d'effacement

de l'étape 1 en bleu où le transistor est programmé dans l'état '1'. Une fois le composant effacé (étape 2 en rose), il est programmé par une impulsion de tension de grille V_{GS} (étape 3 en vert) dans un état intermédiaire entre l'état hautement-résistif et l'état '0', soit équivalent à un état '-0.5' servant de référence⁷. Une fois V_G revenue à 0V (étape 4 en rouge), l'amplificateur de lecture est activé et les cellules sont lues. Le bloc de lecture compare la valeur du courant lue pour l'état '-0.5' à une valeur de référence, et il retourne alors au processus en charge de l'écriture un coefficient pour chaque cellule de l'adresse sélectionnée, correspondant à une approximation de la dispersion de la cellule par rapport à une cellule de référence. Ce coefficient est ensuite utilisé directement par la séquence d'écriture pour moduler la tension de programmation appliquée (étape 5 en cyan) permettant d'aboutir à l'étape 6 (marron) où la valeur programmée et lue est effectivement '0'. Prenons l'exemple suivant : une fois effacée, une cellule est programmée dans l'état intermédiaire '-0.5'. Le courant de cette cellule est ensuite détecté comme étant 0,95 fois celui de référence. La méthode est donc de programmer cette cellule à 1,05 fois la tension normalement utilisée pour une cellule de référence.

C'est l'idée de mesurer un courant de référence grâce au bloc de lecture de courant (*Sense Amplifier*) permettant de déduire une approximation de la dispersion de la cellule qui a donné cette appellation originale d'*Évaluation d'Erreur* (*Error Sensing*).

Les résultats présentés par les figures 6.8(a) et 6.8(b) correspondent respectivement au taux d'erreur au moment de la lecture et au nombre moyen de cellules défaillantes lors d'erreur de lecture en fonction, dans les deux cas, d'un taux de dispersion fixé.

Au prix de quelques cycles d'écritures supplémentaires (cf. figure 6.9(b)), et sans surcoût en terme de temps de lecture, cette méthode améliore très sensiblement la tolérance aux défauts de notre architecture, jusqu'à près de 30 points de mieux pour un taux de dispersion de 8% et capable de gérer sans aucune erreur des mémoires avec un taux de dispersion inférieur ou égal à 0,5%. Corroborant les bons résultats en terme de taux d'erreur, le pourcentage de bits faux par mots lu est aussi radicalement amélioré, confirmant l'augmentation du rendement en écriture de cette méthode.

⁷De cette manière, et dans le pire des cas, la cellule est programmée dans l'état '0'

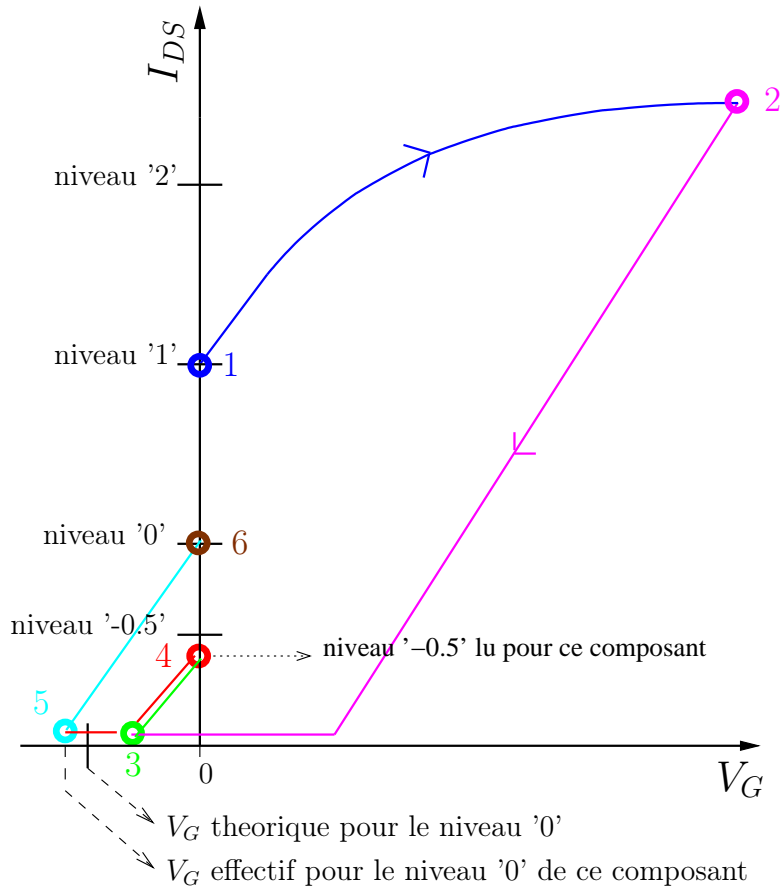


FIG. 6.7 – Schéma explicatif de la méthode d'Évaluation d'Erreur

6.2.3.3 Méthode Boucle d'Évaluation d'Erreur (Boucle Error Sensing)

Cette méthode hérite des deux précédentes et ajoute une étape de vérification récursive. Dans ce cas, l'idée est de réaliser plusieurs boucles de programmation de type *Évaluation d'Erreur*, en programmant le transistor par valeur inférieure⁸ avec un pas fixé en fonction du taux de dispersion relevé⁹. Une fois programmé, on effectue dans la foulée une étape de lecture pour comparer ce qui vient d'être écrit avec ce que l'on veut programmer. Si la valeur lue ne correspond pas à ce qui doit être écrit, le cycle reboucle.

Les résultats présentés par les figures 6.9(a) et 6.9(b) correspondent respectivement au taux d'erreur au moment de la lecture et au nombre moyen de cycles d'écriture com-

⁸Toujours pour éviter le passage par une phase d'effacement, très coûteuse en temps et en énergie

⁹cf. hypothèses formulées au début de la section 6.2.3

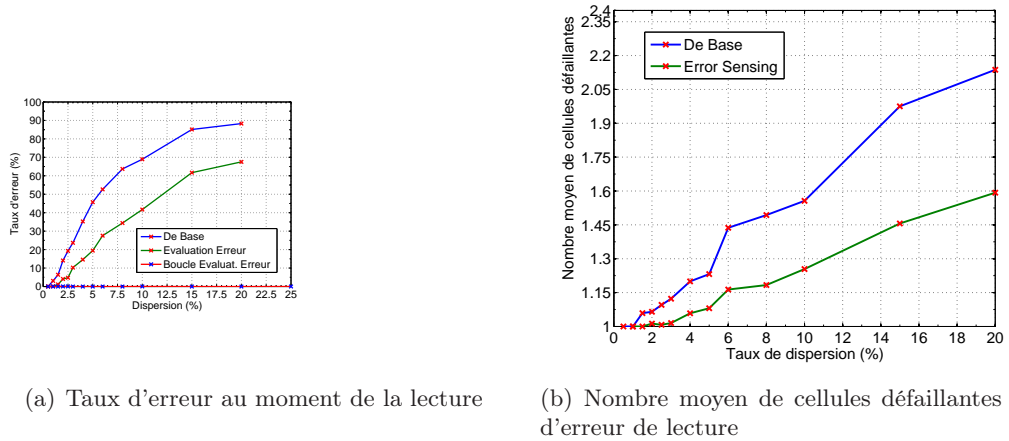


FIG. 6.8 – Résultats de simulation en fonction du taux de dispersion pour la méthode *Évaluation d'Erreur (Error Sensing)*

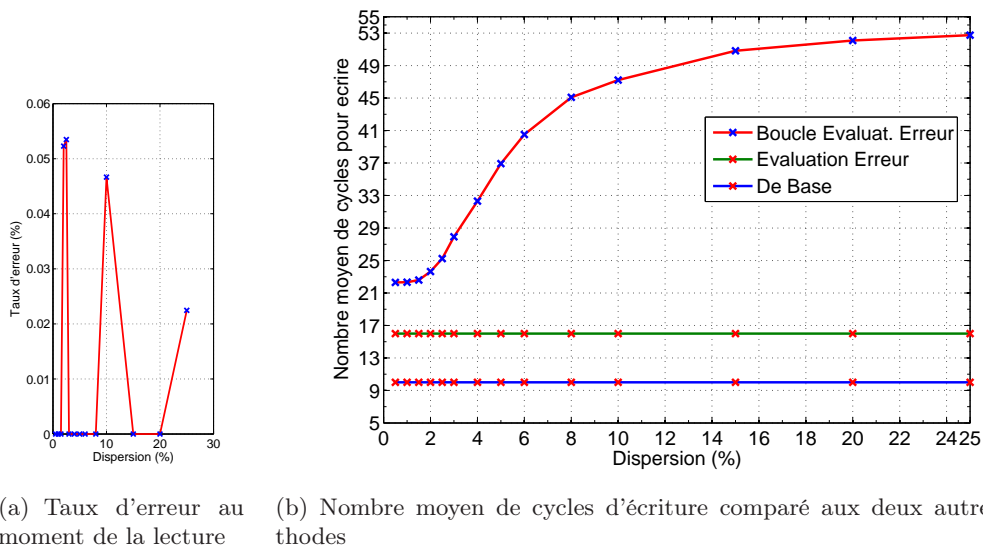


FIG. 6.9 – Résultats de simulation en fonction du taux de dispersion pour la méthode *Boucle Error Sensing*

paré aux deux autres méthodes en fonction, dans les deux cas, d'un taux de dispersion fixé.

Au prix d'un effort supplémentaire au moment de la phase d'écriture, variable en

fonction du taux de dispersion et jusqu'à cinq fois plus lent que la méthode de base, cette technique présente d'excellents résultats en terme de taux d'erreur de lecture, puisqu'il flirte en effet avec les 0%.

6.2.3.4 Méthode *Évaluation d'Erreur à Code Correcteur d'Erreur (Error Sensing ECC)*

Après avoir exploré plusieurs méthodes coûteuses en temps au moment de la phase d'écriture des données, nous envisageons d'évaluer des méthodes *transparentes* en terme de coût d'écriture (par rapport à la méthode *Évaluation d'Erreur*) ou de lecture, mais occupant plus de place au niveau silicium et impliquant probablement une consommation supérieure. Autrement dit, après avoir évalué des approches privilégiant la redondance temporelle, nous développons dans la suite des méthodes à redondance spatiale.

Nous avons donc implémenté un algorithme de Code Correcteur d'Erreur [kle], aussi appelé ECC (Error Code Corrector), permettant de détecter n erreurs et d'en corriger m , avec $m < n$. Shannon et Hamming commencèrent à travailler sur ces thématiques à la fin des années 1940 et depuis lors, des centaines de travaux ont été publiés dans le domaine.

En guise de résumé, nous rappellerons qu'essentiellement peuvent se distinguer deux types de Code Correcteur d'Erreur.

- **Les Codes Blocs** sont souvent référencés comme codes (n,k) . Un bloc de données de k bits est encodé en un bloc de n bits appelé *Code Mot*.
- **Les Codes de Convolution** génèrent des codes mot dépendant à la fois de la donnée (ou *message*) à l'instant t , mais aussi d'un certain nombre d'autres données temporellement distantes. La longueur du code mot est généralement une constante.

Les codes de Hamming que nous utilisons font partie d'une sous-famille des Codes Blocs appelée Code Linéaire. En codage binaire, la *distance de Hamming* est le nombre de bits différents entre deux mots de tailles égales, elle permet donc de quantifier combien deux mots sont différents. La capacité à détecter des erreurs et à en corriger dépendent directement de la distance de Hamming d_{Ham} entre deux mots appartenant au même code. En effet, le nombre de bits faux détectables est donnée par l'expression $N_{ED} = d_{Ham} - 1$, alors que le nombre de bits faux corrigibles vaut quant à lui

$$N_{EC} = \frac{d_{Ham}-1}{2}.$$

Nous avons donc à notre disposition une technique permettant de détecter et de corriger un certain nombre d'erreurs, théoriquement sans perte au niveau vitesse de lecture et d'écriture, au prix de l'utilisation de cellules supplémentaires. Cependant, et pour rappel, la méthode utilisée pour stocker les m bits d'une donnée dans les cellules multivaluées du plan mémoire consistent à diviser par paquets de n bits¹⁰ chaque donnée entrante et de programmer indépendamment chaque cellule dans un des 16 états¹¹ possibles.

De ce fait, une erreur d'écriture ou de lecture entraîne, dans le cas général, un décalage d'un niveau¹². Si nous nous intéressons alors aux conséquences au niveau du codage binaire, cela veut dire qu'une *simple* erreur d'un seul état induit jusqu'à 4 erreurs au niveau de la donnée binaire. En effet, dans le cas du stockage de 4 bits par cellule, l'état '7' est codé '0111' alors que l'état '8' est lui codé par '1000', la distance entre les deux codes est maximale. Autrement dit, une erreur a priori bénigne enlève tout l'intérêt des codes correcteurs d'erreur utilisés, car ces derniers ne seront même pas capable de corriger une erreur de niveau. En effet, les codes de Hamming que nous utilisons peuvent, suivant les cas, détecter et corriger une ou deux erreurs.

Pour contourner ce problème lié au codage binaire simple, la solution est alors d'implémenter un module de conversion vers le codage Gray, à la fois au moment de l'écriture de la donnée, et donc bien évidemment au moment de sa lecture. De cette manière, et dans le cas le plus général, une erreur dans une cellule multivaluée de n bits n'entraîne qu'un seul bit faux par cellule, le code correcteur étant en mesure de le détecter et de le corriger.

La notation des différents codes utilisés est $[c+d, d; h, b]$, où

- c est le nombre de bits de contrôle,
- d est le nombre de bits de donnée,
- $c+d$ est le nombre total de bits,
- h est la distance de Hamming minimale du code,
- b est la base de travail, dans notre cas, le code est calculé en base binaire classique

¹⁰ $n = 4$ dans le cas du stockage de 4 bits par cellule

¹¹ Toujours dans le cas du stockage de 4 bits par cellule multivaluée

¹² Par exemple, au lieu de lire l'état '10', une erreur d'écriture ou de lecture peut nous faire lire '9' ou '11'

$b = 2$.

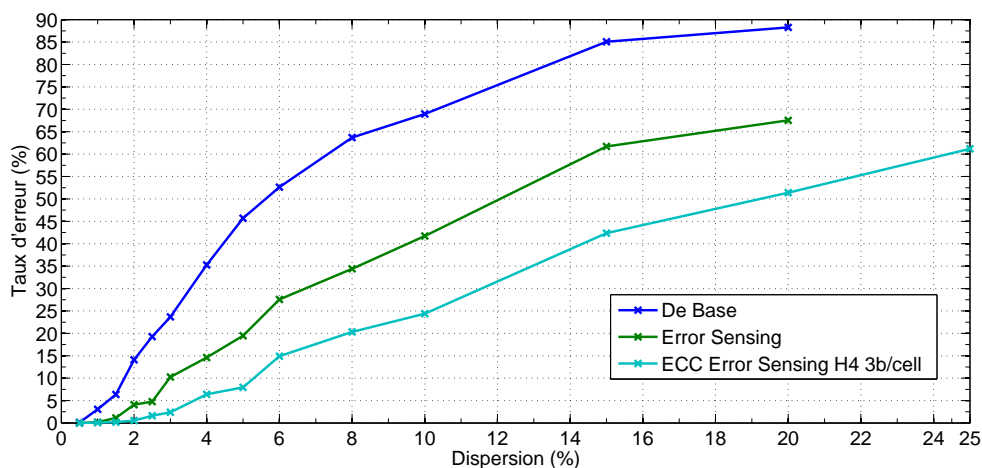


FIG. 6.10 – Taux d’erreur au moment de la lecture en fonction du taux de dispersion pour le code de Hamming [39,32;4,2] avec 3 bits par cellule pour les cellules dédiées ECC et 4 bits par cellule pour les données. Cette architecture est constituée de 256 lignes d’adresse et de 11 cellules par ligne. Pour chaque ligne, 8 cellules sont dédiées au stockage de donnée (32 bits) et 3 cellules supplémentaires sont dédiées au stockage du code ECC (9 bits, dont seulement 7 bits utilisés par le code de Hamming). Méthode appelée *Évaluation d’Erreur à Code Correcteur d’Erreur (CCE) pour une distance minimale de Hamming de 4*, et 3 bits par cellules dédiées CCE, aussi référencée *ECC H4/3 Error Sensing*

Commentaires sur les différentes méthodes à code correcteur d’erreur (ECC)

Pour la première méthode Hamming [39,32;4,2] avec 3 bits par cellule pour les cellules dédiées ECC et 4 bits par cellule pour les données (*ECC H4/3 Error Sensing*), l’ajout de trois cellules supplémentaires par ligne entraîne une augmentation de la surface du plan mémoire d’environ 27% par rapport à la méthode *Error Sensing*. Elle s’accompagne d’une réduction du taux d’erreur significative, près de 20 points de mieux pour un taux de variation de 15%, encore 7 points de mieux pour un taux de 3%. Le nombre réduit de tirage ne nous permet pas d’analyser précisément l’influence de cette méthode pour des faibles taux de dispersion. Néanmoins, on peut affirmer que cette méthode, par essence même, réduit systématiquement le taux d’erreur.

Pour la méthode Hamming [44,32;5,2] avec 4 bits par cellule pour les cellules dédiées ECC et 4 bits par cellule pour les données (*ECC H5/4 Error Sensing*), la surface de la matrice mémoire est la même que pour la méthode précédente. En revanche, les cellules supplémentaires sont exploitées sur 4 bits et l'on constate que cette méthode corrige jusqu'à 41% de bits supplémentaire (moyenne de 34% sur toutes les variations). Cependant, malgré le nombre de bits corrigés supplémentaires, force est de constater que la capacité des codes correcteurs à corriger les erreurs, à la fois des données, et aussi du code lui-même, est limitée par l'utilisation de la dynamique maximale de chaque cellule. Autrement dit, bien que cette méthode bénéficie d'un code correcteur sur 12 bits (comparé aux 7 bits précédents), les résultats en terme de taux d'erreur sont pratiquement identiques à la méthode précédente, voir moins bons pour des taux de variations élevés. Cette approche est donc moins intéressante que la précédente du fait de la complexité supplémentaire des blocs de génération et de correction ECC, impliquant un surcoût en surface et en consommation.

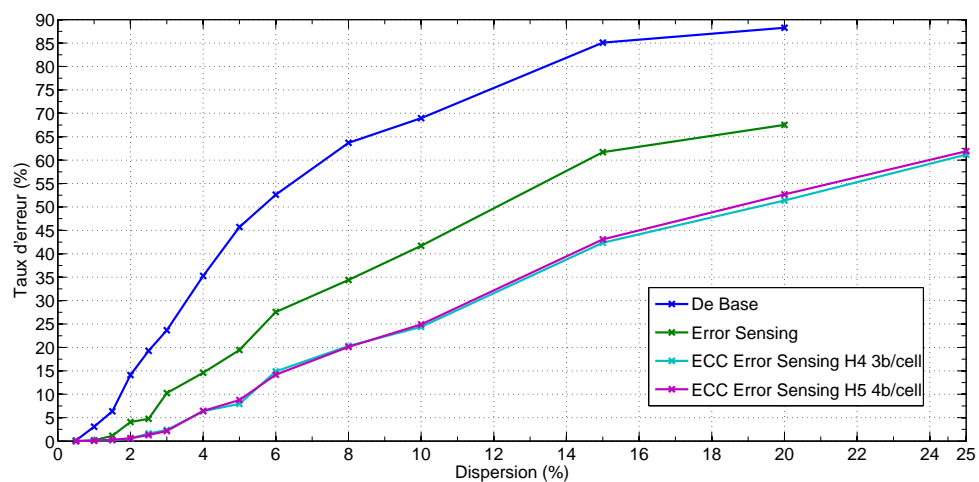


FIG. 6.11 – Taux d'erreur au moment de la lecture en fonction du taux de dispersion pour le code de Hamming [44,32;5,2] avec 4 bits par cellule pour les cellules dédiées ECC et 4 bits par cellule pour les données. Cette architecture est constituée de 256 lignes d'adresse et de 11 cellules par ligne. Pour chaque ligne, 8 cellules sont dédiées au stockage de donnée (32 bits) et 3 cellules supplémentaires sont dédiées au stockage du code ECC (12 bits). Méthode appelée *Évaluation d'Erreur à Code Correcteur d'Erreur (CCE) pour une distance minimale de Hamming de 5*, et 4 bits par cellules dédiées CCE, aussi référencée *ECC H5/4 Error Sensing*

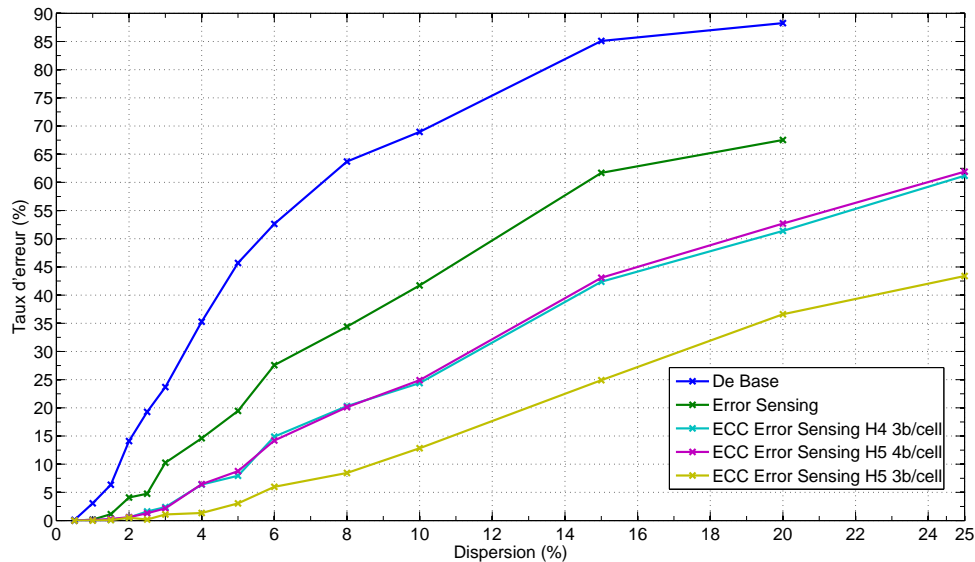


FIG. 6.12 – Taux d'erreur au moment de la lecture en fonction du taux de dispersion pour le code de Hamming [44,32 ;5,2] avec 3 bits par cellule pour les cellules dédiées ECC et 4 bits par cellule pour les données. Cette architecture est constituée de 256 lignes d'adresse et de 12 cellules par ligne. Pour chaque ligne, 8 cellules sont dédiées au stockage de donnée (32 bits) et 4 cellules supplémentaires sont dédiées au stockage du code ECC (12 bits). Méthode *Évaluation d'Erreur à Code Correcteur d'Erreur (CCE) pour une distance minimale de Hamming de 5*, et 3 bits par cellules dédiées CCE, référencée *ECC H5/3 Error Sensing*

La dernière méthode évaluée, Hamming [44,32 ;5,2] avec 3 bits par cellule pour les cellules dédiées ECC et 4 bits par cellule pour les données (*ECC H5/3 Error Sensing*), ajoute une cellule supplémentaire sur chaque ligne, augmentant ainsi la surface globale de plan mémoire d'environ 33% par rapport à la méthode *Error Sensing*. Cela permet de conserver un code correcteur de 12 bits, tout en exploitant une dynamique de 3 bits par cellule dédiée ECC. À l'inverse de la précédente, l'utilisation de cette méthode peut être justifiée grâce à ses performances en termes de correction de bits et de taux d'erreurs. En effet, elle permet effectivement de réduire le taux d'erreur par rapport à la méthode *Error Sensing*, jusqu'à près de 37 points de mieux pour un taux de dispersion de 15%.

Finalement, la figure 6.2.3.4 comparant l'évolution du taux de bits corrigés nous

renseigne sur les limites de ces méthodes ECC basées sur l'utilisation du même type de cellule mémoire pour les données et pour le code correcteur. En effet, à partir de 15% de dispersion, le taux de bits corrigés diminue sensiblement pour les méthodes *ECC H4/3* et *ECC H5/3*, stockant toutes deux 3 bits par cellule ECC, alors que la méthode *ECC H5/4* (4 bits par cellules ECC) voit son taux de bits corrigés stagner dès 10% de variation, avant de diminuer comme les autres. Pour inverser cette tendance, il faudrait, par exemple, diminuer le nombre de bits stockés par les cellules dédiées ECC, ce qui entraînerait, à distance de Hamming égale, un nombre de cellules supplémentaires. Une autre possibilité, toute aussi coûteuse en surface, serait d'augmenter la distance de Hamming, c'est à dire, le nombre de bits du code correcteur.

Le lecteur pourra se référer à la figure 6.14 pour une synthèse graphique des résultats et en annexe C pour les données brutes.

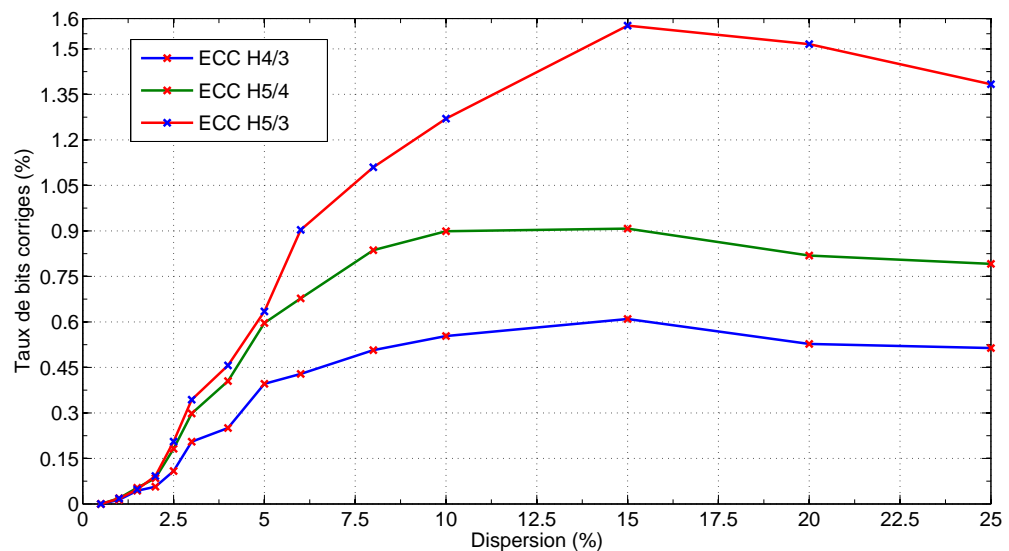


FIG. 6.13 – Comparaison entre les trois méthodes à codes correcteurs d'erreur du pourcentage du nombre de bits corrigés par rapport au nombre de bits écrits, en fonction du taux de dispersion

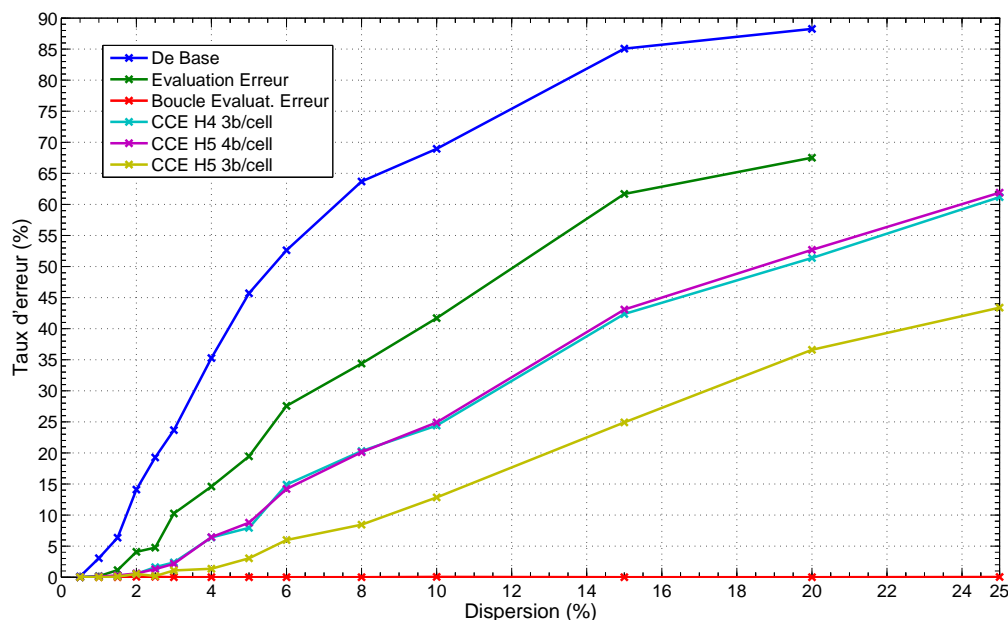


FIG. 6.14 – Taux d'erreur en fonction du taux de dispersion, toutes méthodes confondues

6.3 Conclusion et perspectives

Dans ce chapitre dédié à l'exploration d'architectures de mémoire tolérantes aux variations technologiques, nous avons proposé et comparé six approches différentes, mettant en oeuvre des méthodes originales, exploitant au maximum les spécificités d'une cellule de mémoire innovante (chapitre 5), compacte et multivaluée, à base de composants issus de l'électronique moléculaire.

Les deux premières architectures proposées, *Évaluation d'Erreur* et *Boucle d'Évaluation d'Erreur*, à comparer à la première architecture de référence *De Base*, implémentent différents niveaux de vérification par redondance temporelle permettant, sans surcoût en surface, mais au prix d'un nombre de cycles plus important, d'obtenir une très nette réduction du nombre d'erreurs en lecture-écriture, même pour de très grands taux de variation technologique.

Les trois autres structures de mémoires, basées sur celle plus simple appelée *Évaluation d'Erreur*, intègrent quant à elles différents blocs supplémentaires, réalisant une

implémentation de codes correcteurs d'erreurs de type code de Hamming. L'originalité et la souplesse de cette approche est double : on utilise un même plan mémoire technologiquement homogène pour stocker à la fois les données et les codes correcteurs d'erreurs, la seule différence résidant dans l'utilisation d'un nombre de bits paramétrables pour les cellules dédiées à ces codes (ECC) ; Par ailleurs, il est aussi possible de choisir dynamiquement le niveau de *robustesse* de la mémoire en fonction de critères liés à la capacité mémoire, à la consommation ainsi qu'à la vitesse de fonctionnement.

Pour les architectures intégrant des codes correcteurs d'erreurs, c'est essentiellement la surface du circuit qui augmente¹³, tout en apportant une fois de plus une meilleure tolérance aux variations ; jusqu'à 37 points de mieux que la méthode *Évaluation d'Erreur* et jusqu'à 51 points de mieux que l'architecture *De Base*, à taux de dispersion équivalent.

Nous avons donc évalué différentes méthodes offrant plusieurs pistes de réflexion sur des techniques de tolérance aux variations. Avec plus de temps, il aurait été intéressant de combiner les techniques de redondance temporelle (méthode *Boucle d'Évaluation d'Erreur*) et de redondance spatiale (méthode à base de code correcteur d'erreur) pour évaluer sur un très grand nombre de cycles en lecture/écriture, l'intégrité de données définies comme critiques. Par ailleurs, pour exploiter entièrement les fonctionnalités de l'architecture proposée, une simulation *cas réel* serait envisageable¹⁴ pour étudier une politique dynamique de *robustesse* de l'information. Par ailleurs, une étude sur l'utilisation d'autres types de codes correcteurs plus adaptés aux canaux de transmission bruités comme les TurboCodes apparaît comme une étape supplémentaire intéressante. Finalement, en regard des résultats obtenus, il semblerait pertinent d'évaluer avec plus de précision toutes les méthodes proposées pour des taux de dispersion plus faibles (par exemple, entre 0 et 5%) tout en poussant plus loin des calculs de surface et de consommation.

¹³La surface du plan mémoire augmente entre 27% et 33%, il faut aussi ajouter la surface et la consommation supplémentaire des blocs liés à la correction d'erreur (encodage, décodage, correction)

¹⁴Pour reprendre l'exemple évoqué en introduction, une simulation d'un système type appareil photo numérique aurait été intéressante. En effet, on peut imaginer un microcontrôleur devant lire ses instructions dans une mémoire (nécessité d'une fiabilité totale) et écrivant puis relisant une image (fiabilité moins critique)

Conclusion générale

En replaçant la thématique de cette étude dans son contexte, l'émergence de l'électronique moléculaire résulte de la convergence de différents domaines : la microélectronique, la physique, la chimie ou encore la biologie. L'engouement suscité s'explique par l'espoir de trouver un complément faible coût, voire une alternative viable à l'électronique CMOS sur silicium actuelle, dont les perspectives d'évolution restent floues au-delà de 2015/2020 et dont le coût de fabrication actuel augmente de façon exponentielle. Par ailleurs, les nouveaux dispositifs à base de nanotubes, de nanofils, de molécules de porphyrines ou de rotaxanes apparaissent comme des candidats potentiels à l'intégration dans les mémoires du futur. En effet, leur utilisation permettrait d'obtenir des densités très élevées, bien au-delà de la *roadmap* ITRS silicium, tout en réduisant les coûts de fabrication grâce aux procédés d'auto-assemblage et d'intégration tridimensionnelle.

Cependant, l'état de l'art actuel semble indiquer qu'à cette échelle, le taux de dispersion technologique d'un composant à l'autre sera largement plus élevé par rapport à ce que les architectures de mémoires actuelles sont capables de gérer. Par ailleurs, ce domaine étant relativement récent, il n'existe pas de modélisation de ces dispositifs permettant d'explorer par simulation de nouveaux circuits et architectures complexes. Dans ces travaux de thèse, nous proposons une méthodologie permettant, à partir de mesures expérimentales de composants issus de l'électronique moléculaire, de développer et d'analyser au niveau fonctionnel, dans un temps raisonnable, des circuits et architectures complexes.

Pour cela, une première contribution présente une modélisation générique de transistors à grille flottante moléculaire utilisant le langage VHDL-AMS. Ce modèle combine des équations électriques dérivées de celles du MOS, des équations empiriques déterminées à partir de mesures expérimentales et des processus VHDL-AMS émulant certains aspects physico-chimique de ces composants. Cette modélisation, optimisée en temps

de calcul, reproduit fidèlement le comportement spécifique et fonctionnel de différents transistors à grille flottante moléculaire issus de la littérature.

A partir de cette modélisation, nous avons alors proposé un concept de cellule de mémoire de dimensions réduites, composée de deux transistors identiques en série et capable de stocker plusieurs bits d'information. Cette cellule est réalisable dans un même procédé technologique moléculaire, autorisant ainsi l'auto-assemblage et une intégration tridimensionnelle. Nous avons par ailleurs présenté et démontré par simulation un procédé d'utilisation, ouvrant la voie à l'intégration massive de telles cellules dans des architectures de mémoire non-volatile, ultra-dense et à bas coût.

Enfin, pour faciliter l'exploration architecturale, nous avons développé une plateforme outil en Matlab - VHDL-AMS permettant de saisir les caractéristiques de composants expérimentaux et de générer et analyser des plans mémoires réguliers où les paramètres de chaque instance de modèle de composant peuvent subir des variations. Ces plans mémoires aux taux de dispersions variables (entre 0.5 et 25%) ont été simulés dans plusieurs architectures de mémoire différentes. Six techniques originales visant à assurer l'intégrité de l'information dans les mémoires ont été présentées et comparées, en mettant en avant leurs avantages et inconvénients respectifs, en termes de taux d'erreurs et de vitesse de fonctionnement, ainsi qu'en évaluant comparativement leur surface silicium.

Dans le cadre de perspectives de ces travaux, nous distinguons plusieurs points qui auraient le mérite d'être approfondis.

En effet, dans la continuité de ces travaux, il serait sans doute intéressant, dans un premier temps, de se pencher sur l'évaluation d'autres méthodes visant à garantir un certain niveau de fiabilité, comme l'utilisation d'autres types de codes correcteurs d'erreur, par exemple les TurboCodes, très coûteux en ressources de calculs mais très efficaces. Par ailleurs, nous n'avons pas encore évoqué le concept de duplication ou de réplication de l'information, en double ou en triple, dans un autre plan mémoire, par exemple. Une étude combinant une méthode de redondance temporelle ainsi qu'une technique redondante spatialement serait tout aussi intéressante. Il est aussi réaliste d'imaginer simuler des exemples d'application plus complètes, ce qui permettrait, sans doute, de mieux évaluer les différentes techniques de tolérance aux dispersions, en fonction du type d'information à stocker. Finalement, toujours à court terme, des calculs plus précis de surfaces et de consommations des différents blocs permettrait aussi d'abonder dans ce

sens.

A moyen terme, il serait sans doute pertinent d'évaluer ce qu'apporterait l'utilisation de code correcteur d'erreur codé sur une base non binaire. Il semblerait aussi judicieux de repenser le codage de l'information dans les cellules multivaluées, soit de manière *numérique*, soit en utilisant, par exemple, le fait que le stockage de charge dans la grille flottante de ces transistors est une donnée *globalement* continue et non discrète. Finalement, sur le même principe, mais à plus long terme et déviant vers une thématique différente, il serait passionnant d'étudier l'utilisation d'un tel réseau de cellules programmables sélectivement pour faire de la logique à base de dipôle, comme dans un PLA (Programmable Logic Array), avec un très grand nombre de composants disponibles.

Annexe A

Chronogrammes

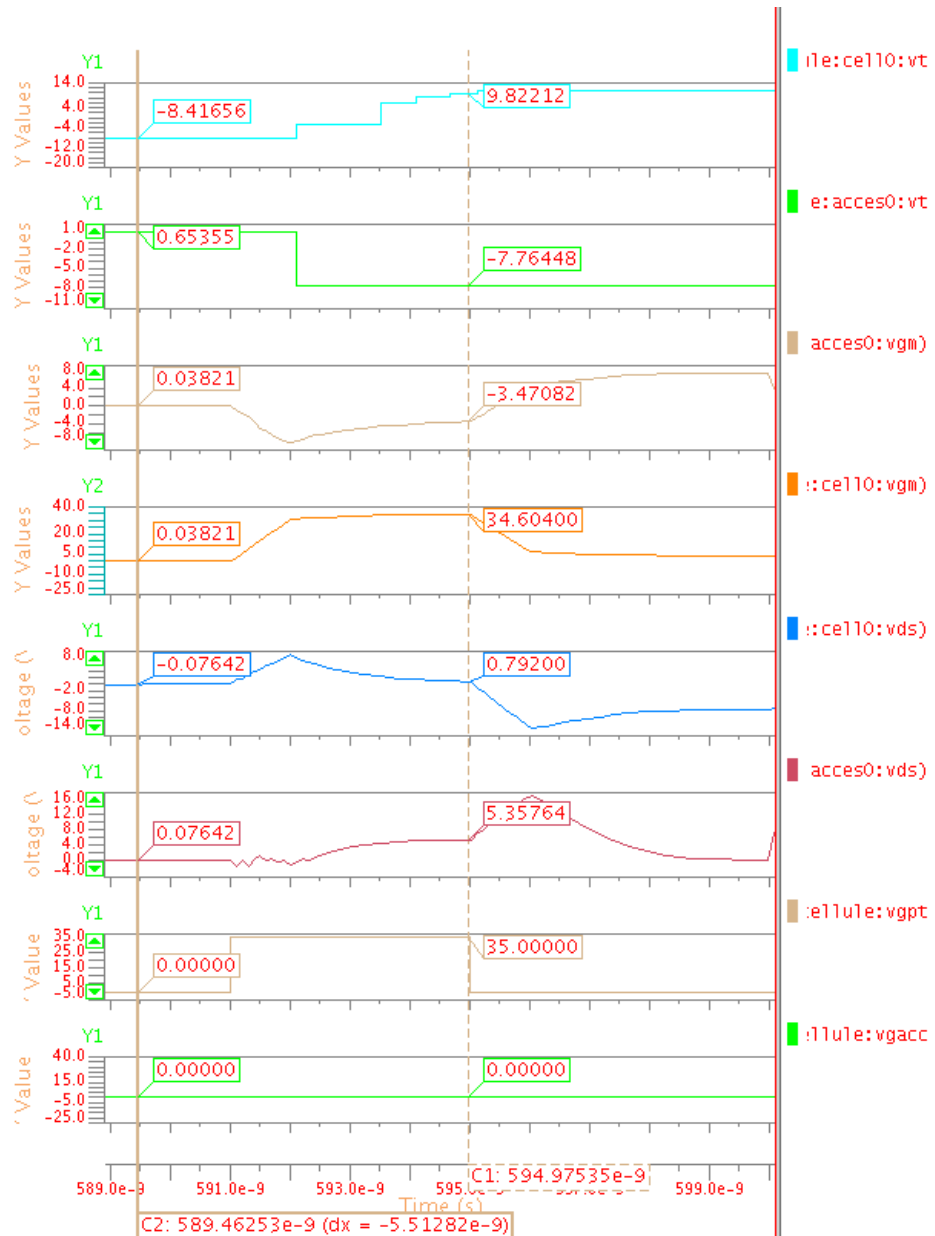


FIG. A.1 – Chronogramme de la séquence d'effacement du point mémoire

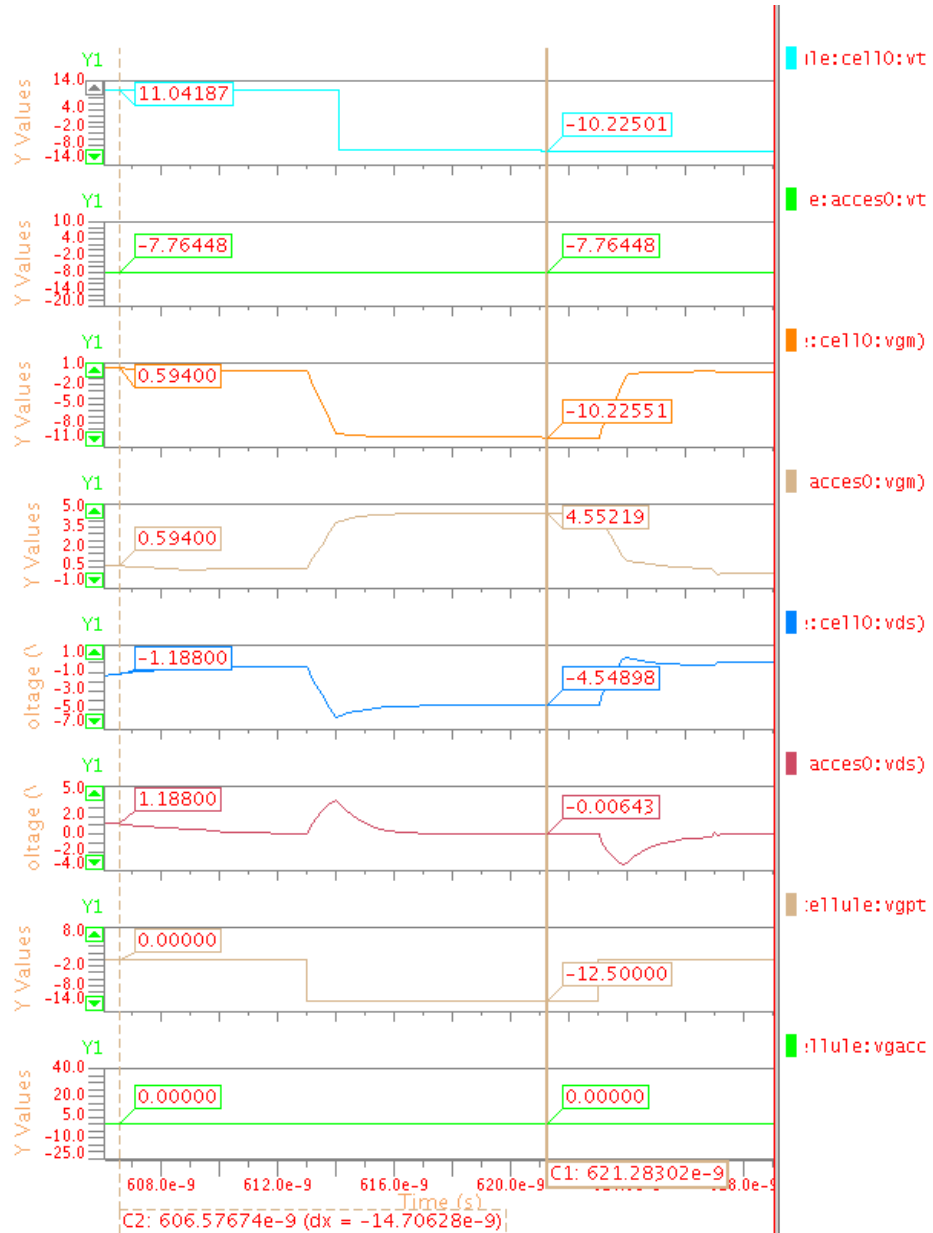


FIG. A.2 – Chronogramme de la séquence de programmation du point mémoire

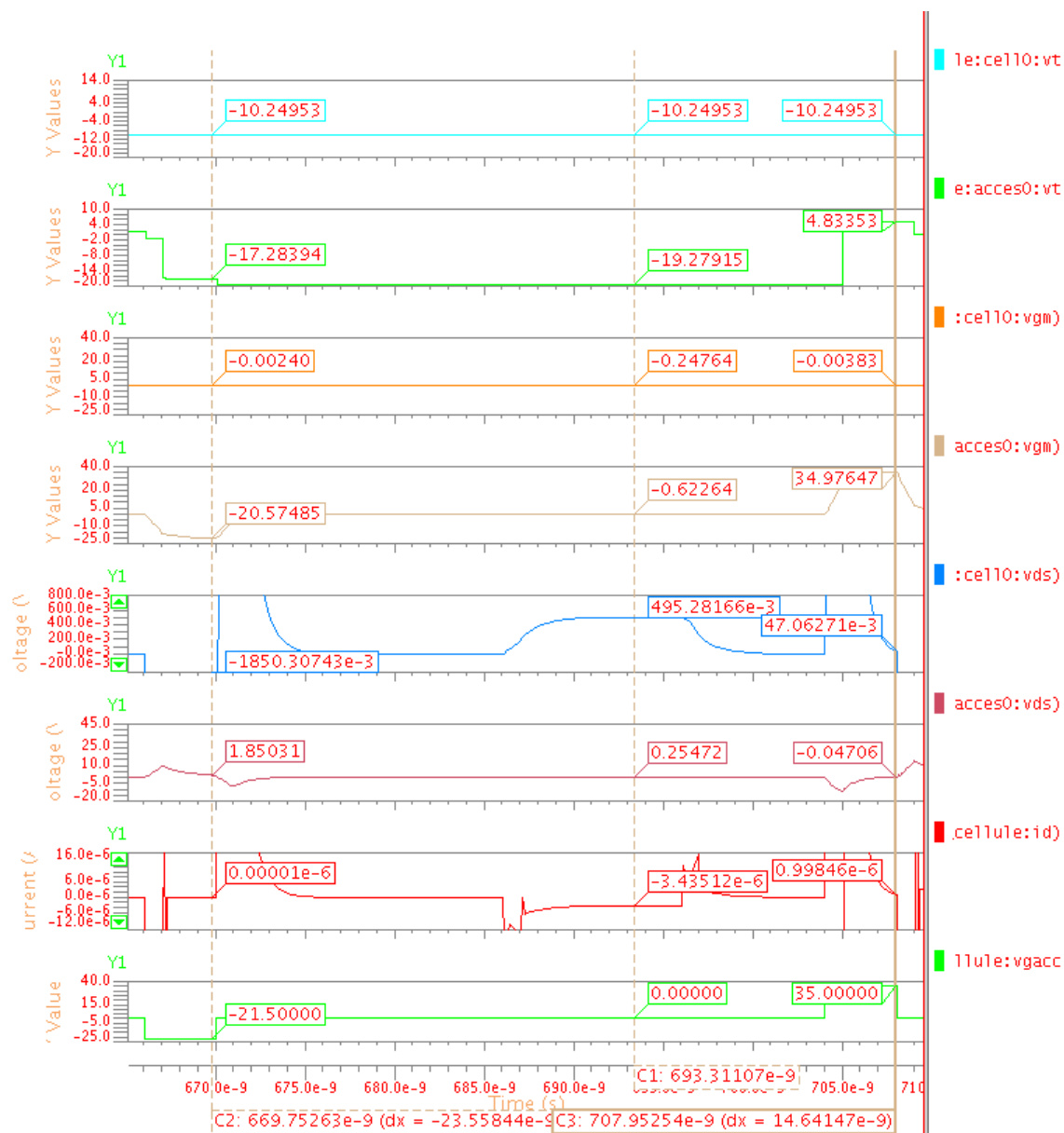


FIG. A.3 – Chronogramme de la séquence de lecture du point mémoire

Annexe B

Exemples de code

```

        K2 => 3.81345e-07
    )
    port map ( drain => NBitLine(2), source => PtMilieu(14), g
),
CELL15: flash_molecular          -- Variation: -3.00843%
generic map(
    MAX_REDOX_WRITE_VG => -1.89134e+01,
    MAX_IDS_VGO => -1.01550e-06,
    MAX_IDS => -1.64886e-06,
    VDS_FIXE => -7.27437e-02,
    SEUIL_REDOX => 9.69916e-01,
    MAX_REDOX_ERASE_VG => 2.90975e+01,
    Coxq => 5.01446e-14,
    NbMolecules => 2.98443e+03,
    IDS_MINI => 9.69916e-10,
    VDS_MINI => 9.69916e-10,
    K1 => 3.44320e-07,
    K2 => 3.73418e-07
)
port map ( drain => PtMilieu(15), source => Vsource(3), g

ACCES15: flash_molecular          -- Variation: -0.14430%
generic map(
    MAX_REDOX_WRITE_VG => -1.94719e+01,
    MAX_IDS_VGO => -1.04549e-06,
    MAX_IDS => -1.69755e-06,
    VDS_FIXE => -7.48918e-02,
    SEUIL_REDOX => 9.98557e-01,
    MAX_REDOX_ERASE_VG => 2.99567e+01,
    Coxq => 5.16254e-14,
    NbMolecules => 3.07256e+03,
    IDS_MINI => 9.98557e-10,
    VDS_MINI => 9.98557e-10,
    K1 => 3.54488e-07,
    K2 => 3.84444e-07
)
port map ( drain => NBitLine(3), source => PtMilieu(15), g

CELL16: flash_molecular          -- Variation: -2.74492%
generic map(
    MAX_REDOX_WRITE_VG => -1.89647e+01,
    MAX_IDS_VGO => -1.01826e-06,
    MAX_IDS => -1.65334e-06,
    VDS_FIXE => -7.29413e-02,
    SEUIL_REDOX => 9.72551e-01,
    MAX_REDOX_ERASE_VG => 2.91765e+01,
    Coxq => 5.02809e-14,
    NbMolecules => 2.99254e+03,
    IDS_MINI => 9.72551e-10,
    VDS_MINI => 9.72551e-10,
    K1 => 3.45256e-07,
    K2 => 3.74432e-07
)
port map ( drain => PtMilieu(16), source => Vsource(4), g

ACCES16: flash_molecular          -- Variation: -1.12073%
generic map(
    MAX_REDOX_WRITE_VG => -1.92815e+01,
    MAX_IDS_VGO => -1.03527e-06,
    MAX_IDS => -1.68095e-06,
    VDS_FIXE => -7.41595e-02,
    SEUIL_REDOX => 9.88793e-01,
    MAX_REDOX_ERASE_VG => 2.96638e+01,

```

FIG. B.1 – Exemple d'une partie d'un plan mémoire généré à partir du modèle de cellule complet

```

    )
    port map ( data_in => Vprog(10), data_out => NBitLine(10),
rd_Read(1), cs_write => CS_Word_Write(1));

CELL23: SimpleCell
-- Transistor point m?moire, Variation: -2.41512%
generic map(
P_MAX_REDOX_WRITE_VG => -1.95000e+01,
P_MAX_IDS_VGO => -1.02171e-06,
P_MAX_IDS => -1.65894e-06,
P_VDS_FIXE => -7.50000e-02,
P_SEUIL_REDOX => 9.75849e-01,
P_MAX_REDOX_ERASE_VG => 2.92755e+01,
P_ROFF => 3.90340e+08,
-- Transistor acc?s, Variation: 2.32687%
A_MAX_REDOX_WRITE_VG => -1.95000e+01,
A_MAX_IDS_VGO => -1.07136e-06,
A_MAX_IDS => -1.73956e-06,
A_VDS_FIXE => -7.50000e-02,
A_SEUIL_REDOX => 1.02327e+00,
A_MAX_REDOX_ERASE_VG => 3.06981e+01,
A_ROFF => 4.09307e+08
)
port map ( data_in => Vprog(11), data_out => NBitLine(11),
rd_Read(1), cs_write => CS_Word_Write(1));

CELL24: SimpleCell
-- Transistor point m?moire, Variation: 3.93693%
generic map(
P_MAX_REDOX_WRITE_VG => -1.95000e+01,
P_MAX_IDS_VGO => -1.08822e-06,
P_MAX_IDS => -1.76693e-06,
P_VDS_FIXE => -7.50000e-02,
P_SEUIL_REDOX => 1.03937e+00,
P_MAX_REDOX_ERASE_VG => 3.11811e+01,
P_ROFF => 4.15748e+08,
-- Transistor acc?s, Variation: -1.55178%
A_MAX_REDOX_WRITE_VG => -1.95000e+01,
A_MAX_IDS_VGO => -1.03075e-06,
A_MAX_IDS => -1.67362e-06,
A_VDS_FIXE => -7.50000e-02,
A_SEUIL_REDOX => 9.84482e-01,
A_MAX_REDOX_ERASE_VG => 2.95345e+01,
A_ROFF => 3.93793e+08
)
port map ( data_in => Vprog(0), data_out => NBitLine(0), c
rd_Read(2), cs_write => CS_Word_Write(2));

CELL25: SimpleCell
-- Transistor point m?moire, Variation: -2.40167%
generic map(
P_MAX_REDOX_WRITE_VG => -1.95000e+01,

```

FIG. B.2 – Exemple d’une partie d’un plan mémoire généré à partir du modèle de cellule optimisé en temps de calcul

Annexe C

Résultats de simulation

Méthode De Base					
Nbre decycles pour phase écriture:		Cout étape effacement + Cout étape d'écriture + Cout étape transition			10
% variation	tirages	erreurs	% erreur	moyenne nbre mbits faux	Nbre de cycles pour écrire
0,5	5879	7	0,11906787	1	10
1	5879	180	3,06174519	1	10
1,5	5879	374	6,36162613	1,058824	10
2	5879	829	14,1010376	1,065139	10
2,5	5879	1133	19,271985	1,09532	10
3	5879	1392	23,6774962	1,122845	10
4	5879	2074	35,2781085	1,199614	10
5	5879	2687	45,7050519	1,231857	10
6	5879	3094	52,627998	1,436975	10
8	5879	3745	63,7013097	1,493191	10
10	5879	4054	68,9573057	1,556241	10
15	5879	5002	85,082497	1,97521	10
20	5879	5189	88,2633101	2,137021	10

FIG. C.1 – Données brutes de la méthode *De Base*

Avec Error Sensing		
Nbre de cycles pour phase écriture:	Coût étape effacement + 2*Coût étape d'écriture + Coût étape lecture + 2*Coût étape transition	16

% variation	tirage	erreurs	% erreur	moyenne nbre mbits faux	Nbre de cycles pour écrire
0,5	5879	0	0		16
1	5879	10	0,17009696	1	16
1,5	5879	67	1,1396496	1	16
2	5879	240	4,08232693	1,0125	16
2,5	5879	280	4,76271475	1,007143	16
3	5879	603	10,2568464	1,014925	16
4	5879	858	14,5943188	1,058275	16
5	5879	1144	19,4590917	1,08042	16
6	5879	1621	27,5727164	1,163479	16
8	5879	2022	34,3936044	1,183482	16
10	5879	2452	41,7077734	1,254078	16
15	5879	3627	61,6941657	1,456024	16
20	5879	3970	67,5284912	1,592443	16

FIG. C.2 – Données brutes de la méthode *Évaluation d'Erreur*

Avec Boucle Error Sensing								
		Cout étape effacement+Cout étape d'écriture+(1+N)*(Cout étape lecture+Cout étape transition+Cout étape d'écriture)+Cout étape lecture + 2*Cout étape transition+Cout étape transition						
Nbre de cycles pour phase écriture:								
max boucles	% variation	tirages	Erreurs	% erreur	Nbre de boucles supplémentaires	Nbre N moyen	moyenne nbre mbits faux	Nbre de cycles pour écrire
10	0,5	5853	0	0	2245	0,38356398		22,30138391
	1	5851	0	0	2268	0,38762605		22,32575628
	1,5	5829	0	0	2513	0,43112026		22,58672156
	2	5738	3	0,05228303	3481	0,60665737	1	23,63994423
	2,5	5610	3	0,05347594	4893	0,87219251	1	25,23315508
	3	5409	0	0	7134	1,31891292		27,91347754
	4	5104	0	0	10474	2,05211599		32,31269592
	5	4821	0	0	13600	2,8209915		36,92594897
	6	4621	0	0	15793	3,41765852		40,50595109
	8	4389	0	0	18350	4,18090681		45,08544087
	10	4287	2	0,04665267	19448	4,53650571	1	47,21903429
	15	4129	0	0	21205	5,13562606		50,81375636
	20	4264	0	0	22800	5,34709193		52,08255159
	25	4453	0	0	24296	5,45609701		52,73658208

FIG. C.3 – Données brutes de la méthode *Boucle d'Évaluation d'Erreur*

Avec Erreur Sensing + ECC Hamming [32,39;4,2] 3bits/celluleECC					
Nb de cycles pour phase écriture:		Cout étape effacement + 2*Cout étape d'écriture + Cout étape lecture + 2*Cout étape transition			0
% variation	tirages	erreurs	% erreur	moyenne nbre mbits faux	Nbre de bit corrigé par ECC
0,5	9371	0	0		0
1	9371	8	0,08536976	1	41
1,5	9371	15	0,1600683	1	131
2	9371	51	0,54423221	1	170
2,5	9371	151	1,61135418	1,07947	325
3	9371	223	2,379682	1,098655	615
4	9371	598	6,38138939	1,162207	750
5	9371	744	7,93938747	1,358871	1285
6	9371	1395	14,8863515	1,469534	1187
8	9371	1903	20,3073311	1,511823	1520
10	9371	2286	24,3944083	1,538495	1659
15	9371	3970	42,3647423	1,8733	1828
20	9371	4815	51,381923	1,955971	1581
25	9371	5733	61,1781027	2,084772	1541

FIG. C.4 – Données brutes pour la méthode Évaluation d'Erreur à Code Correcteur d'Erreur (ECC), avec une distance de Hamming minimale de 4 et 3 bits par cellule dédiée à l'ECC

Avec Erreur Sensing + ECC Hamming [32,44;5,2] 4bits/celluleECC					
Nbre de cycles pour phase écriture:		Cout étape effacement + 2*Cout étape d'écriture + Cout étape lecture + 2*Cout étape transition			0
% variation	tirages	erreurs	% erreur	moyenne nbre mbits faux	Nbre de bit corrigé par ECC
0,5	9371	0	0		0
1	9371	8	0,08536976	1	57
1,5	9371	27	0,28812293	1	160
2	9371	57	0,60825952	1,052632	254
2,5	9371	121	1,29121759	1,22314	546
3	9371	202	2,15558638	1,237624	894
4	9371	604	6,44541671	1,362583	1214
5	9371	821	8,76107139	1,367844	1788
6	9371	1330	14,1927222	1,578947	2032
8	9371	1885	20,1152492	1,548011	2508
10	9371	2334	24,9066268	1,653385	2695
15	9371	4037	43,079714	1,986871	2721
20	9371	4937	52,6838118	2,067652	2455
25	9371	5800	61,8930744	2,153103	2373

FIG. C.5 – Données brutes pour la méthode Évaluation d'Erreur à Code Correcteur d'Erreur (ECC), avec une distance de Hamming minimale de 5 et 4 bits par cellule dédiée à l'ECC

Avec Erreur Sensing + ECC Hamming [32,44;5,2] 3bits/celluleECC						
Nombre de cycles pour phase d'écriture:		Coût étape effacement + 2*Coût étape d'écriture + Coût étape lecture + 2*Coût étape transition			0	
% variation	tirages	erreurs	% erreur	moyenne nbre mbits faux	Nbre de bit corrigé par ECC	
0,5	9371	0	0		0	
1	9371	0	0		54	
1,5	9371	8	0,08536976	1,125	143	
2	9371	48	0,51221855	1,229167	276	
2,5	9371	17	0,18141074	1,882353	616	
3	9371	101	1,07779319	1,326733	1030	
4	9371	126	1,34457368	1,619048	1369	
5	9371	285	3,04129762	1,621053	1903	
6	9371	561	5,98655426	1,770053	2709	
8	9371	792	8,45160602	1,856061	3328	
10	9371	1202	12,8268061	1,96589	3808	
15	9371	2334	24,9066268	2,190231	4728	
20	9371	3430	36,6022836	2,209038	4545	
25	9371	4065	43,3785082	2,318819	4148	

FIG. C.6 – Données brutes pour la méthode Évaluation d'Erreur à Code Correcteur d'Erreur (ECC), avec une distance de Hamming minimale de 5 et 3 bits par cellule dédiée à l'ECC

Bibliographie

- [A.91] Ulman A. *An introduction to ultrathin organic films : from Langmuir-Blodgett to self-assembly*. Academic Press, New York, 1991.
- [A.D04] M. Wilson A. DeHon. Nanowire-based sublithographic programmable logic arrays. *FPGA'04*, 2004.
- [ADS03] P. Lincoln A. DeHon and J. Savage. Stochastic assembly of sublithographic nanoscale interfaces. *IEEE Transactions on Nanotechnology*, 2(3) :165–174, 2003.
- [AjAD⁺02] Phaedon Avouris, joerg Appenzeller, Vincent Derycke, Richard Martel, and Shalom Wind. Carbon nanotubes electronics. *IEEE*, (0-7803-7462-2/02), 2002.
- [ASP⁺01] C. K. W. Adu, G. U. Sumanesekera, B. K. Pradham, H. E. Romero, and P. C. Eklund. *Chem. Phys. Lett.*, (337) :31, 2001.
- [AT96] P. Nikolaev H. Dai P. Petit J. Robert C. Xu Y. H. Lee S. G. Kim D. T. Colbert G. Scuseria D. Tománek J. E. Fischer R. E. Smalley A. Thess, R. Lee. Crystalline ropes of metallic carbon nanotubes. *Science*, 273 :483–487, July 1996.
- [Avo02a] Ph Avouris. *Acc. Chem. Res.*, 35 :1026, 2002.
- [Avo02b] Ph. Avouris. *Carbon nanotube electronics*, volume 281. 2002.
- [Ber03] Gary H. Berstein. Quantum-dot cellular automata by electric and magnetic field coupling. In *IEEE 2003 custom integrated circuits conference*, pages 223–229, 2003.
- [BHND01] A. Backtold, P. Hadley, T. Nakanishi, and C. Dekker. Logic circuits with carbon nanotube transistors. *Science*, 294(1317-1319), 2001.
- [Bri04] Brillouet. Talk at the 2004 jnra, November 2004.
- [Che00] W.; Reed M. A.; Rawlett A. M.; Price D. W.; Tour J. M. Chen, J.; Wang. *J. M. Appl. Phys. Lett.*, (77) :1224, 2000.

- [Cho99] Choi. *Applied Physic letter*, 75(20), November 1999.
- [CJ97] P. Bernier A. Loiseau M. Lamy de la Chapelle S. Lefrant P. Deniard R. Leek J. E. Fischer C. Journet, W. K. Maser. Large-scale production of single-walled carbon nanotubes by the electric-arc technique. *Nature*, 388 :756–758, August 1997.
- [CJO⁺03] Yong Chen, Gun-Young Jung, Douglas A A Ohlberg, Xuema Li, Duncan R Stewart, Jan O Jeppesen, Kent A Nielsen, J Fraser Stoddart, and R Stanley Williams. Nanoscale molecular-switch crossbar circuits. *Nanotechnology*, (14) :462–468, 2003.
- [CKR96] S. Y. Chou, P. R. Krauss, and P. J. Renstrom. *Science*, 272 :85, 1996.
- [CL01] Y. Cui and C. M. Lieber. *Science*, (291) :851, 2001.
- [CLG⁺01] Y. Cui, L. J. Lauhon, M. S. Gudiksen, J. Wang, and C. M. Lieber. Diameter-controlled synthesis of single crystal silicon nanowires. *Applied Physics Letters*, 15(78) :2214–2216, 2001.
- [Cor05] Intel Corporation. Excerpts from a conversation with gordon moore : Moore’s law. Technical report, 2005.
- [CRRT99] J. Chen, M. A. Reed, A. M. Rawlett, and J. M. Tour. *Science*, (286) :1550–1152, 1999.
- [CW00] R. P. Cowburn and M. E. Welland. Room temperature magnetic quantum cellular automata. *Science*, 287 :1466–1468, 2000.
- [Dai02] H. J. Dai. Carbon nanotubes : opportunities and challenges. *Surface Science*, 500, 2002.
- [DBSA01] D.J. Diaz, S. Bernhard, G.D. Storrier, and H.D. Abruña. *J.Phys.Chem. B*, 105(8746), 2001.
- [DeH03a] A. DeHon. Array-based architecture for fet-based nanoscale electronics. *IEEE trans.Nanotechnol.*, 2(1) :23–32, 2003.
- [DeH03b] A. DeHon. Array-based architecture for molecular electronics. 2003.
- [DHL02] X. Duan, Y. Huang, and C. M. Lieber. Nonvolatile memory and programmable logic from molecule-gated nanowires. *Nano Letters*, 2(5) :487–490, 2002.
- [Dij06] J. Dijon. Emetteurs à effet de champ à base de nanotubes de carbone (cnt) et leur application à la visualisation. *LETI/DOPT/STCO*, 2006.
- [DWL03] S. Jin D. Whang and C. M. Lieber. Nanolithography using hierarchically assembled nanowire masks. *Nanoletters*, 7(3) :951–954, July 2003.

- [ea01] Pease A.R. et al. Switching devices based on interlocked molecules. *Acc. Chem. Res.*, 34(433), 2001.
- [ea03a] Chen Y. et al. Nanoscale molecular-switch devices fabricated by imprint lithography. *Appl. Phys. Lett.*, 2003.
- [ea03b] Jeppesen J.O. et al. Amphiphilic bistable rotaxanes. *Chem. Eur. J.*, 2003.
- [ea06] Y. A. Gorby et al. Electrically conductive bacterial nanowires produced by *Shewanella oneidensis* strain MR-1 and other microorganisms. *Proc. Natl Acad. Sci. USA*, 103 :11358–11363, 2006.
- [Fuh02] M. S. Fuhrer. *IEEE transactions on nanotechnology 1*, page 78, 2002.
- [Had00] P Hadley. *Quantum Nanocircuits : Chips of the future ? in Quantum Semiconductor Devices and Technologies*. Kluwer, 2000.
- [HD96] P. Nikolaev A. Thess D. T. Colbert R. E. Smalley H. Dai, A. G. Rinzler. Single-wall nanotubes produced by metal-catalyzed disproportionation of carbon monoxide. *Nano Letters*, 260 :471–475, september 1996.
- [HDC⁺01] Yu Huang, Xianfeng Duan, Yi Cui, Lincoln J. Lauhon, Kyoung-Ha Kim, and Charles M. Lieber. Logic gates and computation from assembled nanowire building blocks. Technical report, SCIENCE, November 2001.
- [HDWL01] Y. Huang, X. Duan, Q. Wei, and C. M. Lieber. Directed assembly of one-dimensional nanostructures into functional networks. *Science*, (291) :630–633, January 2001.
- [HHDT03] Christopher P. Husband, SUMMER M. Husband, Jonathan S. Daniels, and James M. Tour. Logic and memory with nanocell circuits. *IEEE transactions on electron devices*, 50(9), September 2003.
- [HTA04] S. Heinze, J. Tersoff, and Ph. Avouris. Carbon nanotube electronics and optoelectronics. 2004.
- [IOT⁺99] I. Amlani, A. O. Orlov, G. Toth, G. H. Bernstein, C. S. Lent, and G. L. Snider. Digital logic gate using quantum-dot cellular automata. *Science*, 284 :2889–291, 1999.
- [Ito01] Kiyoo Itoh. *VLSI Memory Chip Design*. Springer, 2001.
- [itr] <http://www.itrs.net/common/2005itrs/home2005.htm>.
- [Jal06] A. Jalabert. Cellule de mémoire comportant un transistor moléculaire, dispositif comportant une pluralité de telles cellules et procédé d'uti-

- lisation. *Brevet Numéro d'Enregistrement Français 2006-07087*, Août 2006.
- [JCA06a] A. Jalabert, F. Clermidy, and A. Amara. A generic modeling approach for molecule-gated nanowire transistors using vhdl-ams. *IEEE PRIME 2006 conference proceedings*, 2006.
- [JCA06b] A. Jalabert, F. Clermidy, and A. Amara. A non-volatile multi-level memory cell using molecular-gated nanowire transistors. *IEEE ICECS 2006 conference proceedings*, 2006.
- [J.F] J.F.Stoddart. <http://stoddart.chem.ucla.edu/>.
- [JGW⁺03] A. Javey, J. Guo, Q. Wang, M. Lundstrom, and H. J. Dai. Ballistic carbon nanotube field-effect transistors. *Nature*, 424(654), 2003.
- [JK01] T. W. Tombler W. Tombler W. Kim H. Dai R. B. Laughlin L. Liu C.S. Jayanthi S. Y. Wu J. Kong, E. Yenilmez. Quantum interference and ballistic transmission in nanotube electron waveguides. *Physical review letters*, 87, 2001.
- [JMB⁺04] J.W.Ward, M.Meinhold, B.M.Segal, J.Berg, R.Sen, R.Sivarajan, D.K.Brock, and T.Rueckes. A non-volatile nanoelectromechanical memory element utilizing a fabric of carbon nanotubes. *IEEE*, 2004.
- [jWM⁺04] Song jin, Dongmok Whang, Michael C. McAlpine, Robin S. Friedman, Yue Wu, and Charles M. Lieber. Scalable interconnection and integration of nanowire devices without registration. *Nano Letters*, 2004.
- [KBB⁺03] Kinneret Keren, Rotem S. Berman, Evgeny Buchstab, Uri Sivan, and Erez Braun. Dna-templated carbon nanotube field-effect transistor. Technical report, Science, November 2003.
- [KK.99] Likharev KK. Single-electron devices and their applications. *Proceedings of IEEE 1999*, 4(87) :606–632, 1999.
- [KL99] P. Kim and C. M. Lieber. Nanotube nanotweezers. *Science*, (286) :2148, 1999.
- [kle] Algorithme d'ecc : <http://www.personal.uni-jena.de/pfk/mpp/>.
- [Kon00] J. Kong. *Science*, 287(622), 2000.
- [KOR⁺03] R. K. Kummamuru, A. O. Orlov, R. Ramasubramaniam, C. S. Lent, G. H. Bernstein, and G. L. Snider. Operation of a quantum-dot cellular automata (qca) shift register and analysis of errors. *IEEE Transactions on electron devices*, 50(9), 2003.

- [LCJ⁺02] Y. Luo, C. P. Collier, J. O. Jeppensen, K. A. Nielsen, E. DeIonno, G. Ho, J. Perkins, H. Tseng, T. Yamamoto, J. F. Stoddart, and J. R. Heath. *Chem. Phys. Chem.*, 3(519), 2002.
- [LD03] M. Nakajima P. Liu T. Fukuda L. Dong, F. Arai. Nanotube devices fabricated in a nano laboratory. *Proceedings of the 2003 IEEE International conference on robotics and automation*, pages 3648–3653, september 2003.
- [LFL⁺04] Chao Li, Wendy Fan, Bo Lei, Daihua Zhang, Song Han, Tao Tang, Xiaolei Liu, Zuqin Liu, Sylvia Asano, Meyya Meyyappan, Jie Han, and Chongwu Zhou. Multilevel memory based on molecular devices. *Applied Physics Letters*, 84(11), 2004.
- [LFS⁺04] Chao Li, Wendy Fan, Daniel A. Straus, Bo Lei, Sylvia Asano, Daihua Zhang, Jie Han, M. Meyyappan, , and Chongwu Zhou. Charge storage behavior of nanowire transistors functionalized with bis(terpyridine)-fe(ii) molecules : Dependence on molecular structure. *J.Am.Chem.Soc.*, 126 :7750–7751, 2004.
- [LHL⁺03] C. Li, S. Han, X. Liu, T. Tang, J. Han, and C. Zhou. *Adv. Mater. (Weinheim, Ger.)*, 143(15), 2003.
- [Lik04] Konstantin K. Likharev. Cmol : A new concept for nanoelectronics. *12th Int. Symp. "Nanostructures : Physics and Technology"*, June 2004.
- [LIL03] C. S. Lent, B. Isaksen, , and M. Lieberman. Molecular quantum-dot cellular automata. *J. Am. Chem. Soc.*, (125) :1056–1063, 2003.
- [LLL⁺04] C. Li, J. Ly, B. Lei, W. Fan, D. Zhang, J. Han, M. Meyyappan, M. Thompson, and C. Zhou. Data storage studies on nanowire transistors with self-assembled porphyrin molecules. *J. Phys. Chem. B*, 108 :9646–9649, 2004.
- [LLM⁺04] Sang Wook Lee, Dong Su Lee, Reluca E. Morjan, Sung Ho Jhang, Martin Sveningsson, O. A. Nerushev, Yung Woo Park, and Eleanore E. B. Campbell. A three-terminal carbon nanorelay. *Nano letters*, 4(10) :2027–2030, 2004.
- [LMG⁺04] Qiliang Li, Guru Mathur, Srivardhan Gowda, Shyam Surthi, Qian Zhao, Lianhe Yu, Jonathan S. Lindsey, David F. Bocian, and Veena Misra. Multibit memory using self-assembly of mixed ferrocene/porphyrin monolayers on silicon. *Advanced Materials*, 16(1) :133–137, January 2004.

- [LMMT03] K. Likharev, A. Mayr, I. Muckra, and Ö. Türel. High-performance neuromorphic architectures for cmol circuits. *Molecular Electronics III (Annals of New York Acad. Sci.)*, 1006 :146–163, 2003.
- [LT97] C. S. Lent and P. D. Tougaw. A device architecture for computing with quantum dots. *IEEE*, 85 :541–557, 1997.
- [LTPB93] C. S. Lent, P. D. Tougaw, W. Porod, and G. H. Bernstein. Quantum cellular automata. *Nanotechnology*, 4 :49–57, 1993.
- [MA96] M. Maskus and H.D. Abruña. *Langmuir*, (12) :4455, 1996.
- [Mar03] R. Martel. Single-and multi-wall nanotube field-effect transistors. *Applied Physics Letters*, 73 :2447–2249, 2003.
- [MB99] J.Lu A.G. Rinzler R.E. Smalley L. Balents P.L. McEuen M. Bockrath, D.H. Cobden. Luttinger-liquid behaviour in carbon nanotubes. *Nature*, 397 :598–601, 1999.
- [McE00] P.L. McEuen. *Phys. World*, 13(31), 2000.
- [Mis05] Misra. Hybrid molecular memory devices and methods of use thereof. (US 2005/0121660 A1), 2005.
- [ML98] A. M. Morales and C. M. Lieber. A laser ablation method for synthesis of crystalline semiconductor nanowires. *Science*, (279) :208–211, 1998.
- [MM03a] S. C. Goldstein M. Mishra. Defect tolerance after the roadmap. *International Test Synthesis Workshop (ITSW)*, March 2003.
- [MM03b] S. C. Goldstein M. Mishra. Defect tolerance at the end of the roadmap. *International Test Conference (ITC)*, September 2003.
- [MRI⁺99] Veyrat M., Ramasseul R., Turowska-Tyrk I., Scheidt WR., Autret M., Kadish KM., and Marchon JC. Nickel(ii) and zinc(ii) meso-tetracyclohexylporphyrins. structural and electronic effects induced by meso-cyclohexyl substitution in metalloporphyrins. *Inorg Chem.*, 8(38) :1772–1779, April 1999.
- [MSGLO2] J. Wang D. C. Smith M. S. Gudiksen, L. J. Lauhon and C. M. Lieber. Growth of nanowire superlattice structures for nanoscale photonics and electronics. *Nature*, (415) :617–620, February 2002.
- [MSGLJLL02] D. Wang M. S. G. Lincoln J. Lauhon and C. M. Lieber. Epitaxial core-shell and core-multi-shell nanowire heterostructures. *Nature*, (420) :57–61, 2002.

- [nan] Nanoletter : <http://pubs.acs.org/journals/nalefd/index.html>.
- [Nos01] T. Nosaka. *Appl.Phys.Lett*, (79) :1691, 2001.
- [NPLB04] Ki Tae Nam, Beau R. Peelle, Seung-Wuk Lee, and Angela M. Belcher. Genetically driven assembly of nanorings based on the m13 virus. *Nano Letters*, 4(1), 2004.
- [NSF01] K. Nikolic, A. Sadek, and M. Forshaw. Architectures for reliable computing with unreliable nanodevices. *Proceedings of IEEE NANO2001*, october 2001.
- [OAB+97] A. O. Orlov, I. Amlani, G. H. Bernstein, C. S. Lent, , and G. L. Snider. Realization of a functional cell for quantum-dot cellular automata. *Science*, 277 :928–931, 1997.
- [OAK+02] A. O. Orlov, I. Amlani, R. Kummamuru, R. Rajagopal, G. Toth, J.Timler, C. S. Lent, G. H. Bernstein, and G. L. Snider. Power gain in quantum-dot cellular automata latch. *Appl. Phys. Lett.*, 81 :1332–1334, 2002.
- [OAT+99] A. O. Orlov, I. Amlani, G. Toth, C. S. Lent, G. H. Bernstein, and G. L. Snider. Experimental demonstration of a binary wire for quantum-dot cellular automata. *Applied physics letters*, 74 :2875–2877, 1999.
- [Pau04] Linda Dailey Paulson. Companies develop nanotech ram chips. *Computer*, page 28, August 2004.
- [PH03] C. R. Vas P. Holister, T. E. Harper. Nanotubes white paper. *CMP Cientifica*, January 2003.
- [Pop04] V. N. Popov. Carbon nanotubes : properties and application. *Materials Science and Engineering*, (43) :61–102, 2004.
- [PPG+02] J. Park, A.N. Pasupathy, J.I. Goldsmith, C. Chang, Y. Yalsh, J.R. Petta, M. Rinkoski, J.P. Sethna, H.D. Abruña, P.L. McEuen, and D.C. Ralph. *Nature*, (417) :722, 2002.
- [QCA] Tutorial sur les qca : <http://www.qcadesigner.ca/tutorials/qcatutorial.html>.
- [QSL+03] H. Qi, S. Sharma, Z. Li, G. L. Snider, A. O. Orlov, C. S. Lent, and T. P. Fehlner. Molecular quantum cellular automata cells. electric field driven switching of a silicon surface bound array of vertically oriented two-dot molecular quantum cellular automata. *J. Am. Chem. Soc.*, 125 :15250–15259, 2003.

- [RcC⁺95] R. Amerson, R.J. Carter, W.B. Culbertson, P. Kuekes, and G. Snider. Teramac - configurable custom computing. *IEEE*, 1995.
- [RD⁺00] Kristian M. Roth, Narasaiah Dontha, , Rajeev B. Dabke, Daniel T. Gryko, Christian Clausen, , Jonathan S. Lindsey, David F. Bocian, and Werner G. Kuhrb. Molecular approach toward information storage based on the redox properties of porphyrins in self-assembled monolayers. *American Vacuum Society*, September/October 2000.
- [RKJ⁺00] Thomas Rueckes, Kyoung-ha Kim, Ernesto Joselevich, Grg Y. Tseng, Chin-Li Cheung, and Charles M. Lieber. Carbon nanotubes-based nonvolatile random access memory for molecular computing. *Science*, 289 :94–97, July 2000.
- [Rot05] Rotenberg. Variable-persistence molecular memory devices and methods of operation thereof. (US 6,944,047 B2), 2002-2005.
- [RT02] Mark Reed and James Tour. *Computing with Molecules*. 2002.
- [SAJF04] R. Stadler, S. Ami, C. Joachim, and M. Forshaw. Integrating logic functions inside a single molecule. *Nanotechnology*, (15), 2004.
- [SB04] Sandeep K. Shukla and R. Iris Bahar. *Nano, Quantum and molecular Computing*. Kluwer, 2004.
- [SCG⁺94] J-P Sauvage, J-P Collins, S. Guillerez, C. Coudret, V. Balzani, F. Barigelletti, L. De Cola, and L. Flamigi. *Chem. Rev.*, 94, 1994.
- [SCG01] M. Budiu S. C. Goldstein. Nanofabrics : Spatial computing using molecular electronics. *Proceedings of the 28th Annual International Symposium on Computer Architecture*, June 2001.
- [SCG02] D. Rosewater S. C. Goldstein. Digital logic using molecular electronics. *IEEE International Solid-State Circuits Conference*, February 2002.
- [SFG⁺03] M.R. Stan, P.D. Franzon, S.C. Goldstein, J.C. Lach, and M.M. Ziegler. Molecular electronics : From devices and interconnect to circuits and architecture. *Proceedings of the IEEE*, 91(11), November 2003.
- [SFJ03] R. Stadler, M. Forshaw, and C. Joachim. *Nanotechnology*, 14 :138, 2003.
- [SGK⁺05] R. V. Seidel, A. P. Graham, J. Kretz, B. Rajasekharan, G. S. Duesberg, M. Liebau, E. Unger, F. Kreupl, , and W. Hoenlein. Sub 20 nm short channel carbon nanotube transistors. *Nano Letter*, 1(5) :147–150, 2005.
- [SH68] H. Shichman and D. Hodges. Modelling and simulation of mos insulated-gate field effect transistor switching circuits. *IEEE Journal of Solid-State Circuits*, SC 3(5) :285–289, 1968.

- [SJY00] S. Williams, J. Heath, and Y. Chen. Molecular wire crossbar memory. *U.S. Patent 6 128 214*, October 2000.
- [SJY01] S. Williams, J. Heath, and Y. Chen. Molecular wire crossbar interconnect (mwci) for signal routing and communications. *U.S. Patent 6 314 019*, November 2001.
- [SL04] D. Strukov and K. Likharev. Possible defect tolerance and real estate overhead of nanoelectronic memories. *Molecular Electronics III (Annals of New York Acad. Sci.)*, 2004.
- [SOB⁺04] D. R. Stewart, D. A. A. Ohlberg, P. A. Beck, Y. Chen, R. Stanley Williams, J. O. Jeppesen, K. A. Nielsen, , and J. Fraser Stoddart. Molecule-independent electrical switching in pt/organic monolayer/ti devices. *Nano Letters*, 4(1) :133–136, 2004.
- [SP01] S. Williams and P. Kuekes. Demultiplexer for a molecular wire crossbar network. *U.S. Patent 6 256 767*, July 2001.
- [SY01] S. Williams and Y. Chen. Nanoscale patterning for the formation of extensive wires. *U.S. Patent 6 294 450*, September 2001.
- [Sze81] Simon M. Sze. *Physics of Semiconductor Devices*. Wiley, 1981.
- [THH⁺02] Tour, Van Zandt Husband, Husband, Wilson, Franzon, and Nackashi. *IEEE Trans. Nanotechnol.*, 100(1), 2002.
- [TL02] J. Timler and C. S. Lent. Dissipation and gain in quantum-dot cellular automata. *J. Appl. Phys.*, 91 :823–831, 2002.
- [TLML04] Ö. Türel, J. H. Lee, X. Ma, and K. K. Likharev. Architectures for nanoelectronic neural networks : new results. *2004 International Joint Conference on Neural Networks*, 2004.
- [TML03] Ö. Türel, I. Muckra, and K. Likharev. Possible nanoelectronic implementation of neuromorphic networks. *Proceedings of the 2003 International Joint Conference on Neural Networks*, pages 365–370, 2003.
- [Tou03a] James M. Tour. Molecular electronics : Commercial insights, chemistry, devices, architecture and programming. *World Scientific : Teaneck*, 2003.
- [Tou03b] Nackashi Yao Flatt Angelo Mallouk Franzon Tour, Cheng. Nanocell electronic memories. *JACS*, 2003.
- [VAZR05] Ravi K. Venkatesan, Ahmed S. AL-Zawawi, and Eric Rotenberg. Tapping zettaram for low-power memory systems. *Proceedings of the 11th*

- International Symposium on High-Performance Computer Architecture*, 2005.
- [VD01] J. Appenzeller Ph. Avouris V. Derycke, R. Martel. *Carbon nanotube inter- and intramolecular logic gates*, volume 1. 2001.
- [vN37] Alan von Neumann. On computable numbers, with an application to the entscheidungsproblem. *Proc. London mathematical Soc.*, 43 :230–265, 1937.
- [WJL03] D. Whang, S. Jin, and C. M. Lieber. Nanolithography using hierarchically assembled nanowire masks. *Nanoletters*, 3(7) :952, 2003.
- [WJWL03] D. Whang, S. Jin, Y. Wu, and C. M. Lieber. Large-scale hierarchical organization of nanowire arrays for integrated nanosystems. *Nanoletters*, 3(9) :1255–1259, September 2003.
- [Y.02] Chen Y. Us patent specification 6 432 740. 2002.
- [YCL00] J. Hu Y. Cui, X. Duan and C. M. Lieber. Journal of physical chemistry b. *Science*, 22(104) :5213–5216, June 2000.
- [YT04] A. Javey R. Malloy Q. Wang J. Bokor H. Dai Y.C. Tseng, P. Xuan. Monolithic integration of carbon nanotube devices with silicon mos technology. *Nano Letters*, 4(1) :123–127, 2004.
- [YZGG00] C. Yan, M. Zharnikov, A. Golzhauser, and M. Grunze. *Langmuir*, 16 :6208, 2000.
- [ZCB⁺00] A. Zettl, P. G. Collins, K. B. Bradley, M. Ishigami, and A. Zettl. *Science*, (287) :1801, 2000.
- [ZD05] N. Grimard J. Goyette R. Chahine Z. Dehouche, L. Lafi. The catalytic effect of single-wall carbon nanotubes of the hydrogen sorption properties of sodium alanates. *Nanotechnology*, (16) :402–409, 2005.
- [Zet05] Inc Zettacore. Molecular memory devices and methods. (WO 2005/073976 A1), 2005.
- [ZLH⁺03] CD. Zhang, C. Li, S. Han, X. Liu, T. Tang, W. Jin, and C. Zhou. *Applied Physics Letters*, 82(112), 2003.
- [ZWC⁺03] Zhaohui Zhong, Deli Wang, Yi Cui, Marc W. Bockrath, and Charles M. Lieber. Nanowire crossbar arrays as address decoders for integrated nanosystems. Technical report, SCIENCE, November 2003.

Table des figures

1	Délai moyen vs. densité de composants	2
1.1	<i>Nanologique</i> à base de nanofil	10
1.2	Nanofil de In_2O_3 et transistor associé	12
1.3	Procédé de fabrication du NW-FET moléculaire	12
1.4	Coupe schématique d'un transistor NWFET moléculaire	13
1.5	Transistor à nanofil sans noyaux métalliques	13
1.6	Caractéristiques électriques du transistor moléculaire	14
1.7	Vue d'artiste du plus petit transistor à nanotube au monde par Infineon	18
1.8	Différentes propriétés des nanotubes de carbone	18
1.9	Schéma d'une structure de graphite	19
1.10	Structures possibles d'un CNT	20
1.11	Modélisation des NTs mono et multiparois	20
1.12	[Dai02] : Image au MEB d'un réseau de MWNTs. Chaque <i>tour</i> est un paquet de MWNTs orientés perpendiculairement à la surface.	23
1.13	[YT04] : (a) schéma d'un décodeur CNT, (b) image au MEB d'un CNT entre 2 électrodes	24
1.14	Image au MEB d'un SWNT contacté par des fils d'or auto-assemblés sur de l'ADN [KBB ⁺ 03]	24
1.15	[JGW ⁺ 03] : Transistor CNT, image au MEB (droite), à l'AFM (gauche)	25
1.16	[VD01] : (a) image AFM d'un inverseur à CNTFET, (b) caractéristique mesurée	26
1.17	Interrupteur électro-mécanique à base de nanotube présentée par Nantero	27
1.18	Mémoire électro-mécanique NRAM à base de nanotube présentée par Nantero [Pau04]	27
1.19	Degré d'ouverture (en fonction d'une différence de potentiel) d'une nano- pince à base de nanotubes de carbone permettant la manipulation d'objet à l'échelle moléculaire [KL99]	28

1.20	Schéma de principe du nano-relais	29
1.21	[HTA04] : Vue d'artiste d'une source de lumière à partir d'un simple nanotube de carbone.	30
1.22	L'écran couleur 9" de Samsung à base de nanotube	30
1.23	Structure d'une diode et d'une triode	31
1.24	[Dij06] : Vues au MEB de la structure triode. A gauche, vue d'un sous pixel couleur avec les plots de CNT entre les grilles. A droite, détails des plots de nanotubes entre les grilles.	31
1.25	[HHDT03] : Caractéristique courant tension d'une molécule de nitroaniline démontrant dans son état '1' une résistance négative.	34
1.26	[MRI ⁺ 99] : Meso-porphyrine substituée changeant de conformation géométrique en fonction du nombre d'électrons libres du noyau central	34
1.27	[LCJ ⁺ 02] [J.F] : Interrupteur électrique à commande électro-mécanique à base de molécule de rotaxane.	35
1.28	Molécule de catenane composée de deux anneaux imbriqués pouvant tourner l'un autour de l'autre	36
1.29	Voltamétrie cyclique d'une monocouche auto-assemblée de porphyrine	37
2.1	[HHDT03] : Une Nanocell	41
2.2	[HHDT03] : Molécule de nitroaniline et sa caractéristique I(V) présentant un comportement de NDR (Negative Differential Resistance)	42
2.3	[HHDT03] : Latch bistable à base de deux molécules NDR	43
2.4	[HHDT03] : Conversion courant-tension et restauration de niveau logique par utilisation d'un latch bistable à base de deux molécules présentant des caractéristiques de NDR.	43
2.5	[HHDT03] : Nanocell configurée en porte inverseuse.	44
2.6	[HHDT03] : Nanocell configurée en porte NAND	44
2.7	[Tou03b] : Image SEM d'une Nanocell réalisée expérimentalement.	45
2.8	[SCG01] : Détail et vue schématique d'un nanoBlock	47
2.9	[SCG01] : Exemple d'implémentation en logique à diode d'une porte AND à deux entrées	48
2.10	Détail du latch moléculaire	48
2.11	[SCG01] : Illustration de l'assemblage de quatre nanoBlocks différemment orientés, formant à leur interface un switch-block	49
2.12	[SCG01] : Schéma d'une Nanofabric. Détail d'un cluster	50
2.13	Méthode de test	51

2.14 [A.D04] : Détail d'un PLA nanométrique à base de nanofils	53
2.15 [ADS03] : Décodage d'adresse par modulation de dopage	54
2.16 [ADS03] : Inversion sélective et étage de restauration	56
2.17 Méthode de dépôt de nanofils	57
2.18 [jWM ⁺ 04] : Caractéristiques de cNW-FETs	58
2.19 Décodeur d'adresse One-Hot basé sur un cNW-FET	59
2.20 Décodeur d'adresse Two-Hot basé sur un cNW-FET	59
2.21 Caractéristique des cNW-FETs après modification chimique	60
2.22 [ZWC ⁺ 03] : Décodeur 4x4	60
2.23 [Lik04] : Vue schématique de coupe du circuit CMOL.	63
2.24 Adressage micro-nano	63
2.25 [KK.99] : (a) Dispositif SET réalisant la fonction d'une synapse de type BiWAS (Binary-Weight, Analog Signal) (b) Simulation numérique Monte-Carlo du single-electron tunnelling	65
2.26 [KK.99] : Une implémentation moléculaire possible d'une synapse (Mayr et al., 2003)	65
2.27 [TML03] : Structure en croix du CrossNet	66
2.28 [OAB ⁺ 97] : Schéma de cellules à quatre points quantiques, la force de répulsion de Coulomb impose aux électrons d'occuper les coins opposés de la cellule	67
2.29 [OAB ⁺ 97] : Fil à base de cellule QCA	68
2.30 Porte majorité et son utilisation	68
2.31 Inverseur à QCA	68
2.32 Chaîne d'inversion à QCA	69
2.33 Fanout à QCA	69
2.34 Crossover à QCA.	69
2.35 Additionneur complet	70
2.36 [KOR ⁺ 03] : (a) Schéma d'un registre à décalage QCA, (b) image au MEB du registre à décalage fabriqué	71
2.37 Fonctionnement d'un registre à décalage	72
2.38 [QSL ⁺ 03] : Molécule de $Fe^3 - Ru^2$	74
2.39 [CJO ⁺ 03] : (a) Représentation schématique de la structure du crossbar (b) Structure moléculaire de la molécule bistable de [2]rotaxane	75
2.40 [CJO ⁺ 03] : (a) image de 4 circuits de test sur 625 créés, montrant que chaque circuit a 16 contacts. (b)(c) Images SEM d'une intersection de nanofils. (d) Image AFM.	76

2.41	[CJO ⁺ 03] Mémoire 8x8	77
2.42	[CJO ⁺ 03] : Le crossbar configuré avec un multiplexeur et un démultiplexeur autour d'une mémoire 4x4 bits	78
3.1	Point mémoire DRAM (1-T) à lecture destructive	80
3.2	Point mémoire SRAM (6-T) de type <i>full-CMOS</i>	80
3.3	Point mémoire Flash	81
3.4	Architectures de mémoire FLASH	82
3.5	Différents types de cellules mémoires moléculaires issues de brevet	83
3.6	Mémoire électro-mécanique NRAM à base de nanotube présentée par Nantero [Pau04]	84
4.1	Exemple d'entité VHDL-AMS décrivant le comportement d'une résistance	91
4.2	Transistor NWFET moléculaire : vue <i>haut niveau</i> et caractéristiques expérimentales	93
4.3	Détail des équations électriques utilisées dans la modélisation du transistor moléculaire NWFET	94
4.4	Coupe schématique d'un transistor NWFET moléculaire	96
4.5	Exemple de déclaration de l'entité VHDL-AMS de transistor à nanofil moléculaire	99
4.6	Résultats de simulation du NW-FET In_2O_3 et $Bis(terpyridine) - Fe^{2+}$	100
4.7	Caractéristiques électriques I_{DS} en fonction de V_{DS} [LFL ⁺ 04]	100
4.8	Réponse temporelle en courant du transistor In_2O_3 à molécules de $Bis(terpyridine) - Fe^{2+}$ soumis à un signal triangulaire d'amplitude variable	102
4.9	Résultats de simulation du NW-FET In_2O_3 et $Co - porphyrine$	103
4.10	[LLL ⁺ 04] : Caractéristique courant I_{DS} en fonction de la tension V_G du transistor à nanofil de In_2O_3 et à molécules de $Co - porphyrine$. Détail : structure de la molécule	103
5.1	Cellule mémoire de type DRAM	106
5.2	La cellule mémoire proposée composée de deux transistors NWFETs moléculaires en série	107
5.3	Layout <i>classique</i> d'une cellule moléculaire multivaluée à base de deux transistors NW-FET moléculaire	108
5.4	Coupe d'une cellule moléculaire multivaluée 3D alignée verticalement à base de deux transistors NW-FET moléculaires	109

5.5	Illustration de l'intégration 3D et de l'alignement vertical de 12 cellules de base stockant un total 48 bits (4 bits par cellule) sur une surface de $0,014\mu m^2$	110
5.6	Cellule de test	111
5.7	Séquences des commandes permettant l'effacement et la programmation d'une cellule mémoire. L'état initial des transistors est A1 bloqué et M1 non bloqué	112
5.8	Séquencement de la commande permettant de lire un point mémoire (transistor d'accès A1 bloqué et transistor M1 non bloqué)	113
5.9	Cœur du modèle VHDL-AMS de la cellule optimisée en temps de calcul	115
6.1	Interface de saisie Matlab des paramètres caractéristiques d'un transistor moléculaire	118
6.2	Schéma illustrant les variations des paramètres de chacun des deux transistors de la cellule mémoire	120
6.3	Interface de saisie Matlab des paramètres du plan mémoire à générer . .	120
6.4	Interface de visualisation des résultats de dispersion sur le plan mémoire généré.	121
6.5	Exemple d'architecture	123
6.6	Résultats de simulation en fonction du taux de dispersion pour la méthode <i>De Base</i>	126
6.7	Schéma explicatif de la méthode d' <i>Évaluation d'Erreur</i>	128
6.8	Résultats de simulation en fonction du taux de dispersion pour la méthode <i>Évaluation d'Erreur (Error Sensing)</i>	129
6.9	Résultats de simulation en fonction du taux de dispersion pour la méthode <i>Boucle Error Sensing</i>	129
6.10	Résultats de simulation pour le code de Hamming (39,32;4,2) 3bpc . . .	132
6.11	Résultats de simulation pour le code de Hamming (44,32;5,2) 4bpc . . .	133
6.12	Résultats de simulation pour le code de Hamming (44,32;5,2) 3bpc . . .	134
6.13	Comparaison entre les trois méthodes à codes correcteurs d'erreur du pourcentage du nombre de bits corrigés par rapport au nombre de bits écrits, en fonction du taux de dispersion	135
6.14	Taux d'erreur en fonction du taux de dispersion, toutes méthodes confondues	136
A.1	Chronogramme de la séquence d'effacement du point mémoire	144
A.2	Chronogramme de la séquence de programmation du point mémoire . .	145

A.3	Chronogramme de la séquence de lecture du point mémoire	146
B.1	Exemple d'une partie d'un plan mémoire généré à partir du modèle de cellule complet	148
B.2	Exemple d'une partie d'un plan mémoire généré à partir du modèle de cellule optimisé en temps de calcul	149
C.1	Données brutes de la méthode <i>De Base</i>	151
C.2	Données brutes de la méthode <i>Évaluation d'Erreur</i>	152
C.3	Données brutes de la méthode <i>Boucle d'Évaluation d'Erreur</i>	153
C.4	Données brutes pour la méthode Évaluation d'Erreur à Code Correcteur d'Erreur (ECC), avec une distance de Hamming minimale de 4 et 3 bits par cellule dédiée à l'ECC	154
C.5	Données brutes pour la méthode Évaluation d'Erreur à Code Correcteur d'Erreur (ECC), avec une distance de Hamming minimale de 5 et 4 bits par cellule dédiée à l'ECC	155
C.6	Données brutes pour la méthode Évaluation d'Erreur à Code Correcteur d'Erreur (ECC), avec une distance de Hamming minimale de 5 et 3 bits par cellule dédiée à l'ECC	156

Publications

A generic modeling approach for molecule-gated nanowire transistors using VHDL-AMS

Antoine JALABERT
CEA - LETI
Grenoble, France
Email: antoine.jalabert@cea.fr

Fabien CLERMIDY
CEA - LETI
Grenoble, France
Email: fabien.clermidy@cea.fr

Amara AMARA
ISEP
Paris, France
Email: amara.amara@isep.fr

Abstract—A generic VHDL-AMS model for molecular-gated nanowire FET is presented. This compact modeling aimed at reproducing the specific electrical characteristics of this new class of devices, combining accuracy for circuits functional analysis with efficient simulation time. Three different devices have been successfully modeled and simulated. Comparison to experimental data shows very good accordance.

I. INTRODUCTION

Molecules, as part of new electronic devices, attract much of the attention of today’s research on new technological trends and innovative components. Multilevel memory points [1] [2] [3], programmable logical gates and new logical functions [4] [5] [6] for instance are some of the multiple application examples that focus a lot of energy. Combining both MOSFET functional behaviors and an innovative programmable floating gate influencing channel conductance, molecule-gated nanowire field effect transistors (NWFET) are promising candidates that could well revolutionize tomorrow’s electronic devices. However, designs and functional simulations of circuits around such devices require high level models with enough accuracy to provide system analysis. Actual modeling are generally fitted MOS models that do not take into account the chemical aspect of the device, in particular the redox phenomenon. In this paper, we will present a new VHDL-AMS modeling approach for molecule-gated nanowire field effect transistors.

II. MOLECULE-GATED NANOWIRE TRANSISTORS

Most, if not all, of today’s published experimental molecule-gated nanowire transistors devices are build on a pseudo-MOS structure [1] [2] [5]. This common test structure in MOSFET characterization allows molecules to safely self-assembled all over the semiconductor material because the control gate is at the back of the device, thus preventing molecules not to be covered by oxide. Figure 1 illustrates the structure of such devices.

Lieber *et al.* in [5] first proposed an electro-chemical explanations, pointing out the fundamental role of redox molecules. When applying a negative potential between the Back-Gate and Source or Drain (V_{DS} has to be low), the nanowire band is

raised, which depletes the major carriers in the semiconductor nanowire, and hence oxidizes part or all of the redox molecules population. Positively charged molecules act as a positive chemical gate allowing the NWFET to be turned on at a high negative back-gate voltage. Conversely, a high positive bias will lead to the reduction of redox molecules, inducing a compensating negative gate, thus shifting back the V_T to a more positive value. They also showed that similar result on V_T shift could be obtained using only V_{DS} pulses. However, it seems the device performance falls very quickly in this mode of operation, that’s why we will mainly focus on back-gated charge injection. Finally, Meyyappan *et al.* later reported in a study on a family of *Bis(terpyridine) – Fe²⁺* molecules [7], the major influence of the ligand (between the nanowire and the molecule) on charge retention and V_T range shift capability.

III. MODELING

In order to be able to simulate complex circuits, including programmable logic and memories, a compact modeling, that does not sacrifice simulation time, fitting molecule-gated nanowire transistor basic electrical behaviors is needed. This modeling also had to be generic enough so that it can be adapted to other molecules and other semiconductor materials. We propose a model combining pseudo-physical equations, empirical equations and VHDL-AMS processes dealing with chemical aspects.

All these requirements along with other common characteristics between molecule-gated nanowire transistors such as, I_{DS} versus V_G electrical hysteresis behavior and variable V_T threshold as a function of the population of oxidize/reduce molecules, lead to the development of a compact modeling using VHDL-AMS (IEEE 1076.1) [8] analog and digital capabilities.

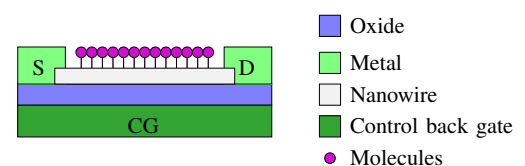


Fig. 1. Color. Pseudo-MOS structure of a gated-molecule nanowire transistors

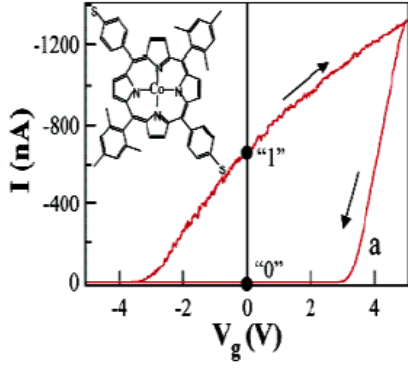


Fig. 2. Color. Current I_{DS} versus V_G characteristics of In_2O_3 nanowire devices with self-assembled $Co-porphyrin$. Inset: structure of the molecule. Courtesy Zhou *et al.* [9].

Because the model has to be accurate, functional and fast, *ab initio* methods and other calculations of molecular structure approach, are not suited at all. The core of this model written in VHDL-AMS is divided in two parts. The first one computes the I_{DS} current function of the back gate potential V_G , while the second evaluates the proportion of oxidized/reduced molecules, thus determining the V_T of the transistor. This modeling has to reproduce molecule-gated nanowire transistors electrical behaviors such as illustrated by figure 2. Some examples can be found in the following papers: In_2O_3 semiconductor nanowire with $Bis(terpyridine)-Fe^{2+}$ molecules [1] [7], In_2O_3 semiconductor nanowire with $Co-porphyrin$ molecules [9] and N-doped InP nanowire with $cobalt-phthalocyanine$ molecules [5].

As the electrical behaviors of the studied molecule-gated NWFET is similar to typical N-MOS and depleted N-MOS characteristics, part of the electrical equations are derived from Shichman and Hodges [10] quadratic model. Figure 3 details the different equations use to describe $I_{DS}(V_G)$ electrical characteristics.

As all the devices exhibit pronounced hysteresis behavior, we choose to model this not-so-common phenomenon in the following manner. Whatever the sign of V_G is, and unless $V_G > V_{GSat} > 0$ or $V_G \ll 0$, we compute I_{DS} with equation (1) and equation (2), for $\frac{dV_G}{dt} > 0$ and $\frac{dV_G}{dt} < 0$, respectively. These equations are similar; K_1 and K_2 are given constant parameters, specific to the studied device, while V_T is a variable of the model, calculated by a VHDL-AMS process dealing with chemical aspects, that will be described later.

$$I_{DS} = K_1(2(V_G - V_T)V_{DS} - V_{DS}^2) \text{ when } \frac{dV_G}{dt} > 0 \quad (1)$$

$$I_{DS} = K_2(2(V_G - V_T)V_{DS} - V_{DS}^2) \text{ when } \frac{dV_G}{dt} < 0 \quad (2)$$

K_1 and K_2 are experimental constants. Their respective

	In_2O_3 $Bis(terpyridine)-Fe^{2+}$ [1]	In_2O_3 $Co-porphyrin$ [9]	N-doped InP $Co-phthalocyanine$ [5]
K_1	$365e^{-9}\Omega^{-1} \cdot V^{-1}$	$980e^{-9}\Omega^{-1} \cdot V^{-1}$	$77e^{-9}\Omega^{-1} \cdot V^{-1}$
K_2	$375e^{-9}\Omega^{-1} \cdot V^{-1}$	$3.17e^{-6}\Omega^{-1} \cdot V^{-1}$	$65e^{-6}\Omega^{-1} \cdot V^{-1}$

TABLE I

K VALUES EXTRACTED FROM EXPERIMENTAL DATA ([1] [9] [5]).

values, extracted from different examples are summarized in table I.

When $V_G \ll 0$ and $\frac{dV_G}{dt} > 0$, there is a V_{GMin} limit where I_{DS} current is null. This behavior correspond to the electrochemical phenomenon that sees all molecules being oxidized.

When $V_G > V_{GSat}$, I_{DS} is evaluated accordingly to a saturation function whose expression is given by equation (3). The choice of an exponential interpolation was motivated by two reasons. The first one being that simulated characteristics fit well with measured data, while the second one is that an exponential function *naturally* implies a saturation, thus emulating the fact that the number of reducible molecules is a finite number. It should be mentioned that equation (3) is calculated to be tangent to equation (1), at point (V_{GSat}, I_{DSsat}) as shown on figure 3.

$$I_{DS} = (I_{DSmax} - I_{DSsat}) \left[1 - e^{-\left(\frac{m}{I_{DSmax} - I_{DSsat}}\right)(V_G - V_{GSat})} \right] + I_{DSsat} \quad (3)$$

with

$$m = \frac{-I_{DSmax}}{V_T - V_{GSat}} \quad (4)$$

V_{GSat} is continuously evaluated by equation (5) and is a function of V_T and V_{DS} . Its expression corresponds to the solution of equation (1) with $I_{DS} = I_{DSsat}$.

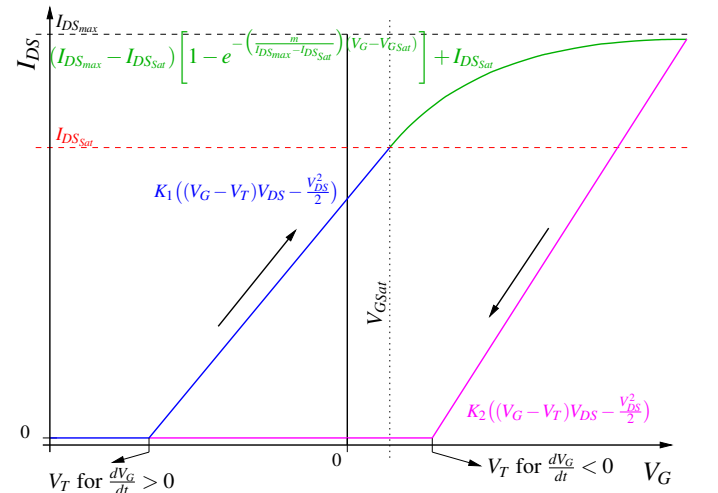


Fig. 3. Color. Summary of electrical equations used to model molecular-gated nanowire transistors

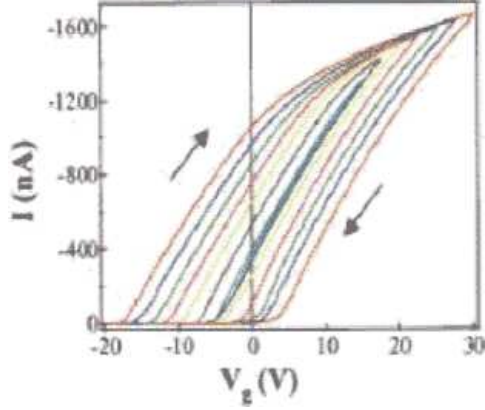


Fig. 4. Color. I_{DS} versus V_G hysteresis loops obtained by sweeping gate voltage from $-n*2.5V$ to $10+n*2.5V$ and then back to the starting value. n is the index of levels from 2 (the innermost curve) to 8 (the outermost curve). Courtesy Zhou *et al.* [1].

$$V_{GSat} = \frac{(K \cdot (V_{DS} + 2V_T) + \frac{MAX_IDS_VG0}{V_{DS_FIXE}})}{2K} \quad (5)$$

MAX_IDS_VG0 and V_{DS_FIXE} are given parameters of the model and are extracted from experimental data. They represent, the maximal I_{DS} current at $V_G = 0$, and the V_{DS} bias used to record $I_{DS}(V_G)$ characteristic, respectively.

I_{DSsat} and I_{DSmax} are respectively, the current of saturation and the maximum current for a fixed V_{DS} . These variables are constants for a given V_{DS} . Equations (6) and (7) give their respective literal expression.

$$I_{DSsat} = V_{DS} \cdot \frac{MAX_IDS_VG0}{V_{DS_FIXE}} \quad (6)$$

$$I_{DSmax} = V_{DS} \cdot \frac{MAX_IDS}{V_{DS_FIXE}} \quad (7)$$

Regarding the pseudo-MOS structure used, we integrated equations for the modeling of Gate-Source and Gate-Drain simple MOS capacitor. Their expression is given by equations (8) and (9).

$$I_{GS} = C_{Ox} \cdot \frac{dV_{GS}}{dt} \quad (8)$$

$$I_{GD} = C_{Ox} \cdot \frac{dV_{GD}}{dt} \quad (9)$$

C_{Ox} is a given parameter of the model under the assumption that the device is symmetrical.

As previously mentioned, a VHDL-AMS process is in charge of evaluating the proportion of oxidized/reduced molecules each time the sign of $\frac{dV_G}{dt}$ changes. This calculation directly affects the threshold voltage V_T .

When $V_G < V_{GMAX} \ll 0$ then $V_T = V_G$. This conditional affectation emulates the oxidation of the entire population of

molecules. In that case, V_T equal the given constant model parameter V_{GMAX} . Conversely, when $V_G > V_{GSat}$, then V_T equals the expression of equation (10). This expression is the solution of equation (2) for $I_{DS} = 0$, in other words, it is the crossing point of the curve with the V_G -coordinate axis.

In order not to lower simulation speed, and because normal operation of the device is supposed to be with V_{DS} low, for V_T computing, V_G was approximate to the mean potential $V_{GM} = \frac{V_{GS} + V_{GD}}{2}$.

$$V_T = -\frac{K_2 V_{DS} (V_{DS} - 2V_{GM}) + I_{DS}}{2 * K_2 V_{DS}} \quad (10)$$

In a future work, this process will also be in charge of taking into account the retention time of the specific device being simulated, and thus modifying V_T over time.

IV. SIMULATION

We have chosen to first simulate a *Bis(terpyridine) - Fe²⁺*-gated In_2O_3 nanowire transistor because of its demonstrated programmable multilevel conductances at $V_G = 0$ as seen on figure 4. The complete study of the experimental device can be found in [1]. Figure 6 is an example of the simulated VHDL-AMS entity declaration of such device.

For this study, we have simulated the DC response of this molecular-gated nanowire transistor, integrated in a simple test circuit, sweeping V_G to different gate voltage, from $0V$ to $-n*2.5V$, then to $10+n*2.5V$ and then back to $0V$, with $V_{DS} = -0.075V$ and Source grounded, as in [1] experiments. n is the index of levels from 2 (the innermost curve) to 8 (the outermost curve).

$I_{DS}(V_G)$ simulation results are reported on figure 8. They demonstrate the specific hysteresis loop behavior as expected, and they also show a very good accordance compared to experimental data found in [1]. Similar results were obtained simulating In_2O_3 nanowire transistor with *Co - porphyrin* molecules (simulation results: fig.7, experimental data: fig.2) and N-doped InP NWFET with *Co - phthalocyanine*

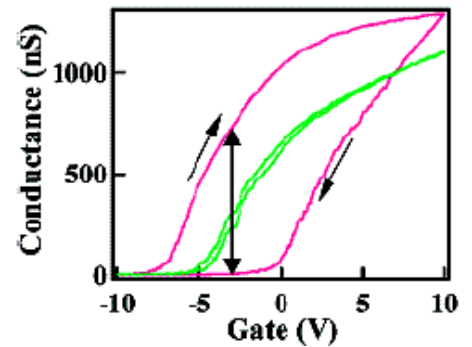


Fig. 5. Color. $G = \frac{I}{V_{SD}}$ vs V_G for an n-InP NWFET before (green) and after (red) surface modification with CoPc recorded with $V_{SD} = 0.1V$. Single-headed arrows show gate sweep directions, and the double-headed arrow indicates a position of large on/off ratio. Courtesy Lieber *et al.* [5].

```

entity NWFET_molecular is
generic(
  MAX_REDOX_WRITE_VG: real := -1.97881e+01;
  MAX_IDS_VG0: real := -1047.0e-9;
  MAX_IDS: real := -1700.0e-9;
  VDS_FIXE: real := -0.075;
  SEUIL_REDOX: real := 0.9; --- Fe(II)/Fe(III)
  MAX_REDOX_ERASE_VG: real := 2.97351e+01;
  Coxg: real := 1.17e-16;
  NbMolecules: real := 3077.0;
  K1: real := 365.0e-9; ---  $\tau = 1/2.n.Cox.W/L$ 
  K2: real := 375.0e-9
);
port(terminal drain, source, gate : electrical);

```

Fig. 6. VHDL-AMS entity declaration example for a *Bis(terpyridine)*– Fe^{2+} -gated In_2O_3 nanowire transistor.

molecules (results not presented, experimental data: fig.5).

Simulations were performed under Advance MS v4.3.1.4 and results were viewed with EZwave v2.4.1.2 (both softwares from Mentor Graphics) running on a Linux multiprocessor cluster. Simulation time, usually less than one second, could not be benchmarked accurately as only one transistor was instantiated. Future work will concentrate on further optimization of the actual model, and will also focus in adding temperature and frequency modeling.

V. CONCLUSION

In summary, we have presented a generic VHDL-AMS modeling approach for molecule-gated nanowire field effect transistors, combining pseudo-physical equations, empirical equations and VHDL-AMS processes dealing with chemical aspects. Three sets of parameters were extracted from experimental devices made of different semiconductors materials and different molecules. Associated simulation

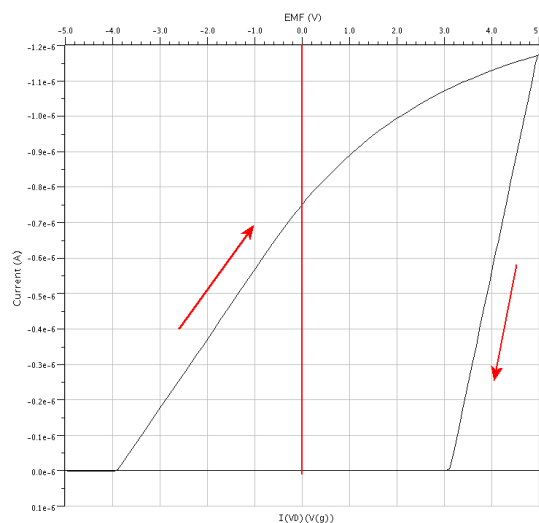


Fig. 7. Simulation results of In_2O_3 nanowire transistor with *Co-porphyrin* molecules showing $I_{DS}(V_G)$ hysteresis loops obtained after sweeping V_G from 0V to $-5V$, then to $+5V$, and then back to 0V, with $V_{DS} = -0.1V$ and Source grounded.

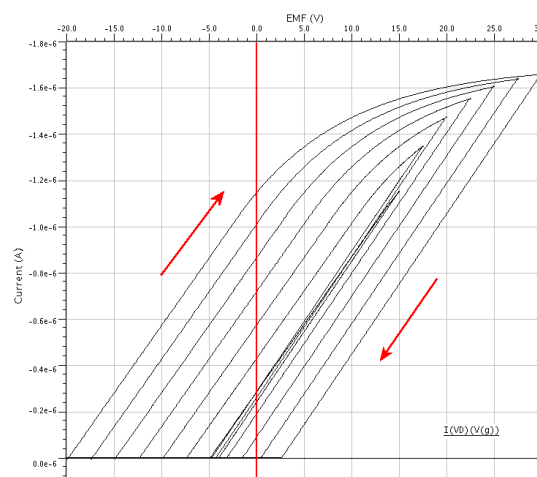


Fig. 8. Simulation results of In_2O_3 nanowire transistor with *Bis(terpyridine)*– Fe^{2+} molecules showing $I_{DS}(V_G)$ hysteresis loops obtained after sweeping V_G to different gate voltage, from 0V to $-n*2.5V$, then to $10 + n*2.5V$ and then back to 0V (n is the index of levels from 2 (the innermost curve) to 8 (the outermost curve)), with $V_{DS} = -0.075V$ and Source grounded.

results were successfully compared to measured data. We plan to use this model to simulate large scale circuits, including architecture of multibits per cell (MLC) memories and reprogrammable multilevel logic circuits.

REFERENCES

- [1] C. Li, W. Fan, B. Lei, D. Zhang, S. Han, T. Tang, X. Liu, Z. Liu, S. Asano, M. Meyyappan, J. Han, and C. Zhou, "Multilevel memory based on molecular devices," *Applied Physics Letters*, vol. 84, no. 11, 2004.
- [2] K. M. Roth, N. Dontha, R. B. Dabke, D. T. Gryko, C. Clausen, J. S. Lindsey, D. F. Bocian, and W. G. Kuhr, "Molecular approach toward information storage based on the redox properties of porphyrins in self-assembled monolayers," *American Vacuum Society*, September/October 2000.
- [3] Q. Li, G. Mathur, S. Gowda, S. Surthi, Q. Zhao, L. Yu, J. S. Lindsey, D. F. Bocian, and V. Misra, "Multibit memory using self-assembly of mixed ferrocene/porphyrin monolayers on silicon," *Advanced Materials*, vol. 16, no. 1, pp. 133–137, January 2004.
- [4] R. Stadler, S. Ami, C. Joachim, and M. Forshaw, "Integrating logic functions inside a single molecule," *Nanotechnology*, no. 15, 2004.
- [5] X. Duan, Y. Huang, and C. M. Lieber, "Nonvolatile memory and programmable logic from molecule-gated nanowires," *Nano Letters*, vol. 2, no. 5, pp. 487–490, 2002.
- [6] C. P. Husband, S. M. Husband, J. S. Daniels, and J. M. Tour, "Logic and memory with nanocell circuits," *IEEE transactions on electron devices*, vol. 50, no. 9, September 2003.
- [7] C. Li, W. Fan, D. A. Straus, B. Lei, S. Asano, D. Zhang, J. Han, M. Meyyappan, and C. Zhou, "Charge storage behavior of nanowire transistors functionalized with bis(terpyridine)-fe(ii) molecules: Dependence on molecular structure," *J.Am.Chem.Soc.*, vol. 126, pp. 7750–7751, 2004.
- [8] "Ieee 1076.1 working group: Analog and mixed-signal extensions to vhdl." [Online]. Available: <http://www.eda.org/vhdl-ams/>
- [9] C. Li, J. Ly, B. Lei, W. Fan, D. Zhang, J. Han, M. Meyyappan, M. Thompson, and C. Zhou, "Data storage studies on nanowire transistors with self-assembled porphyrin molecules," *J. Phys. Chem. B*, vol. 108, pp. 9646–9649, 2004.
- [10] H. Shichman and D. Hodges, "Modelling and simulation of mos insulated-gate field effect transistor switching circuits," *IEEE Journal of Solid-State Circuits*, vol. SC 3, no. 5, pp. 285–289, 1968.

A Non-Volatile Multi-Level Memory Cell Using Molecular-Gated Nanowire Transistors

Antoine JALABERT
CEA - LETI
Grenoble, France
antoine.jalabert@cea.fr

Fabien CLERMIDY
CEA - LETI
Grenoble, France
fabien.clermidy@cea.fr

Amara AMARA
ISEP
Paris, France
amara.amara@isep.fr

Abstract—A novel Multi-Level memory Cell (MLC) using molecular-gated nanowire field effect transistors (MG-NWFET) is presented. This new memory point, technologically homogeneous, can store a multivalued information within a highly compact and scalable structure. Using a previously presented electrical modeling of a MG-NWFET, simulation results demonstrate the potential of such memory cell for non-volatile, ultra-dense and low-cost memories.

I. INTRODUCTION

During the last few decades, the memory market share (MOS Memory, DRAM, Flash) has expanded in a continuous way to become the number one revenue for the semiconductor industry. On-chip, especially for processor ICs, the memory area has also dramatically increased to now represent more than 70% of the total chip area. According to the ITRS [1] there is no reason to expect the tendency to be reversed, embedded memory is forecasted to represent 90% of total area usage in 2011. These figures clearly point out the strategic aspect of the memory market.

Based on molecular scaled devices combining both MOS-FET functional behaviors and a programmable floating gate, molecular-gated nanowire field effect transistors are promising candidates that could well revolutionize tomorrow's memories [2] [3] [4]. Very high density could be one of the key advantages of this new technology along with an efficient cost reduction thanks to the use of chemically self-assembled molecules in a bottom-up approach.

In this paper we propose a compact non-volatile multilevel memory cell, based on molecular-gated nanowire field effect transistors. In a first part, the molecular-gated nanowire transistor device and its VHDL-AMS modeling is briefly presented, before discussing its possible integration in a memory array. As a consequence, the multilevel memory cell structure is described in a second part. Finally, we conclude and discuss a starting point for fault-tolerant molecular memory architecture explorations.

II. MOLECULAR-GATED NANOWIRE TRANSISTORS AND MODELING

Molecular-gated nanowire transistor is a new class of electro-chemical devices that uses a self-assembled layer of

molecules, above a semiconductor nanowire, as a charge trapping gate. Mainly to prevent damaging molecules, most of today's published experimental devices are built on a pseudo-MOS structure [2] [3] [5]. Figure 1 illustrates the structure of such a device. Lieber *et al.* in [5] first proposed an electro-chemical explanation of the unique/specific hysteresis behavior of the MG-NWFET, pointing out the fundamental role of redox molecules. When applying a negative potential between the Back-Gate and Source or Drain (V_{DS} has to be low), the nanowire band is raised, which depletes the major carriers in the semiconductor nanowire, and hence oxidizes part or all of the redox molecules population. Positively charged molecules act as a positive chemical gate allowing the NWFET to be turned on at a high negative back-gate voltage. Conversely, a high positive bias leads to the reduction of redox molecules, inducing a compensating negatively charged gate, thus shifting back the V_T to a more positive value. Meyyappan *et al.* later reported in a study on a family of *Bis(terpyridine) - Fe²⁺* molecules [6] the major influence of the ligand (between the nanowire and the molecule) on charge retention and V_T range shift capability. From a functional point of view, a MG-NWFET can be *written* in a state by applying a negative V_G pulse (oxidization of the population of molecules), *read* by sensing the current under a fixed V_{DS} bias with $V_G = 0V$ and *erased* by applying a large positive V_G pulse (reduction of the molecules population).

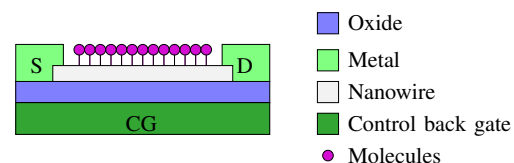


Fig. 1. (Color) Pseudo-MOS structure of a gated-molecule nanowire transistor

In a previous paper [7] we presented a compact modeling using VHDL-AMS (IEEE 1076.1) [8] analog and digital capabilities. For clarity of the present paper, the main points are now reminded. This modeling combines pseudo-physical equations, empirical equations and VHDL-AMS processes

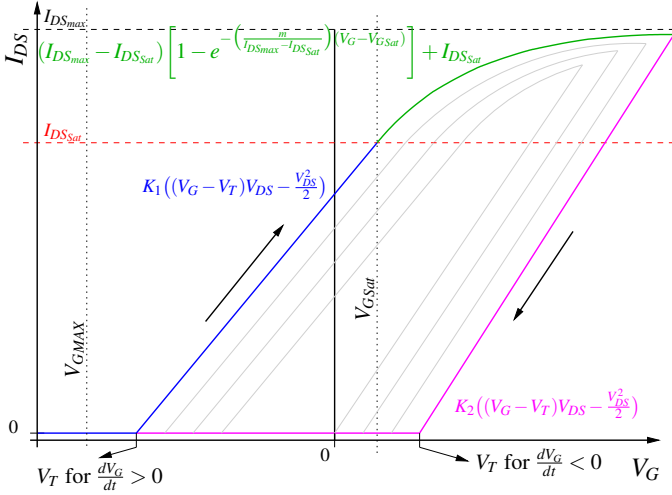


Fig. 2. (Color) Summary of electrical equations used to model molecular-gated nanowire transistors. Inner curves (in gray) show examples of sweeping V_G to different values. Details can be found in [7]

capable of dealing with the common characteristics shared between molecular-gated nanowire transistors such as, I_{DS} versus V_G electrical hysteresis behavior and variable V_T threshold as a function of the population of oxidized/reduced molecules. Because the model has to be accurate, functional and fast, *ab initio* methods and other computations of molecular structure approach, are not suited at all.

The core of the model is divided in two parts. The first one computes the I_{DS} current depending on the back gate potential V_G , while the second one evaluates the proportion of oxidized/reduced molecules, thus determining the V_T of the transistor. This modeling reproduces molecular-gated nanowire transistors electrical behaviors. Examples can be found in the following papers: In_2O_3 semiconductor nanowire with *Bis(terpyridine) - Fe²⁺* molecules [2] [6], In_2O_3 semiconductor nanowire with *Co - porphyrin* molecules [9] and N-doped InP nanowire with *cobalt - phthalocyanine* molecules [5]. Figure 2 presents the different equations used to describe $I_{DS}(V_G)$ electrical characteristics. $I_{DS}(V_G)$ simulation results [7] of the different MG-NWFET show very good accordance compared to experimental data.

MG-NWFETs present characteristics that turn them into very good candidates for multilevel information storage memory point. The ability to modulate the V_T threshold thanks to V_G pulses of different lengths or amplitudes allows multiple different resistive states, their number being only limited by the precision of the read sense amplifier.

However, the main difficulty of integrating such devices into a memory array architecture is that there is no blocked state ("OFF" state) *without* loss of information (the previous resistive state). In other words, as each device programmed in a resistive state is normally "ON", an access transistor is needed. Obviously, integrating a MOS-type device would

ruin the advantages of using molecular-scaled devices and it would also greatly increased the complexity of fabrication of such hybrid cells. In the second part of this paper, we present the structure of a compact and technologically homogeneous memory cell.

III. THE CELL STRUCTURE

The proposed cell structure, as illustrated by figure 3, is composed of two MG-NWFETs serially connected. The first one acts as an access transistor (A1) while the other one is used as a multivalued storage memory point (M1). The (A1) transistor is programmed in its least resistive state in the case of a read access and it is programmed in its most resistive state for other operations. The (M1) transistor is used to store a multivalued information coded on the number of distinguishable conduction level of its channel at $V_{GS} = 0V$. Experiments have shown that at least 8 levels (3 bits) could be done. Simulation of this cell shows that 4 bits (16 different resistive states) could be possible, thus increasing one step further the density. The first advantage of such a structure compared to a MOS-like access transistor is that the dimension of the entire cell is molecular-scaled. Obviously, the other key advantage resides in the possibility of minimizing the number of fabrication steps and the use of the same molecular electronics technology. This aspect, mainly responsible for the cost of an integrated circuit, lets considering the possibility to fabricate entire memory arrays thanks to chemical processes *relatively* not costly, surrounded at the interfaces by CMOS circuits.

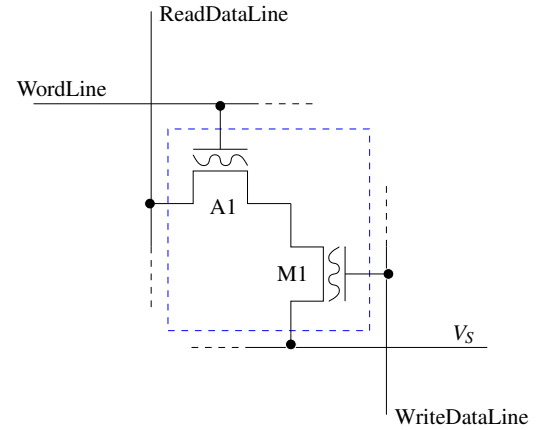


Fig. 3. The proposed memory cell composed of two molecular-gated nanowire field effect transistors serially connected

The figure 4 illustrates two different layout examples of such a simple structure. On the left a planar layout is represented, which shows an area of $0.04\mu m^2$, according to experimental data [2], and is able to store 3 or even 4 bits of information. More prospective and more ambitious, the right illustration shows a proposition that exploits the third dimension that could drastically enhanced the density far

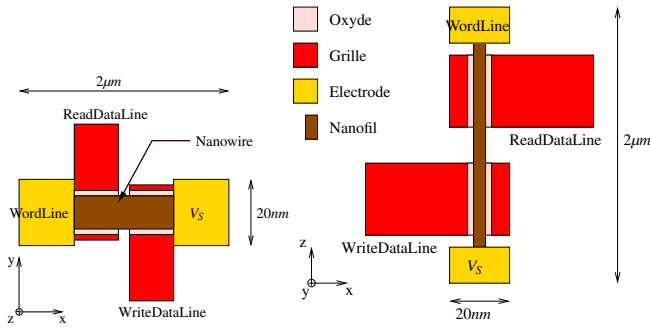


Fig. 4. (Color) Left. Possible 2D layout of the presented cell. Right. Example of 3D integration of the proposed cell. Dimensions are given based on experimental devices [2]

beyond the ITRS forecasts [1]. Indeed, the cell itself would occupy an area of only 400nm^2 , the largest size of the cell (the length of the nanowire covered by molecules) being pushed in the 3^{rd} dimension. Moreover, with the length of the nanowire ($2\mu\text{m}$) not anymore being a constraint for the density, one can imagine increasing its length to have more molecules on its surface and, as a consequence, probably multiplying the number of distinguishable states. Finally, figure 5 illustrates an array composed of twelve of these 3D cells vertically aligned which demonstrates that 36 bits (48 bits with 4 bits per cell) could be stored on an area of $0.014\mu\text{m}^2$.

From a functional point of view, the circuit used to test the cell is illustrated by figure 6. The execution of a standard memory command (read, write or erase) consists in opening or closing different switches (R_D , R_{GAcc} , R_S and R_{GPt}) and in controlling the different voltage sources (V_D , V_{GAcc} , V_S and V_{GPt}). Simulation of the cell is performed using our generic modeling [7] parametrized as a *Bis(terpyridine) - Fe²⁺*-gated In_2O_3 nanowire transistor. The complete study of the experimental device can be found in [2]. The variables and parameters used for the simulation of the different sequences for the chosen device are given in table I. Execution of each command is realized by an asynchronous states machine coded in VHDL-AMS.

It should be noted that when applying the voltage source

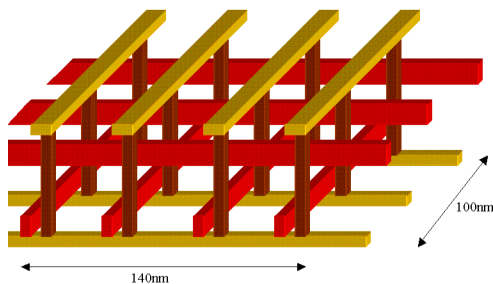


Fig. 5. (Color) Illustration of a 3D integration and vertical alignment of 12 cells capable of storing at least 36 bits on an area of only $0.014\mu\text{m}^2$.

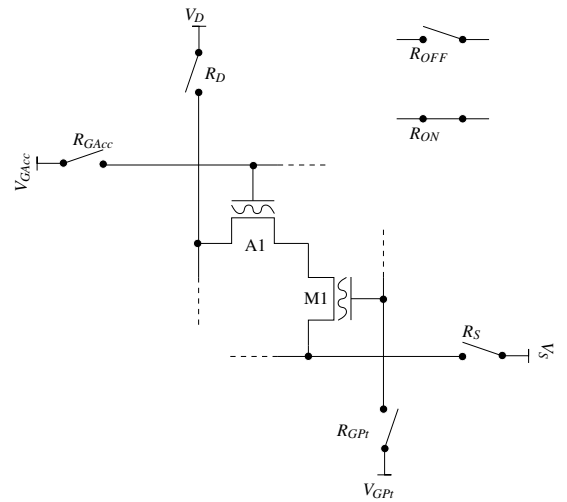


Fig. 6. Schematic test circuit for the multilevel cell.

V_{PASS} (allowing the access transistor to be "ON"), it programs the (A1) MG-NWFET in its least resistive state. Accordingly, when applying this voltage value to the memory transistor (M1), the highest storable value, 7 in our case study, is set. It should be stressed that the 4ns delay chosen for the simulation sequences does not reflect any performance indication (frequency of operation). In the three basic commands, erase, write (fig.7) and read (fig.8), it is assumed that at the beginning of each sequence, the access transistor (A1) is always in its "OFF" state (highly resistive, i.e. $I_{DS} = 0\text{A}$ for $V_{GS} = 0\text{V}$). Conversely, at the beginning of a sequence, the storage transistor (M1) is always supposed to be in a non-highly-resistive state, that is, for $V_{GS} = 0\text{V}$ and $V_{DS} \neq 0\text{V}$, $I_{DS} \neq 0\text{A}$.

The memory point erase command sequence and the memory point write command sequence (fig.7) are closely related, the main difference being the voltage source V_{GPt} applied to the back gate of the (M1) storage transistor. Due to limited place, we will not detail the erase command sequence flowchart. Before any write command, an erase command has to be done in order to reduce all the molecules of the transistor back to an highly resistive state. Specific writing conditions are needed on R_S and R_{GAcc} . When selecting an address (a

TABLE I
VARIABLES AND PARAMETERS USED FOR THE SIMULATION OF THE DIFFERENT READ, WRITE AND ERASE SEQUENCES

Variable	Value
U_{LO}	$1.0e^{-6}\text{V}$
U_{READ}	0.75V
U_{ERASE}	30.0V
U_{PASS}	-20V
U_{PROG}	$-n * 2.5\text{V}$ with $1 \leq n \leq 8$
R_{ON}	10.0Ω
R_{OFF}	$1.0e^9\Omega$
Delay	4ns

row in the memory array), the corresponding R_S and R_{GAcc} have to be set to R_{ON} , while for all other rows, they must be set to R_{OFF} .

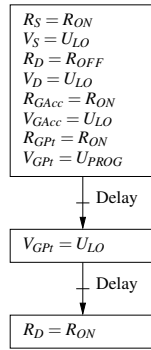


Fig. 7. Flowchart of the write command sequence. (A1) access transistor is "OFF", (M1) storage transistor is programmed.

The read command sequence detailed by the flowchart (fig.8) requires more cycles to be completed because it first needs to set "ON" the access transistor. Conversely, it also needs to set back "OFF" the (A1) transistor after the fixed voltage (U_{READ}) current sensing phase.

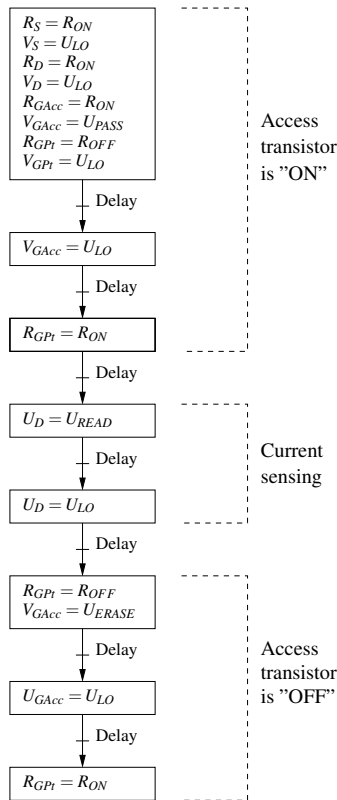


Fig. 8. Flowchart of the read command sequence. (A1) access transistor is "OFF", (M1) storage transistor is programmed.

Using a dynamic of 8 resistive states (3 bits), simulation of multiple erase/write/read sequences have been done on a single

cell. The memory point performs as expected, the 8 different resistive states can easily be distinguished from one another with around 400nA between each corresponding sensed current. Due to bottom-up fabrication approach, variability of this kind of memory cell is a probable issue. That is why, further memory exploration have been realized, simulating a physical array of 256 rows with 10 cells per row and 4 bits per cell (virtual size 256x40bits). We use a VHDL-AMS code generator written under MATLAB to apply a variation on the generic parameters of the 5120 transistors composing the memory array. Although simulation results show that all operations are perfectly working, simulation time increases drastically; 3 command sequences (erase/write/read) take about 1 hour on an Opteron SUN work station (64bits/2GHz/2GB). As a consequence, in a future work, we will develop a functional macro-model of the cell for dispersion and fault tolerant memory architecture exploration.

IV. CONCLUSION

We have proposed a novel memory cell composed of two identical, serially connected, molecular-gated nanowire field effect transistors capable of storing a multivalued information within a highly compact structure. We have also shown some possible high density 2D and 3D layout of the proposed cell. Using a previously developed electrical modeling of a MG-NWFET, we have also presented a methodology to write and read such a cell and the potential of the associated memory arrays for non-volatile, ultra-dense and low-cost memories.

REFERENCES

- [1] "http://www.itrs.net/common/2005itrs/home2005.htm."
- [2] C. Li, W. Fan, B. Lei, D. Zhang, S. Han, T. Tang, X. Liu, Z. Liu, S. Asano, M. Meyyappan, J. Han, and C. Zhou, "Multilevel memory based on molecular devices," *Applied Physics Letters*, vol. 84, no. 11, 2004.
- [3] K. M. Roth, N. Dontha, R. B. Dabke, D. T. Gryko, C. Clausen, J. S. Lindsey, D. F. Bocian, and W. G. Kuhrb, "Molecular approach toward information storage based on the redox properties of porphyrins in self-assembled monolayers," *American Vacuum Society*, September/October 2000.
- [4] Q. Li, G. Mathur, S. Gowda, S. Surthi, Q. Zhao, L. Yu, J. S. Lindsey, D. F. Bocian, and V. Misra, "Multibit memory using self-assembly of mixed ferrocene/porphyrin monolayers on silicon," *Advanced Materials*, vol. 16, no. 1, pp. 133-137, January 2004.
- [5] X. Duan, Y. Huang, and C. M. Lieber, "Nonvolatile memory and programmable logic from molecule-gated nanowires," *Nano Letters*, vol. 2, no. 5, pp. 487-490, 2002.
- [6] C. Li, W. Fan, D. A. Straus, B. Lei, S. Asano, D. Zhang, J. Han, M. Meyyappan, and C. Zhou, "Charge storage behavior of nanowire transistors functionalized with bis(terpyridine)-fe(ii) molecules: Dependence on molecular structure," *J.Am.Chem.Soc.*, vol. 126, pp. 7750-7751, 2004.
- [7] A. Jalabert, F. Clermidy, and A. Amara, "A generic modeling approach for molecule-gated nanowire transistors using vhdl-ams," *IEEE PRIME 2006 conference proceedings*, 2006.
- [8] "Ieee 1076.1 working group: Analog and mixed-signal extensions to vhdl." [Online]. Available: <http://www.eda.org/vhdl-ams/>
- [9] C. Li, J. Ly, B. Lei, W. Fan, D. Zhang, J. Han, M. Meyyappan, M. Thompson, and C. Zhou, "Data storage studies on nanowire transistors with self-assembled porphyrin molecules," *J. Phys. Chem. B*, vol. 108, pp. 9646-9649, 2004.