



Conception et modélisation de transistors TFTs en silicium microcristallin pour les écrans AMOLED.

van Diep Bui

► To cite this version:

van Diep Bui. Conception et modélisation de transistors TFTs en silicium microcristallin pour les écrans AMOLED.. Physique [physics]. Ecole Polytechnique X, 2006. Français. NNT: . pastel-00002258

HAL Id: pastel-00002258

<https://pastel.hal.science/pastel-00002258>

Submitted on 29 Jul 2010

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Thèse

Présentée pour obtenir le grade de
Docteur de l'Ecole Polytechnique
Spécialité : Électronique grande surface

par

Van Diep BUI

Email : van-diep.bui@polytechnique.org

Conception et modélisation de
transistors TFTs en silicium microcristallin
pour des écrans AMOLED

Soutenance prévue le 21/12/2006 devant le jury constitué de :

M. Yvan BONNASSIEUX

Co-directeur de thèse

M. Bernard DRÉVILLON

Directeur de thèse

M. Tayeb MOHAMED-BRAHIM

Rapporteur

M. Jean Paul KLEIDER

Rapporteur

M. Guglielmo FORTUNATO

Examineur

M. Ian FRENCH

Examineur

REMERCIEMENT

Ce travail de thèse s'est déroulé dans le cadre d'un projet Européen sur les écrans flexibles *FlexiDis* mais aussi grâce à une collaboration entre le laboratoire PICM¹ de l'Ecole Polytechnique et le Laboratoire Nanostructures Électroniques de Thales Research and Technology, Palaiseau.

Tout d'abord, je tiens à remercier vivement M. Bernard DRÉVILLON, mon directeur de thèse et M. Yvan BONNASSIEUX, mon co-directeur de thèse pour m'avoir permis de réaliser cette thèse. Je suis très reconnaissant à M. BONNASSIEUX pour son soutien ; pour sa confiance ; pour sa disponibilité permanente pour plusieurs discussions sur le travail pendant tout le long de ces trois années de thèse ; ainsi que pour son aide lors de la correction de ce manuscrit (autant son contenu scientifique que son français) et surtout, pour sa bonne humeur permanente au sein du laboratoire.

Je tiens à remercier M. Pere ROCA i CABARROCAS et son équipe avec M. Alexey ABRAMOV, M. Yassine DJERIDANE pour les multiples dépôts qui m'ont permis de réaliser les transistors et les autres composants. Je les remercie également pour les précieuses discussions sur le transport des porteurs de charges, les propriétés électroniques ainsi que sur les techniques de dépôt de la couche silicium microcristallin.

Je voudrais remercier Mlle Oumkelthoum MINT MOUSTAPHA, M. Jean-Yves PAREY et M. Jae KIM pour plusieurs discussions technologiques, mais aussi pour m'avoir beaucoup aidé lors de l'implantation du modèle dans le langage Verilog-A ainsi que pour la réalisation des simulations et les mesures des composants.

Je remercie également M. Walid BENZARTI pour ses discussions précieuses sur les

¹Laboratoire de Physique des Interfaces et Couches Minces.

circuits pixels AMOLED et sur la modélisation de transistors en silicium microcristallin.

Je remercie M. Samir KASOUIT et M. Régis VANDERHAGHEN pour m'avoir accordé de leurs temps précieux pour des discussions sur le transport électronique, sur les densités d'états et les défauts dans le matériau silicium microcristallin.

Je tiens à remercier Mme Simone CASSETTE et M. Pierre LEGAGNEUX ainsi que le groupe travaillant en salle blanche Thales pour leur chaleureux accueils. Je remercie autant Mme Maryline BEGUET, Mme Marceline LAURENT, Mme Odile HUET, Mme Daniëlle, M. Didier THENOT, M. Laurent GANGLOFF et M. Eric MINOUX pour leurs gentillesse, leurs disponibilités et leurs aides durant les trois années de thèse sur l'utilisation des machines et la chimie en salle blanche Thales.

Je remercie Mme Dominique CONNE, Mlle Céline BERNON, M. Razvan NEGRU, M. Bicher HAJ IBRAHIM et M. Quang NGUYEN pour leurs contributions à la réalisations des dépôts des couches métalliques, des couches d'isolant de grille ainsi que les caractérisations par ellipsométrie et AFM.

Je voudrais remercier Mme Laurence CORBEL, Mme Chantal GENESTE et Mme Josiane MABRED pour les services lors des missions, pour le café et surtout pour leurs sourires permanents à tout le monde.

Je remercie tout le personnel du laboratoire PICM avec lequel j'ai partagé plus de trois ans très importants de ma vie – là où tout le monde se sent très proche grâce aux matchs de foot, aux pique-niques, aux séminaires internes et aux anecdotes venant de tous les coins du monde dans la salle de café.

Je voudrais remercier profondément les membres de jury, M. Jean Paul KLEIDER, M. Tayeb MOHAMED-BRAHIM, M. Guglielmo FORTUNATO et M. Ian FRENCH de prendre leur temps précieux pour examiner ce manuscrit.

Je tiens à remercier également M. Jin JANG, M. Norbert FRUHAUF et M. Guglielmo FORTUNATO ainsi que les collègues pour les séjours de collaboration dans leurs laboratoires durant lesquels j'ai appris pleins de choses et pleins de beaux souvenirs.

Et finalement, ceux qui prennent une place très importante, mes parents, mes amis et Nen sont toujours les meilleurs supports pendant toute ma vie.

RÉSUMÉ

Les travaux précédemment réalisés au sein du LPICM ont mis en évidence que le silicium microcristallin est un semiconducteur à faible coût, possédant une mobilité importante avec malgré tout une très bonne stabilité. Ce qui en fait un matériau particulièrement intéressant pour les transistors TFTs des écrans plats OLED².

Il nous a donc paru logique de nous intéresser, dans le cadre de cette thèse, à la conception et à la réalisation expérimentalement des structures de pixel OLED à base de transistors TFTs en silicium microcristallin. Pour ce faire, il est indispensable de posséder des modèles comportementaux performants des composants. Ainsi, notre objectif primordial a été de concevoir des modèles Spice de transistors $\mu\text{c-Si}$ TFT mais aussi d'OLED.

D'un point de vue technologique, nous nous sommes attachés à maîtriser l'ensemble de la chaîne de fabrication (conception de masques et lithographie en salle blanche). La caractérisation de nos transistors a révélé des mobilités de l'ordre de $1\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$, des tensions de seuil de 4 V et a montré une bonne stabilité, sous stress, de la tension de seuil et de la mobilité.

La faisabilité de ces transistors sur substrats flexibles comme le polyimide a aussi été démontré dans le cadre du Projet Intégré *FlexiDis*.

Du point de vue de la modélisation, un modèle statique et dynamique Spice de transistor en silicium microcristallin est proposé. L'écriture de ce modèle dans le langage Verilog-A nous permet de garantir une bonne portabilité et de pouvoir ainsi utiliser facilement des simulateurs professionnels comme Spectre de chez Cadence. De manière complémentaire, un modèle Spice efficace de diode OLED est également proposé.

Grâce à ces outils, nous avons pu simuler des circuits utilisant les TFTs en silicium microcristallin. Ces simulations nous permettent de prédire que ces composants sont pertinents pour la conception de pixel OLED, de drivers de lignes, mais aussi de portes logiques NMOS simples comme l'inverseur et l'oscillateur en anneau.

Mots clefs : OLED, TFT – transistor en couches minces, silicium microcristallin, modélisation Spice, conception, simulation, Verilog-A, Spectre.

SUMMARY

The previous work within the LPICM highlighted that microcrystalline silicon is a semiconductor at low cost fabrication, having an interesting field effect mobility and a high stability. All these make it become a particularly interesting material for the TFTs on the OLED technology.

Within the framework of the thesis, it is logical to us to design and to realize experimentally of the pixel structures of OLED using the microcrystalline silicon TFTs. With this intention, it is essential to have the powerful behavioral models of the devices. Thus, our primary objective was to design the Spice models of the $\mu\text{c-Si}$ TFT as well as the OLED.

From a technological point of view, we control the whole of the production line (design of masks and lithography in clean room). The realized transistors have the mobilities of about $1\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$, the threshold voltage of 4 V and have a good stability under the high field stress, in term of the threshold voltage as well as the mobility.

The feasibility of these transistors on the flexible substrates such as polyimide was also proven within the Integrated Project *FlexiDis*.

From the modeling point of view, a static and dynamic Spice model of the microcrystalline silicon transistor is proposed. The integration of this model in the Verilog-A language enables us to guarantee a good portability and then to use easily the professional simulators such as the Spectre from Cadence for the simulations. We also proposed an efficient Spice model for the OLED.

Thanks to these tools, we could simulate the circuits using the microcrystalline silicon TFTs. The realized simulations enable us to predict that these components are relevant for the design of pixel OLED, for the line drivers as well as some simple logical electronics NMOS such as the inverters and the ring oscillators.

Key words : OLED, TFT – thin film transistor, microcrystalline silicon, Spice modeling, design, simulation, Verilog-A, Spectre.

²OLED : Organic Light Emitting Diode ; TFT : thin film transistor.

TABLE DES MATIÈRES

Table des matières	i
Table des figures	vii
Liste des tableaux	ix
1 Introduction	1
2 Silicium microcristallin	5
2.1 Silicium microcristallin	6
2.2 Caractérisation du silicium microcristallin	10
2.3 Conclusion	13
3 TFT : Dessin de masques et fabrication	15
3.1 Dessin de masques	15
3.2 Étapes technologiques et fabrication des composants	21
3.2.1 Étapes technologiques	21
3.2.2 Fabrication des transistors TFTs et des OLEDs	26
3.3 Remarques sur la mise en œuvre technologique	30
3.4 TFT sur polyimide	34
3.5 Conclusion	37

4	Caractérisation des mc-Si TFTs, extraction des paramètres	39
4.1	Caractérisation des transistors	39
4.2	Paramètres des transistors	42
4.2.1	La mobilité linéaire	42
4.2.2	La tension de seuil	43
4.2.3	La tension de bande plate	45
4.2.4	La pente sous le seuil	45
4.2.5	Le courant de drain “on” et “off”	45
4.2.6	La résistance d’accès	46
4.3	La stabilité	48
4.4	Études en température	50
4.5	Influence des technologies sur les performances	52
4.6	Conclusion	54
5	Modélisation Spice de transistor en silicium microcristallin	57
5.1	Modélisation de la caractéristique statique	58
5.1.1	Densité de porteurs de charge	58
5.1.2	Régimes de fonctionnement des TFTs en silicium microcristallin . .	60
5.1.3	Courant de drain	62
5.1.4	Régime de fuite	63
5.1.5	Tension de seuil	64
5.1.6	Régime sous le seuil	64
5.1.7	Régime au-dessus du seuil	67
5.1.8	Implantation de la résistance d’accès	69
5.1.9	Continuité de l’expression du courant de drain	69
5.2	Modélisation dynamique	71
5.2.1	Régime de fuite	72
5.2.2	Régime linéaire	73
5.2.3	Régime de saturation	74

5.2.4	Régime sous le seuil	75
5.2.5	Modèle unifié	75
5.3	Dépendance en température	77
5.4	Implantation du modèle dans le simulateur	77
5.5	Modélisation du vieillissement	78
5.6	Méthode de validation du modèle	80
5.7	Conclusion	83
6	Caractérisation et modélisation des OLEDs	85
6.1	Organic Light Emitting Diode	85
6.1.1	Structure géométrique et physique de l'OLED	85
6.1.2	Matériaux organiques constitutifs d'une OLED	86
6.1.3	Fabrication des OLEDs	88
6.2	Caractérisation de l'OLED	88
6.2.1	Caractéristique électronique	88
6.2.2	Caractéristique optique	90
6.2.3	Durée de vie des OLEDs	91
6.3	Modélisation Spice d'OLED	91
6.3.1	Principe de modélisation	91
6.3.2	Extraction des caractéristiques	92
6.3.3	Modélisation Spice d'une OLED	94
6.3.4	Compréhension physique du modèle	96
6.4	Conclusion	97
7	Simulation de circuits à base de transistors en silicium microcristallin	99
7.1	Circuit pixel de base à deux transistors	100
7.1.1	Fonctionnement du circuit	101
7.1.2	Design du circuit pixel	101
7.1.3	La simulation d'un circuit pixel OLED	105

7.1.4	Fenêtre autorisée des paramètres	107
7.1.5	Durée de vie des écrans OLED utilisant le silicium microcristallin .	109
7.2	Circuit driver ligne	111
7.3	Conclusion	115
Conclusions et perspectives		119
Références		123
A Fichiers de modélisation et simulation		129
A.1	Modélisation de TFTs avec Matlab	129
A.2	Modélisation de TFTs avec Verilog-A	132
A.3	OLED sous Verilog-A	136
A.4	Simulation des circuits pixels sous Spectre Cadence	137
A.4.1	Circuit pixel à deux transistors	137
A.4.2	Driver ligne	138
A.4.3	Oscillateur en anneau	140
B Modèle du a-TFT dans la littérature		143
B.1	Modèle statique	143
B.2	Modèle dynamique	144
C Les dessins de masques		145

TABLE DES FIGURES

2.1	Classification des matériaux de silicium.	7
2.2	Croissance de silicium microcristallin par LBL.	9
2.3	Partie réelle et imaginaire du constant pseudo-diélectrique.	11
2.4	Caractérisation de la couche de silicium microcristallin par Raman.	12
2.5	Image AFM du silicium microcristallin.	12
3.1	Structure transistor bottom gate.	15
3.2	Définitions des paramètres sur masque.	16
3.3	Extraction de la résistance de contact.	18
3.4	Motifs pour estimer la sous gravure.	20
3.5	Exemple de croix d'alignement entre deux masques.	20
3.6	Les masques pour les TFTs.	21
3.7	Signal de détection de RIE.	23
3.8	Étapes de fabrication TFT.	27
3.9	La connexion via.	29
3.10	Dépôt de l'OLED.	29
3.11	Inversement de masques M_2 et M_3	30
3.12	Changement de technologie pour réduire la résistances d'accès.	32
3.13	Structure TFT top gate avec le même jeu de masques.	33
3.14	Une couche tampon de nitrure est mise entre le polyimide et la grille.	35

3.15	Caractéristique du TFT sur polyimide avec le substrat de verre.	36
3.16	Caractéristique du TFT sur polyimide avec le substrat en acier.	36
4.1	Banc de mesure des caractéristiques.	40
4.2	Caractéristiques typiques du TFT réalisé en silicium microcristallin.	41
4.3	Extraction de la mobilité et de la tension de seuil en régime linéaire.	43
4.4	Fit les derniers points pour γ et la tension de seuil.	44
4.5	Influence de la résistance d'accès à $V_{ds} = 1V$	47
4.6	Caractéristiques à $V_{DS} = 12V$ de TFT stressé.	49
4.7	Modification de la tension de seuil de transistor sous stress.	50
4.8	Caractéristiques du TFT pour différentes températures.	51
4.9	Tension de seuil, pente sous le seuil et mobilité pour différentes températures.	52
4.10	Caractéristique des transistors avant et après le recuit.	53
5.1	Densité d'états de différents types de silicium.	59
5.2	Régimes de fonctionnement de transistors en silicium microcristallin.	61
5.3	Application de tension V_{DS} au canal et modification de courbure de bande.	62
5.4	Rapport tension V_{dse} / V_{DS}	68
5.5	Modèle Spice d'un transistor avec résistances d'accès.	69
5.6	Valeurs effectives de V_{DS} et $V_{GS} - V_T$	70
5.7	Courants dans les régimes de fonctionnement.	71
5.8	Modèle dynamique d'un TFT en silicium microcristallin.	72
5.9	Les capacités C_{GS} et C_{GD} du transistor $W/L = 100/20$	76
5.10	Modélisation de stress.	79
5.11	Décalage de tension de seuil en différentes V_{GS} en fonctionnement.	79
5.12	Chaîne d'outils de caractérisation de transistors.	80
5.13	Simulation est validée par mesure en caractéristiques $I_D(V_{GS})$, $I_D(V_{DS})$	81
6.1	Structure des couches d'une OLED.	86
6.2	Modification des caractéristiques $I_D(V_D)$ par la vitesse de mesure.	89

6.3	Modification des caractéristiques par tension de départ de mesure.	90
6.4	Modèle général de l’OLED.	91
6.5	Comportement exponentiel est de pente maximale.	93
6.6	Caractéristiques des dipôles parallèle et série.	94
6.7	Modèle équivalent complet de l’OLED.	95
6.8	Accord entre la mesure et la simulation des OLEDs.	95
7.1	Circuit à base de deux transistors.	100
7.2	Caractéristique électronique et optique de l’OLED utilisée.	102
7.3	Caractéristique du transistor $W/L = 30/5$ (simulation).	103
7.4	Simulation d’un pixel OLED.	106
7.5	Relation entre le courant de sortie et la tension entrée.	106
7.6	Courant OLED au changement de trame avec différents σ_0	108
7.7	Modification du courant de l’OLED à la fin de la trame.	108
7.8	Influence de tension d’alimentation au circuit OLED.	109
7.9	Courant OLED à différentes valeurs de tension de seuil.	110
7.10	Changement de niveau de courant OLED en V_T	110
7.11	Durée de vie de l’écran OLED.	111
7.12	Drivers ligne en matrice active.	111
7.13	Schéma de driver ligne.	112
7.14	Simulation de drivers ligne en silicium microcristallin.	114
7.15	Inverseur NMOS et “ring oscillator”.	116
7.16	Simulation statique de l’inverseur.	116
7.17	Réponse statique de 4 inverseurs en série.	117
7.18	Signal d’oscillation du “ring oscillator” (15 inverseurs).	118
C.1	Les exemples de transistors.	146
C.2	Les circuits pixels OLED (source fixe et source flottante).	146

LISTE DES TABLEAUX

2.1	Composition du silicium microcristallin par ellipsométrie.	11
3.1	Résumé de la technologie.	25
5.1	Les paramètres du modèle de TFTs en silicium microcristallin.	82
6.1	Les paramètres du modèle OLED.	96
7.1	Paramètre de composants driver.	114
7.2	Résultats de simulation sur “ring oscillator”.	117

INTRODUCTION

Les OLEDs – Organic Light Emitting Diode – sont actuellement un domaine de recherche en très grande expansion et qui devrait permettre le développement d’une nouvelle génération d’écrans plats.

Aujourd’hui, les écrans plats OLED couleurs à matrice active de petite taille sont déjà commercialisés par plusieurs compagnies [3]. Ils sont utilisés principalement dans les appareils photo, dans les téléphones portables et dans les lecteurs de vidéo portables. Les écrans de grandes tailles sont en cours de développement, avec Samsung qui vient de lancer sa campagne de recherche pour fabriquer des écrans OLED à 40 pouces comme le prototype montré dans l’image.



L'intérêt des écrans OLED face à la concurrence – principalement les écrans LCD – découle des réponses qu'ils proposent vis-à-vis des problèmes tels que le temps de réponse, l'angle de vue, la luminosité, la consommation et aussi l'utilisation de substrats flexibles.

En revanche, on se doit de noter que les OLEDs montrent encore quelques faiblesses qu'il est indispensable de résoudre. En particulier, le fait que le pixel OLED soit émissif nécessite, dans le cadre des écrans à matrice active, l'utilisation de transistors TFT (thin film transistor) à mobilité et surtout à stabilité suffisante. Ainsi, l'utilisation du Silicium amorphe pose problème du fait de sa faible mobilité et surtout de son instabilité intrinsèque. L'utilisation du Silicium polycristallin pose elle aussi problème car outre son coût de fabrication élevé, il engendre une forte variation spatiale de la tension de seuil. Globalement l'ensemble de ces problèmes ne sont actuellement résolus qu'au prix de structure de pixel avec un nombre important de TFTs (4 au minimum).

Dans le cadre de son activité grande surface, le laboratoire PICM (Laboratoire de Physique des Interfaces et Couches Minces) UMR 7647 de l'Ecole polytechnique a développé un matériau Silicium microcristallin ayant des performances intéressantes en terme de mobilité (de l'ordre de quelques $cm^2 V^{-1} s^{-1}$), de stabilité spatiale et temporelle de la tension de seuil. Ce matériau, en outre simple à produire à faible coût, semble donc très attractif pour la conception des TFTs des pixels des écrans OLED à matrice active.

Pour des raisons évidentes de coût, la conception de nouvelles structures de pixel OLED se doit être précédée d'une étape de simulation. La fabrication n'est mise en route que quand la simulation fonctionne correctement. Dans le cadre des simulations électroniques, le langage Spice fait aujourd'hui figure de norme. Il est à noter la quasi inexistence, dans la littérature, de modèle Spice performant d'OLED et de transistors TFTs en silicium microcristallin.

L'objectif de ce travail de thèse est donc de maîtriser l'ensemble de la chaîne menant du matériau (le silicium microcristallin) aux systèmes tels que les pixels OLED ou les drivers lignes. Pour ce faire nous avons réalisé et optimisé des transistors en silicium microcristallin, puis conçu et validé, à partir des caractéristiques obtenues, un modèle électrique comportemental de type Spice performant en statique et en dynamique des transistors et enfin réalisé des simulations de circuit pixel OLED ainsi que d'autres fonctions électroniques simples.

Dans une première partie (chapitre 2) nous présentons succinctement le silicium microcristallin en nous attachant à définir les différentes méthodes possibles d'obtention de ce

matériau via des réacteurs PECVD. Nous nous attacherons aussi à présenter les principales méthodes de caractérisations physiques utilisées.

Dans une seconde partie (chapitre 3), nous définissons les choix et les méthodes utilisées pour la fabrication des différents TFTs (top et bottom gate). Nous présentons ici les structures de masques que nous avons conçus ainsi que les différentes étapes technologiques mises en œuvre. Une attention particulière est portée sur la réalisation de transistors sur substrats souples en l'occurrence le polyimide. Il est à noter que ce travail a été réalisé dans le cadre de la Plateforme Technologique commune entre l'Ecole Polytechnique, THALES Research and Technology et l'institut d'optique.

Le chapitre suivant présente la caractérisation expérimentale des transistors TFTs obtenus. Après avoir brièvement présenté le banc expérimental de mesure, nous décrivons les méthodes mises en œuvre pour l'extraction des principaux paramètres des transistors. Puis dans un second temps, nous présentons les résultats obtenus en terme de stabilité, d'effet de la température et de la technologie.

Le chapitre 5 a pour objectif de décrire le modèle comportemental, de type Spice, que nous proposons pour les transistors TFT en silicium microcristallin. Ce modèle spécifique tient compte à la fois du comportement statique et dynamique du composant mais aussi du vieillissement et de la température de fonctionnement. La validation du modèle est bien sûr réalisée.

La réalisation et la simulation des pixels OLED nécessite d'avoir un modèle Spice performant des OLED, or ce modèle n'existe pas dans la littérature. Le chapitre 6 après avoir rappelé les principes de base des Diodes Electro Luminescente Organique OLED, décrit le modèle Spice original que nous avons conçu de manière incrémentale à partir de mesures expérimentales.

Le 7ème et dernier chapitre présente la mise en œuvre des modèles que nous avons élaborés pour les μ c-Si TFTs et les OLEDs dans le cadre de circuits analogiques et logiques simples. Plus précisément, nous étudions en simulation dans ce chapitre le comportement des pixels OLED mais aussi des drivers lignes et enfin d'inverseurs et d'oscillateurs en anneau.

SILICIUM MICROCRISTALLIN

Pour les applications d'électronique grande surface comme les écrans plats, il est impossible d'intégrer des transistors sur un wafer de silicium monocristallin dans la matrice de pixels pour des raisons de technologie. D'une part, la taille maximale du wafer ne peut pas dépasser quelques 30 cm alors qu'il est aujourd'hui classique pour les écrans plats de travailler sur des substrats de plus de 2 m. Le substrat du transistor en silicium monocristallin est classiquement conducteur tandis que celui des TFTs est en verre ou plastique donc isolant. En plus, la température maximale du processus de fabrication des transistors en silicium monocristallin est d'environ 1000 °C tandis que celle des TFTs est de quelques centaines de °C (compatible avec les substrats verre de faible coût voire avec certains substrats plastiques).

Les TFTs en silicium amorphe sont utilisés couramment dans les écrans plats LCD dont les pixels ne consomment pas de courant sauf lors de la commutation des pixels. À côté de la facilité de production, du faible coût et d'une relative stabilité spatiale de la tension de seuil, le transistor TFT réalisé en silicium amorphe a une mobilité d'effet de champ très faible (de l'ordre de quelques $10^{-1} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)¹. Ce dernier problème ainsi que la stabilité insuffisante de la tension de seuil au cours du temps rendent difficile l'utilisation de tels TFTs dans le cadre d'un pixel OLED (en effet la surface des transistors est limitée par le taux d'ouverture² et surtout le vieillissement accéléré de l'amorphe ne permet pas de durée de vie suffisante). Des structures de pixel avec compensation ont été réalisées, mais elles nécessitent de 4 à 6 transistors par pixel et ne compensent que partiellement le vieillissement.

Face à cette problématique, les transistors en silicium polycristallin ont été proposés. En effet, ils ont intrinsèquement une mobilité d'effet de champ importante (de l'ordre d'une

¹Certains auteurs peuvent réaliser de transistors ayant la mobilité plus intéressante.

²Le rapport entre la surface totale du pixel et la surface émissive : l'OLED.

centaine de $cm^2V^{-1}s^{-1}$) et aussi une excellente stabilité temporelle de leurs caractéristiques du fait d'un matériau entièrement cristallisé. Malheureusement, cela se paye tout d'abord par une conception plus difficile et plus onéreuse que le silicium amorphe :

- Des étapes supplémentaires telles que le recuit laser et l'implantation ionique.
- 7 niveaux de masques contre 4 classiquement en amorphe.

En outre, la taille des grains obtenus du silicium polycristallin est supérieure au micron, ce qui les rends dénombrables dans le canal. Sachant que la mobilité du silicium polycristallin est contrôlée par les joints de grains, cela engendre une variation spatiale importante de la tension de seuil. Ce problème est la cause, pour une tension d'alimentation donnée du pixel, d'une variation du courant traversant l'OLED (donc de sa luminosité) nuisible à la qualité de l'image (de l'ordre de 20%). Des structures de pixel à miroir de courant [4] ou plus sophistiquées [5] [6] [7] permettent de corriger ce problème mais elles nécessitent un pixel à plusieurs TFTs polycristallins et sont aussi fortement consommatrices en énergie.

Le silicium microcristallin est un matériau intermédiaire entre le silicium amorphe et le silicium polycristallin qui, d'une part, partage la technique de dépôt PECVD avec le silicium amorphe [8] (facilité de fabrication et donc faible coût) et d'autre part, partage les propriétés électroniques ainsi que les propriétés optiques avec le silicium polycristallin [9]. Comme nous le verrons dans ce chapitre, le silicium microcristallin est un matériau entièrement cristallisé mais avec des grains de l'ordre de 100 nm ce qui donne des transistors TFT ayant une mobilité acceptable de quelques $cm^2V^{-1}s^{-1}$ et une stabilité spatiale et temporelle intéressante.

2.1 Silicium microcristallin

La structure de la couche mince du silicium est définie par la taille des grains. Du silicium amorphe (structure désordonnée) au silicium monocristallin, la classification des structures est représentée dans la figure 2.1.

La taille des grains du silicium microcristallin se situe entre quelques nanomètres à environ 1 micromètre. On voit bien que l'appellation de silicium microcristallin est un abus de langage. La méthode de croissance et les propriétés importantes du silicium microcristallin sont représentées dans la suite.

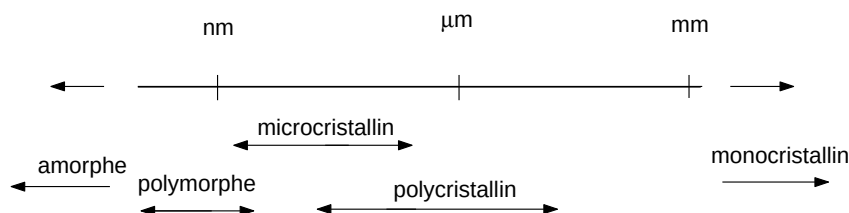


Figure 2.1 – Classification des matériaux de silicium.

La technique de dépôt du silicium microcristallin par plasma ³ utilise le même réacteur que pour le silicium amorphe. Cette méthode se fait par la décomposition chimique de gaz en phase vapeur assistée par plasma (technique PECVD : Plasma Enhanced Chemical Vapor Deposition). Nous nous proposons de décrire ici succinctement les trois méthodes classiques de dépôt PECVD du silicium microcristallin telles qu'elles sont réalisées au sein du laboratoire PICM ⁴ :

- Dépôt par technique LBL (Layer By Layer).
- Dépôt à partir de silane – SiH_4 – fortement dilué dans l'hydrogène.
- Dépôt à partir de hexafluorosilane – SiF_4 – dilué dans l'hydrogène.

Plasma d'hydrogène et silane

Dans le plasma RF de 13.56 MHz, ce sont les électrons qui ont la mobilité la plus grande. Par conséquent, seules les collisions entre les électrons et les molécules de silane sont inélastiques et créent des ions et des radicaux dans le plasma (réactions primaires). Les radicaux et les ions à leurs tours peuvent réagir entre eux (réactions secondaires) pour former les agrégats, cristallites. Tout ce mélange se dirige vers l'électrode de substrat grâce au champ électrique ou simplement par diffusion. Sur cette surface, seule une petite partie de ces espèces se stabilisent après la collision avec le substrat (équilibre chimique).

³Le silicium microcristallin peut être obtenu également en technique de filament chaud [11]. Cette méthode (dite "dépôt catalytique") se fait par la dissociation thermique de mélanges de silane SiH_4 et d'hydrogène sur filament porté à haute température (autour de 1500 °C) par effet Joule [10]. Nous nous sommes intéressés seulement à la méthode PECVD qui part à basse température est compatible également avec les substrats souples, plastiques.

⁴Parmi les dépôts par plasma, les autres gaz peuvent être utilisés également comme SiH_6 , SiCl_4 , SiH_2Cl_2 , SiF_2 , SiF_2H_2 et SiH_3F . Les 5 derniers contiennent des éléments électronégatifs qui favorisent la gravure de la phase amorphe.

La nature de la couche déposée dépend de plusieurs paramètres :

- La puissance de plasma qui correspond à l'énergie des ions qui frappent le substrat.
- Le flux des gaz qui correspondent à la création des différentes espèces dans le plasma (H^+ , Si_xH_y) contribuant au dépôt.
- La température du substrat qui contrôle la réaction en volume, la diffusion de l'hydrogène atomique dans la couche.

Croissance de silicium microcristallin par technique LBL

Dans la technique LBL, on réalise alternativement un plasma de silane et d'hydrogène puis uniquement d'hydrogène [13]. Le premier plasma réalise une très fine couche de silicium amorphe hydrogéné $aSi:H$. La phase de plasma d'hydrogène permet de cristalliser cet amorphe en silicium microcristallin. On répète ces deux opérations jusqu'à obtenir l'épaisseur voulue.

Phase du plasma d'hydrogène et silane - création de la couche amorphe :

En utilisant le flux d'hydrogène de 30 *sscm* et 5 *sscm* du silane avec la puissance de 2 W, on dépose une couche amorphe. La durée de cette phase est d'une cinquantaine de secondes [13] pour obtenir une dizaine de nanomètres.

Après cette phase, le plasma est arrêté pendant une centaine de secondes pour ajuster la condition de plasma de la phase suivante.

Phase du plasma d'hydrogène - cristallisation :

La phase de plasma d'hydrogène (100 *sscm* à 20 W) est une phase très importante pour la constitution du réseau de silicium microcristallin. Les ions hydrogènes diffusent dans la couche amorphe sur une épaisseur de quelques dizaines de nanomètres [14]. Ainsi, ces ions déshydrogénéisent tout d'abord le matériau en détruisant les liaisons entre l'hydrogène et le silicium puis le réseau cristallin se reconstruit et il se stabilise lorsque toutes les cristallites atteignent leur taille maximale.

La vitesse de croissance dépend du flux des ions hydrogène. On peut donc augmenter cette vitesse en injectant plus d'hydrogène dans la chambre de plasma. Cependant, comme la reconstruction du réseau cristallin commence dans la zone la plus hydrogénée, un flux important d'ions H^+ correspond à une compétition entre les élargissements de plus de cristallites. La taille de grain devient ainsi plus petite [14]. On ne peut pas non plus accroître

l'énergie des ions hydrogène car plutôt que d'améliorer la vitesse de cristallisation on obtiendra une gravure de la couche amorphe.

Ces deux procédures sont répétées successivement (layer by layer) pour obtenir la couche de silicium microcristallin de l'épaisseur désirée.

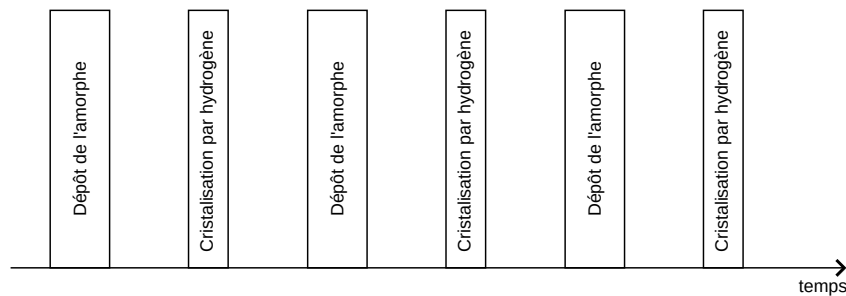


Figure 2.2 – Croissance de silicium microcristallin par LBL.

En caractérisation, la couche de silicium microcristallin déposée par la technique LBL est généralement modélisée par la composition de :

- La couche d'interface qui correspond à la première sous-couche déposée sur le substrat. Elle est moins cristallisée que le volume, voire amorphe.
- La couche de volume qui est la mieux cristallisée. Due à l'amélioration de la cristallisation à chaque étape, le dessus du volume est de meilleure qualité que le dessous.
- La sous-couche au dessus qui peut contenir du vide. Cette couche est plus ou moins cristallisée que le volume. Cette couche est la dernière exposée au plasma et par conséquent, elle est plus endommagée que le volume mais elle reste encore de bonne qualité.
- La rugosité de surface qui peut nous donner des informations sur la taille des grains.

C'est pour cette caractéristique que le transistor réalisé en silicium microcristallin LBL est plus intéressant en structure top gate (la grille au-dessus).

Croissance de silicium microcristallin par la forte dilution de SiH_4 dans l'hydrogène

Cette méthode de dépôt du silicium microcristallin est la plus utilisée actuellement au LPICM. Pour obtenir la croissance du silicium microcristallin, le rapport entre le flux de silane et le flux total $\frac{[\text{SiH}_4]}{[\text{SiH}_4 + \text{H}_2]}$ doit être à peu près de 5 % dans la chambre de plasma de

pression entre 0.1 et 10 *Torr* et la densité surfacique de puissance entre 0.05 et 1 Wcm^{-2} . Le plasma correspondant a un faible taux d'ionisation (10^{-8} à 10^{-7}) et une faible température électronique de 1 à 3 *eV*.

Dans cette condition, les réactions en volume (implantation des ions et diffusion de l'hydrogène) sont favorables pour former le réseau cristallin.

En augmentant le débit de l'hydrogène, l'implantation des ions est plus favorisée et on obtient plutôt la gravure au lieu du dépôt. En revanche, en diminuant le débit de l'hydrogène, on dépose du silicium amorphe hydrogéné aSi:H (poudre) au lieu du silicium microcristallin.

La couche déposée par la forte dilution de silane reste assez homogène.

Croissance de silicium microcristallin par SiF₄

On injecte SiF₄ au lieu du silane dans le plasma d'hydrogène décrit précédemment. Le Fluor est un élément électronégatif. Par conséquent, la gravure de la phase amorphe est plus préférentielle que la gravure de la phase cristalline [8]. En traitant la surface nitrure du substrat (surface d'isolant de grille pour les transistors bottom gate) par un plasma d'azote avant le dépôt, le nombre de sites de nucléations est réduit. Par conséquent, la croissance se fait verticalement mais également latéralement. La taille de colonne obtenue est donc plus grande et nous obtenons une meilleure qualité cristalline en dessous de la couche [10].

C'est pour cette caractéristique que le silicium microcristallin déposé par la technique SiF₄ est plus adapté pour le transistor bottom gate ⁵ (la grille au-dessous).

2.2 Caractérisation du silicium microcristallin

Caractérisation par l'ellipsométrie

L'ellipsométrie est une technique de caractérisation optique des matériaux. En récupérant le signal de réflexion de la lumière UV ou visible incidente sur la surface de l'échantillon, elle mesure l'indice de réfraction réel et imaginaire du matériau, à partir desquels les informations sur la composition du matériau ainsi que les épaisseurs sont extraites.

⁵La structure top gate et bottom gate de transistor sera présentée dans la suite. Pour le transistor top gate, le canal se trouve à l'interface supérieure de la couche active avec l'isolant de grille (l'interface inférieure pour la structure bottom gate).

La figure 2.3 montre la partie réelle et la partie imaginaire de la constante pseudo-diélectrique de la couche de silicium microcristallin déposée. En fittant le signal obtenu par optimisation avec le modèle de la couche de silicium microcristallin, modélisée par une composition de silicium amorphe, silicium polycristallin et le vide, nous obtenons les propriétés des couches montrées dans le tableau 2.1. Nous avons généralement obtenu une cristallisation de couche de plus de 90 %.

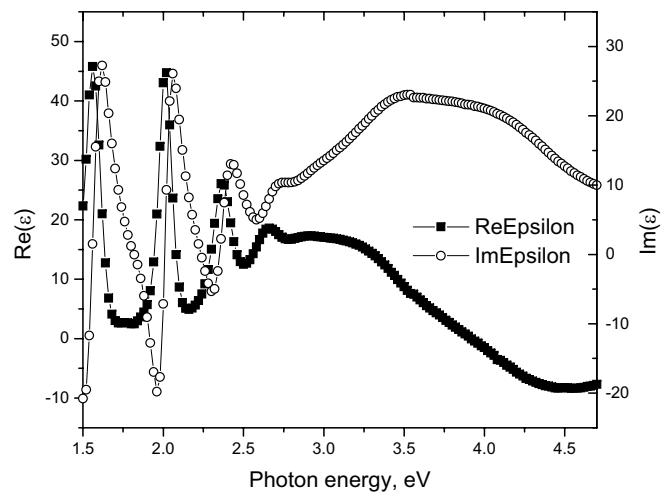


Figure 2.3 – Partie réelle et imaginaire du constant pseudo-diélectrique.

<i>Couche</i>	<i>Épaisseur Å</i>	<i>F_c%</i>	<i>F_a%</i>	<i>F_v%</i>
Volume	2240	94	6	-
Surface	452	97	-	3
Rugosité	61	63	-	37

Tableau 2.1 – Composition du silicium microcristallin par ellipsométrie.

Dans ce tableau, les F_c , F_a et F_v représentent respectivement la fraction cristalline, fraction d'amorphe et fraction du vide.

Caractérisation par Raman

La spectroscopie Raman est également une technique de caractérisation appropriée pour l'étude de la structure des couches de silicium microcristallin, permettant d'accéder à une première estimation de la fraction amorphe, la fraction cristalline et également la taille des cristallites et le stress dans le matériau.

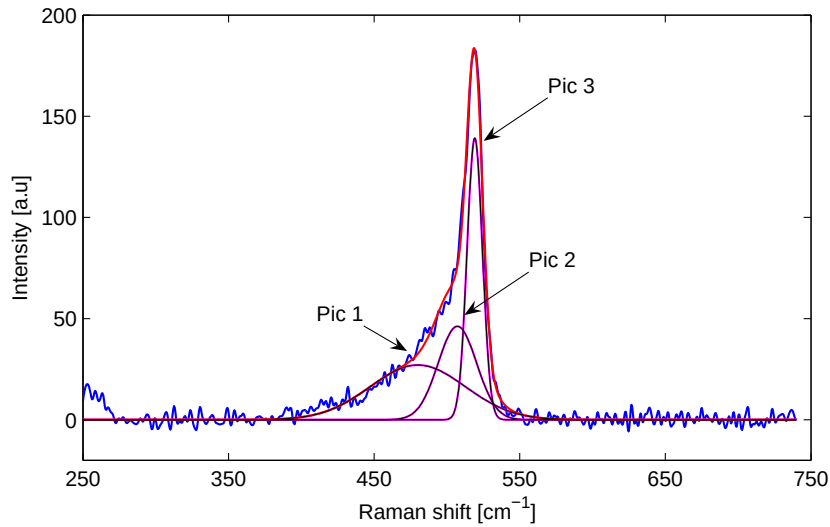


Figure 2.4 – Caractérisation de la couche de silicium microcristallin par Raman.

Sachant que les pics du silicium monocristallin et du silicium amorphe sont respectivement à 520 cm^{-1} et 480 cm^{-1} , la déconvolution du signal obtenu est réalisée à partir de ces pics et un autre pic qui est toujours présent à $\approx 510\text{ cm}^{-1}$ correspondant aux joints de grains ou aux nanocristallites.

Caractérisation par AFM

La caractérisation par le microscope à force atomique (AFM) a pour but de déterminer l'état de surface de la couche et la taille des grains du silicium microcristallin déposé. Nous avons obtenu des cristallites de taille de $80\text{ à }120\text{ nm}$ avec une rugosité de $6\text{ à }10\text{ nm}$ comme montré dans la figure 2.5.

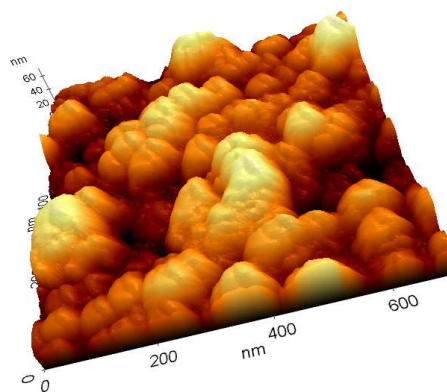


Figure 2.5 – Image AFM du silicium microcristallin.

Caractérisation par TRMC

La technique TRMC (Time-Resolved Microwave Conductivity) mesure la mobilité locale des porteurs de charge dans le matériau.

La mobilité TRMC du silicium microcristallin est de l'ordre de $40 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$. En fonctionnement dans le transistor, la mobilité des porteurs de charge est limitée par les joints de grains et les joints de colonnes. En plus, pour la structure bottom gate, le courant du transistor est limité également par des résistances d'accès (la couche dopée N+ et la couche intrinsèque). Par conséquent, la mobilité moyenne des porteurs de charge dans le transistor est plus faible que la mobilité TRMC.

2.3 Conclusion

Dans ce chapitre, nous avons présenté brièvement les méthodes de dépôt de la couche active en silicium microcristallin au laboratoire LPICM, les propriétés électroniques importantes de ce matériau, ses avantages par rapport aux autres alternatives (silicium amorphe, silicium polycristallin) pour les applications grande surface. Nous avons également décrit succinctement les méthodes de caractérisation optique, géométrique et électronique classiquement mises en œuvre au laboratoire. Le matériau silicium microcristallin que nous avons réalisé au laboratoire a :

- Une méthode de dépôt similaire à celle du silicium amorphe ⁶ – qui est à basse température et à très faible coût de réalisation.
- Une fraction cristalline élevée, plus de 90 %.
- Une taille de grain de l'ordre de 50 – 100 nm.
- Une rugosité de surface de l'ordre de 6 – 10 nm.

Cependant, la vitesse de dépôt de ce matériau silicium microcristallin reste encore assez faible, de l'ordre de 1 – 2 Å/s (elle est de l'ordre de 7 Å/s pour le silicium amorphe).

Possédant des propriétés électroniques intéressantes, le silicium microcristallin devient un candidat attractif dans le domaine des applications d'électronique en grande surface comme les cellules solaires, les écrans plats OLED ou bien les circuits dans les cartes RFID (Radio Frequency Identification). Ce qui est intéressant à noter ici est que la technologie proposée est adaptée aux écrans flexibles dont les substrats (souples) ne tiennent qu'à basse

⁶Qui utilise les mêmes réacteurs de dépôt que le silicium amorphe.

température pour toutes les étapes technologiques.

Nous allons par la suite exposer les technologies réalisées en salle blanche pour concevoir les transistors à effet de champ en couches minces (TFT) pour notre application : les écrans OLED.

TFT : DESSIN DE MASQUES ET FABRICATION

3.1 Dessin de masques

Généralement, les masques utilisés dans la fabrication de TFT en silicium microcristallin sont les mêmes que ceux utilisés dans la technologie amorphe. Ici on prend la technologie dite “Bottom Gate” (grille en dessous) comme le montre la figure 3.1. La structure elle aussi ressemble plus ou moins à celle mise en œuvre pour les TFTs en silicium amorphe. La structure dite “Top Gate” (grille au dessus), bien que non mise en œuvre expérimentalement sera elle aussi abordée dans ce chapitre.

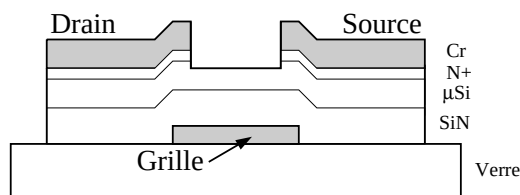


Figure 3.1 – Structure transistor bottom gate.

La figure 3.2 montre la vue du haut d'un transistor et les paramètres géométriques les plus importants sur le masque qui influencent directement les performances et la stabilité du transistor : le recouvrement (overlap) OL entre le métal de grille et le métal de drain ou de la source ; la largeur W et la longueur L du canal ; les dimensions A et B de la zone active en silicium microcristallin.

A noter que l'overlap du transistor bottom gate comme amorphe et microcristallin doit être positif pour éviter la coupure du canal tandis que dans la technologie top gate polycris-

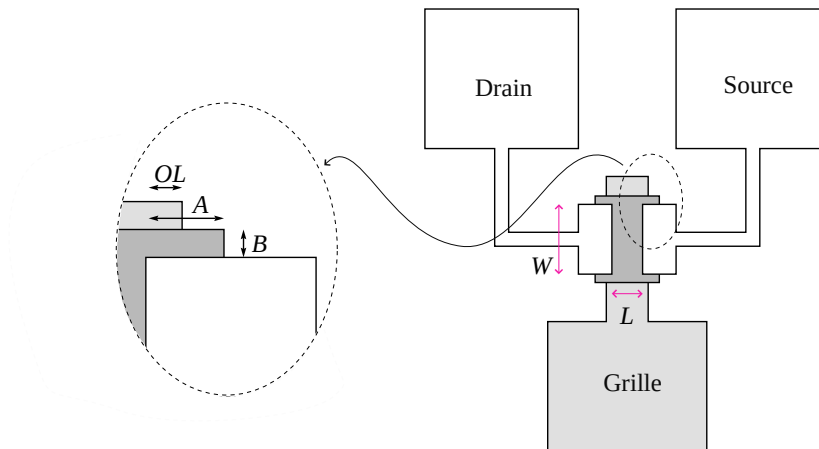


Figure 3.2 – Définitions des paramètres sur masque.

tallin, il est négatif. Le fait est que le silicium polycristallin est un matériau de conductivité élevée, ce qui donne un courant ON élevé mais qui engendre également un courant de fuite important, nuisible au maintien de la charge du condensateur de stockage. En ajoutant une zone légèrement dopée LDD (Light Doping Drain) par implantation ionique entre le canal et le drain – source, on arrive à diminuer le courant de fuite et donc améliorer la performance du transistor ¹.

La largeur W et la longueur L du canal ont de l'influence sur le niveau du courant de fuite et sur la caractéristique saturée du transistor. Le rapport W/L est proportionnel au niveau du courant de transistor. L'overlap OL a pour but de compenser l'erreur de lithographie mais il ajoute une capacité au comportement dynamique du transistor. Les paramètres A et B modifient de façon fine les caractéristiques du TFT mais sont primordiaux du point de vue de la mise en œuvre et de la fiabilité.

Ce paragraphe se propose de décrire les différentes structures réalisées dans le principal jeu de masques de photolithographie que nous avons conçu.

Études sur les TFTs

Notre objectif est de modéliser au mieux les transistors microcristallin. Pour ce faire, nous avons besoin de couvrir le plus largement possible le domaine de variation des paramètres technologiques. Finalement nous avons choisi les plages de dimensions suivantes :

- Variation de la largeur du canal : deux séries avec la longueur de canal de $L = 10\mu m$

¹C'est pour cette raison que la technologie du transistor en silicium polycristallin est plus complexe.

et $L = 20\mu m$. Ce paramètre agit surtout sur le courant de fuite du transistor.

$\Rightarrow W = 10/15/20/25/30/50/80/100 \mu m$.

- Variation de la taille de transistor avec $W/L = 4$: Ce rapport est relié directement au niveau du courant de transistor. Idéalement, pour le même rapport W/L , on a un même courant. Ce qui change dans ce cas est sa réponse dynamique.

$\Rightarrow L = 5/10/15/20/25/30/35/40 \mu m$.

- Variation de l'overlap : trois séries de TFTs avec $W/L = 20/3$; $30/5$ et $50/10$. L'overlap est un paramètre qui est un compromis entre la limite technologique (difficulté de faire la lithographie lorsque l'alignement devient plus précis) et la réponse dynamique de transistor (l'overlap engendre des condensateurs parasites).

$\Rightarrow OL = 0/1/2.5/5.5/7.5/9.5 \mu m$.

- Variation de A avec TFT de $W/L = 50/10$. A et B sont des paramètres qui représentent l'effet de bord de la zone de silicium microcristallin.

$\Rightarrow A = -2/0/2/4/6/10 \mu m$.

- Variation de B avec TFT de $W/L = 50/10$.

$\Rightarrow B = -2/0/2/4/6/10 \mu m$.

- Performance et orientation des transistors : L'orientation des structures de croissance du silicium microcristallin déposé par PECVD est verticale (axe z). Ainsi, des transistors réalisés avec différentes orientations horizontales (axes x ou y) se doivent avoir des caractéristiques identiques. Pour vérifier cette similitude, nous avons réalisé :

$\Rightarrow$ 2 séries de 10 TFTs connectés en parallèle et orientés suivant l'axe x et 2 séries de 10 TFTs connectés en parallèle et orientés suivant l'axe y , $W/L = 100/20$.

$\Rightarrow$ 8 TFTs avec $W/L = 100/20$, avec la grille commune et avec différentes distances du canal aux contacts drain – source.

Les variations de paramètres mises en œuvre dans ces masques sont pour l'extraction des paramètres de modélisation qui sera montrée dans les chapitres suivants.

De manière à isoler certains paramètres nous avons aussi placé sur le jeu de masques des structures simples telles que des résistances de contacts et des condensateurs.

Résistance de contact

La méthode mise en œuvre est classique, il s'agit de la "Transmission Line Method" (TLM). On répète les plots de contacts de façon périodique sur la surface de silicium mi-

crocristallin comme montré dans la figure 3.3. Le principe d'extraction des résistances de contact (longueur de $\mu c\text{-Si}$ nulle) est montré également sur la figure.

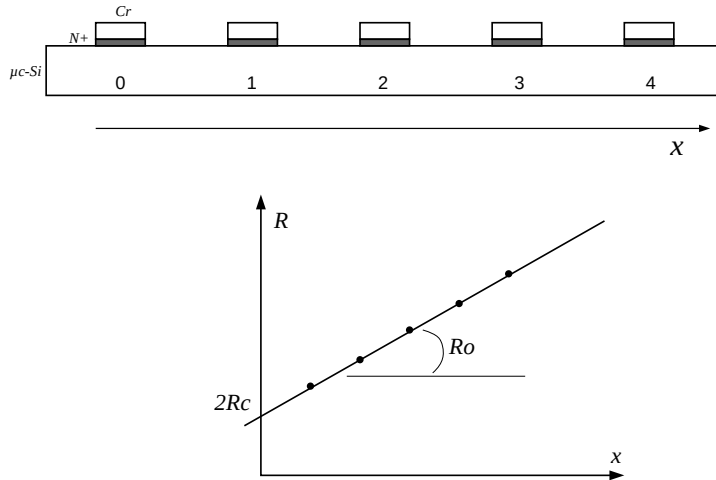


Figure 3.3 – Extraction de la résistance de contact.

Supposons que la résistance du substrat (en silicium microcristallin) soit de R_0 par unité de longueur et soit R_C la résistance de contact. La résistance qu'on mesure entre deux points de distance x est de :

$$R(x) = 2R_C + R_0x$$

La courbe de dépendance de la résistance en fonction de la distance donne ainsi les résistances R_C et R_0 . La résistance de via (entre deux niveaux de métal) est déterminée par la même méthode.

Condensateur

Les condensateurs de type MISM (Métal / Isolant / Semiconducteur / Métal) ou MIM (Métal / Isolant / Métal) avec différentes tailles ont pour objectif de déterminer la valeur de la capacité d'isolant C_{ox} . Rappelons que dans le cas des TFTs en silicium microcristallin, l'isolant est du nitrure de silicium et non de l'oxyde de silicium.

Dans le même jeu de masques de photolithographie, nous avons aussi réalisé un certain nombre de structures plus complexes afin de mettre en évidence l'intérêt des transistors TFTs en silicium microcristallin. Il s'agit tout d'abord de pixels OLED simples avec deux transistors TFTs et un condensateur de stockage puis des portes logiques simples.

Circuit pixel OLED à deux transistors

Les deux possibilités de structure de pixels OLED à deux transistors sont étudiées : le circuit à source flottante (OLED connectée entre la source du transistor T_2 et la masse) et le circuit à source fixe (OLED connectée entre V_{dd} et le drain du transistor T_2). Le fonctionnement de ces deux types de pixel OLED sera montré dans la section 7.1 du chapitre 7 de simulation.

Circuits intégrés

- Inverseurs avec les transistors TFTs de type N : Nous avons réalisé les inverseurs NMOS qui sont constitués de deux transistors de type N (figure 7.15). La simulation Spice estime une meilleure performance de l'inverseur lorsque la grille du transistor du haut (TFT₁) est reliée à une tension d'alimentation plus grande que l'alimentation V_{dd} . Nous avons donc réalisé une possibilité de convertir un inverseur à une tension d'alimentation en celui à deux ².
 1. Inverseur 1 : TFT₁ de $W/L = 10/10$ et TFT₂ de $W/L = 200/10$.
 2. Inverseur 2 : TFT₁ de $W/L = 10/5$ et TFT₂ de $W/L = 100/5$.
 3. Inverseur 3 : TFT₁ de $W/L = 10/20$ et TFT₂ de $W/L = 250/10$.
- Ring oscillator (oscillateur en anneau) :
 - ⇒ 15 inverseurs type 1 en série et la dernière sortie est reliée à l'entrée.

Enfin, nous avons positionné sur le jeu de masques des structures de test permettant de valider les différentes étapes technologiques.

Vérifications de la lithographie et de la gravure

L'idée est simple : les barres rectangulaires sont mises parallèlement, avec une distance nulle suivant la direction de l'axe x , mais décalées suivant la direction de l'axe y . Après une étape de gravure ou de lithographie, la distance entre ces barres donne une estimation de la "sous-gravure" (gravure parasite sous le masque).

- Vérification de la lithographie.
- Vérification de la gravure (chrome etch, RIE).

²Par une petite rayure sur l'échantillon pour séparer la grille de TFT₁ et l'alimentation.

- Motifs pour le profilomètre : Dektak scan.
- Contacts ITO-Métal.
- Influence de l'état de surface sur les dépôts.

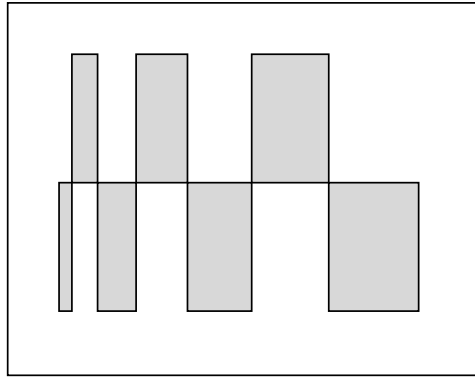


Figure 3.4 – Motifs pour estimer la sous gravure.

Direction du canal

À priori, le dépôt des couches et les étapes de fabrication des transistors (lithographie, gravure) n'ont pas de sélectivité directionnelle. Les transistors de mêmes tailles suivant deux directions différentes perpendiculaires sont positionnés sur les masques pour la vérification.

Croix d'alignement

Une matrice $n(n-1)$ de croix d'alignement est réalisée pour prévoir tous les changements d'ordre de masques possibles ³ (n est le nombre de masques).

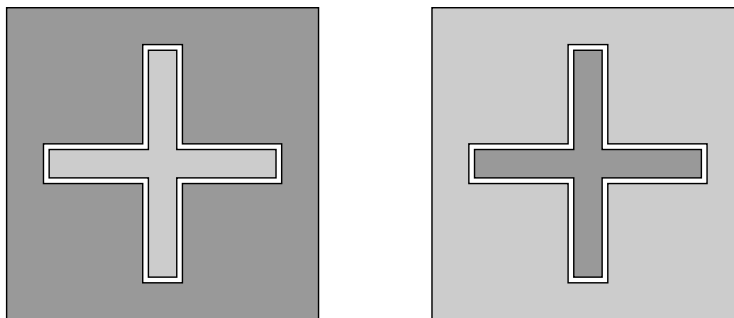


Figure 3.5 – Exemple de croix d'alignement entre deux masques.

³Les différentes tailles de croix sont réalisées pour prévoir la précision de la machine de lithographie.

Nous résumons sur la figure 3.6 tous les masques nécessaires pour la réalisation d'un transistor bottom gate en silicium microcristallin.

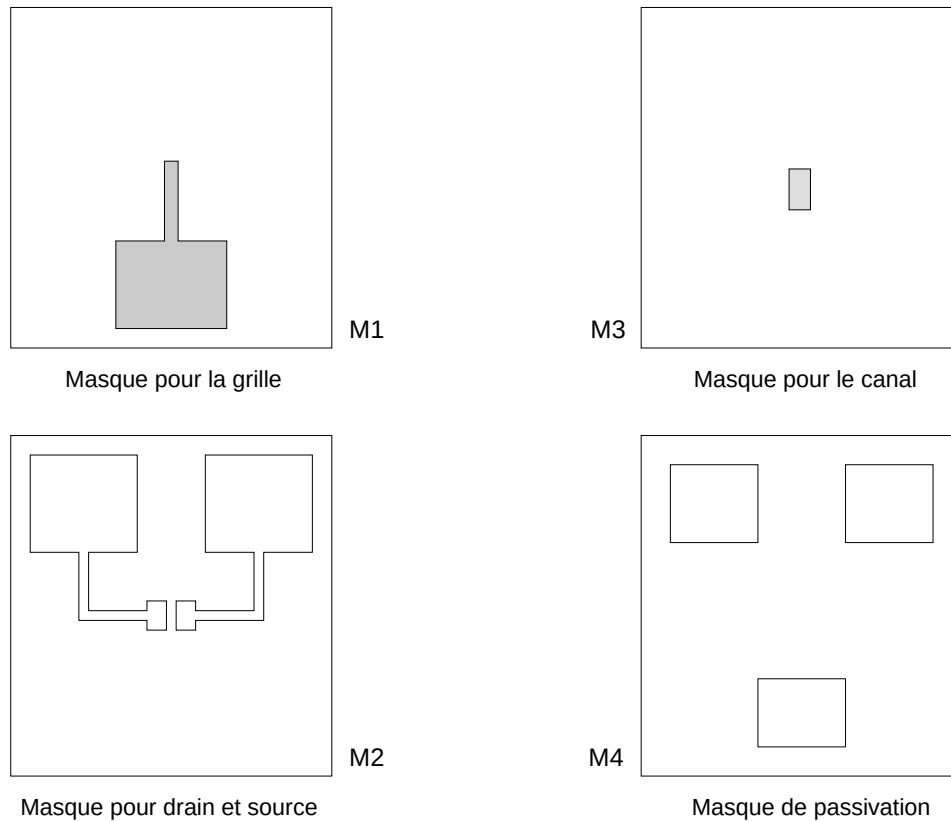


Figure 3.6 – Les masques pour les TFTs.

3.2 Étapes technologiques et fabrication des composants

3.2.1 Étapes technologiques

Les étapes technologiques mises en œuvre pour réaliser un transistor TFT $\mu\text{c-Si}$ sont de manière simple et sans ordre chronologique :

- Le nettoyage et élimination de la résine.
- Le dépôt de résine photosensible et la photolithographie.
- La gravure chimique du chrome (métal de grille et de drain – source).
- La gravure physique RIE (Reactive Ion Etching).
- Le “lift-off”.
- Le recuit.

L'objectif de ce paragraphe est de présenter les contraintes ainsi que la réalisation de ces différentes étapes.

Nettoyage des échantillons et élimination de la résine

Tous les échantillons doivent être nettoyés dès le début du processus technologique. Le nettoyage des échantillons se fait en ces étapes :

- On plonge les échantillons dans l'acétone dans un bac à ultra-son pendant 5 minutes.
- On répète la même procédure dans un deuxième flacon d'acétone.
- Les échantillons sont plongés pendant 1 minute dans le propanol.
- Séchage par la soufflette d'azote.

L'élimination de la résine se fait par les mêmes procédures que le nettoyage.

Résinage et lithographie

Pour la lithographie, nous utilisons la résine positive SPR700-1.2 épanchée par tournette à 4000 tours/min pendant 30 secondes. Le résinage et la lithographie sont effectués dans l'ordre suivant :

- Dépôt de "primer", tournette et recuit à 105 °C à l'air pendant une minute.
- Dépôt de SPR700-1.2, tournette et recuit à 105 °C à l'air pendant 5 minutes.
- Exposition (avec la machine lithographie MJB-3) sous la lumière ultra-violette 365 nm à 15 mWcm^{-2} avec le masque correspondant pendant 7 secondes.
- Passage de l'échantillon dans le développeur MF319 pendant 35 secondes.
- Rinçage dans l'eau désionisée pendant 5 minutes.
- Recuit à 105 °C à l'air pendant une minute.

La résine négative ⁴ n'était pas beaucoup utilisée pour cause de disposition sur place, de qualité moins bonne et d'étapes plus complexes.

Gravure du chrome ou Chrome etch

La gravure de chrome est effectuée par voie humide avec le liquide "Chrome etch 18". La gravure est rapide, simple à mettre en œuvre et elle a une très bonne sélectivité. Par contre, elle est isotrope et donc on ne peut pas éviter le problème de sous-gravure.

⁴Pour le même masque, utilisation de la résine négative a pour but de remplacer l'étape de gravure par l'étape de lift-off, évitant la sous gravure non désirée.

Le contrôle de la gravure du chrome est possible directement de manière visuelle. Le temps de gravure est de l'ordre d'une minute pour 2000 Å.

Gravure physique RIE : Reactive Ion Etching

Contrairement à la gravure humide, la technique RIE est beaucoup moins isotrope. Le plasma généré par la RF (Radio Frequency) à 13,56 MHz accélère les ions qui vont bombarder l'échantillon sur un porte-substrat isolé électriquement [64]. Ces ions qui sont orientés verticalement gravent à la fois physiquement et chimiquement les couches de silicium et de nitrure de silicium. La détection de fin de la gravure est réalisée par une technique in-situ qui consiste à mesurer la variation de l'intensité du signal de réflexion d'un faisceau laser sur la couche gravée (figure 3.7). La période du signal est directement reliée à l'indice du matériau en cours de gravure par :

$$\lambda = \frac{n}{\alpha}$$

Ainsi, pour un matériau donné, chaque période λ du signal représente une épaisseur bien définie de la couche gravée. Le changement de matériau sera bien détecté par un changement de période (sauf dans le cas du passage de la couche N+ à la couche intrinsèque de silicium microcristallin).

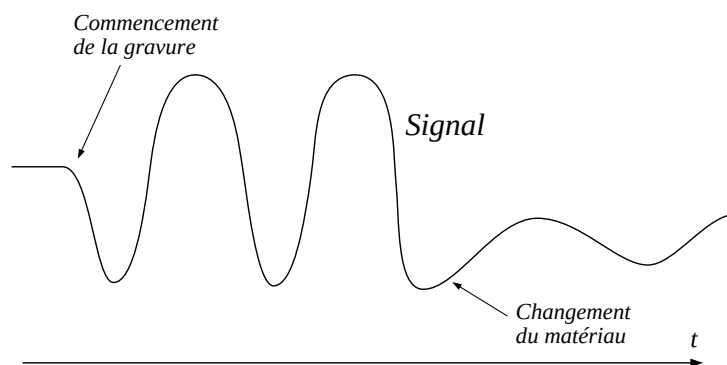


Figure 3.7 – Signal de détection de RIE.

Les conditions de gravure pour les couches du silicium et les isolants (SiN_x et SiO_2) sont :

- Gravure de silicium (première recette) : SF_6 10 sscm, 10 mTorr, puissance de plasma de 15 W. La vitesse de gravure est de l'ordre de 2 minutes pour l'épaisseur de 200 nm.

- Gravure de silicium (deuxième recette) : 43 *sscm* de CHF_3 et 7 *sscm* de SF_6 sous la pression de 22 *mTorr* et la puissance de 20 W.
- Gravure de SiN ou de la silice SiO_2 (première recette) : SF_6 10 *sscm*, 10 *mTorr*, puissance 50 W. Il faut à peu près 100 s pour graver 300 nm.
- Gravure de SiN ou de la silice SiO_2 (deuxième recette) : 58 *sscm* de CHF_3 et 3 *sscm* de SF_6 , pression de 75 *mTorr*, puissance de plasma de 70 W.

“Lift-off”

Dans nos réalisations, c’est uniquement pour l’étape de réalisation des vias métal où l’on met en œuvre le lift-off. Après le résinage, la lithographie et le développement de la résine, on dépose une couche de métal sur la résine. Ensuite on plonge l’échantillon dans l’acétone pendant la nuit pour que la résine (qui contient le métal sur son dos) parte tranquillement. Ce qui reste est évidemment le métal sur la partie de la structure où il n’y avait pas de résine. Cette technologie est montrée plus en détail dans la figure 3.9.

L’avantage de cette technique est qu’il n’y a pas de problème de sous gravure. Par contre, un phénomène d’arrachement est possible lors de la dissolution de la résine.

Recuit

La couche active du transistor est exposée à plusieurs éléments (espèces chimiques, gaz) pendant le procédé de fabrication. Le recuit permet d’évaporer tous les résidus qui sont piégés dans le matériau (les gaz dans les couches après le bombardement des ions par exemple).

Le recuit peut être réalisé à l’air à 175 – 200 °C (température de dépôt de la couche active) ou bien sous l’hydrogène dans le réacteur à 1 *Torr*, 300 *sscm* pendant 2 heures.

Résumé de la technologie mise en œuvre dans le tableau suivant

Étape	Description	Temps
Nettoyage / Élimination de la résine		
1	Acétone dans le ultra-son	5 minutes
2	Deuxième acétone dans le ultra-son	5 minutes
3	Propanol	1 minute
4	Soufflette azote	
Résinage		
1	Dépôt du primer	
2	Tournette à 4000 tours/min	30 secs
3	Recuit l'échantillon à 105°C (à l'air)	1 minute
4	Dépôt de la résine SPR700-1.2	
5	Recuit l'échantillon à 105°C	5 minutes
Lithographie et développement		
1	Lithographie 15 mWcm ⁻²	7 secs
2	Développeur MF319	35 secs
3	Rinçage dans l'eau	5 minutes
4	Soufflette azote	
5	Recuit à 105°C	1 minute
6	Contrôle optique	
Chrome etch		
1	Liquide chrome etch 18	~ 2 kÅ/min
2	Rinçage dans l'eau	5 minutes
3	Soufflette azote	
4	Contrôle optique	
RIE du silicium et d'isolant de grille		
1-1	RIE du silicium : SF ₆ (10) – 10 mTorr – 15 W	17 Å/sec
1-2	RIE du silicium : CHF ₃ /SF ₆ (43/7) – 22 mTorr – 20 W	–
2-1	RIE du SiN _x ou SiO ₂ : SF ₆ (10) – 10 mTorr – 50 W	30 Å/sec
2-2	RIE du SiN _x ou SiO ₂ : CHF ₃ /SF ₆ (58/3) – 75 mTorr – 70 W	–
Recuit des échantillons		
1	Recuit à l'air à 175 – 200 °C	2 heures
1	Recuit hydrogène (1 Torr, 300 sscm, 200 °C)	2 heures

Tableau 3.1 – Résumé de la technologie.

3.2.2 Fabrication des transistors TFTs et des OLEDs

Réalisation des transistors TFTs

L'objectif de ce chapitre est de présenter les différentes étapes nécessaires à la réalisation d'un transistor TFT en silicium microcristallin sur substrat de verre. Les choix technologiques ont été guidé par un certain nombre de contraintes telles que le fait que les dépôts des couches silicium, isolant et métal sont réalisés hors de la salle blanche (au laboratoire PICM). Ainsi, il est indispensable de protéger de l'oxydation lors des transports, les couches de silicium par la couche de métal supérieure.

La figure 3.8 illustre de manière succincte, les différentes étapes que nous allons décrire.

1. Étape 1 : Dépôt de 2000 Å de chrome sur le substrat de verre, via l'évaporateur thermique du laboratoire LPICM.
2. Étape 2 : Nettoyage, résinage, lithographie avec le masque M_1 (masque de grille qui est présenté sur la figure 3.6) → Gravure humide du chrome par Chrome Etch → Élimination de la résine. On obtient les grilles patternées.
3. Étape 3 : Dépôt sur les grilles patternées de 3500 Å de SiN_x ⁵, 1500 Å de silicium microcristallin, 500 Å de silicium dopé N+. Ce dernier est soit du silicium amorphe dopé, soit du silicium microcristallin dopé. Et finalement, on dépose la couche de métal du chrome pour les contacts de drain et de source.
4. Étape 4 : On réalise la lithographie en utilisant le masque M_2 (masque drain – source présenté sur la figure 3.6), les contacts drain – source sont structurés par une gravure via chrome etch. Cette gravure est très sélective.

Après l'étape 4, il y a deux possibilités pour continuer. Soit on effectue d'abord la gravure de la couche N+ au niveau du canal (étape 5a), soit on protège d'abord le canal (étape 5b).

5. Étape 5a : L'échantillon avec les contacts drain – source structurés est mis directement dans la chambre de gravure RIE. Comme le chrome ne peut pas être gravé par la RIE, les contacts drain – source jouent le rôle de masque. On grave le silicium N+ pour éviter un court-circuit entre le drain et la source (on parle alors de canal arrière).

⁵Le nitrure SiN est l'isolant de grille dans la plupart des applications utilisant la techno amorphe [34]. L'isolant de grille peut être de SiO_2 également. Dans ce cas, on dépose 1000 Å de SiO_2 .

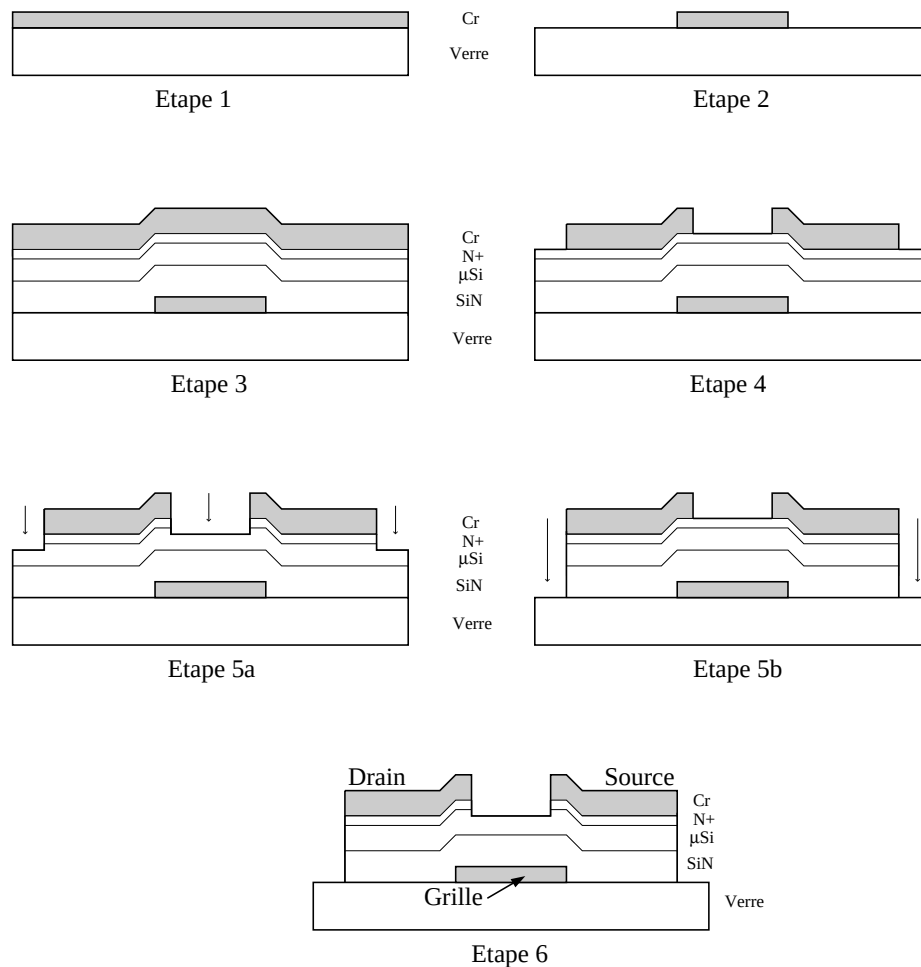


Figure 3.8 – Étapes de fabrication TFT.

6. Étape 5b : On protège le canal par la lithographie avec le masque M_3 (présenté sur la figure 3.6) et afin d'isoler les différents transistors et assurer l'accessibilité à la grille, on effectue une gravure profonde par RIE ⁶.
7. Étape 6 : Si on continue après l'étape 5a, on protège le canal par le masque M_3 (présenté sur la figure 3.6) et on effectue une gravure profonde. Si c'était l'étape 5b, on enlève la résine et on grave le silicium N+ au niveau de canal. Le transistor se trouve avec sa structure dans la figure 3.8.
8. Étape 7 : Étape 7 est l'étape de traitement. Il y a plusieurs possibilités de traitement : recuit à l'air ; recuit dans le plasma hydrogène ; recuit dans la vapeur d'eau [15] ; ... Les conditions de recuit (comme la pression, la température, ...) sont également contrôlées.

⁶La gravure profonde n'est pas nécessairement jusqu'au verre mais elle doit au moins. On verra plus tard qu'il faut garder une épaisseur d'isolant de grille pour que le via métal soit réalisable.

Ces différentes techniques de post-traitement améliorent considérablement la performance du transistor.

9. Étape 8 : La passivation. On dépose une couche très mince de quelques dizaines de *nm* de nitrure SiN_x et on effectue la lithographie avec le masque de passivation avant la gravure des ouvertures de contacts (grille, drain, source) et la réalisation des vias.

La principale difficulté que nous avons rencontrée lors de la réalisation des transistors est la gravure de la couche dopée N+ et plus généralement l'élimination du canal arrière qui engendre soit un court-circuit entre le drain et la source et soit un transistor parasité. En effet il est très difficile de graver proprement la couche N+ et plus particulièrement de détecter la fin de gravure de cette couche (la couche inférieure de silicium microcristallin a la même réflexion optique). La méthode que nous avons utilisée est d'accroître l'épaisseur de la couche microcristalline puis en graver une partie lors de l'élimination de la couche N+. Il est à noter que cette méthode engendre une augmentation des résistances d'accès et donc une diminution de la mobilité apparente globale.

Réalisation des vias de connexions entre les couches métaux

Dans le cas de la réalisation des pixels OLED et des inverseurs, les composants sont réalisés avec les mêmes étapes que pour les transistors. Ce qu'il faut ajouter ce sont des vias métalliques qui permettent de connecter le niveau du métal de grille au niveau du métal de drain et de source. (La connexion de la grille de transistor T_2 au drain de transistor T_1 dans le circuit OLED à deux transistors, figure 7.1 par exemple).

À partir de la structure dans la figure 3.9a après la réalisation des TFTs, on effectue une gravure RIE grâce au masque de via et l'échantillon se trouve comme dans la figure 3.9b. On dépose ensuite le métal de via sans enlever la résine pour l'éliminer dans les zones inutiles par le lift-off (figure 3.9c). Et après le lift-off, la connexion est réalisée comme indiqué sur la figure 3.9d.

En échelle réelle, la largeur des vias est très grande par rapport à son épaisseur. Le courant passe donc seulement aux bords mais pas du tout au centre du via. Par conséquent, pour une meilleure connexion entre les deux couches de métal, on réalise plusieurs petits trous de vias au lieu d'un grand pour réduire sa résistance.

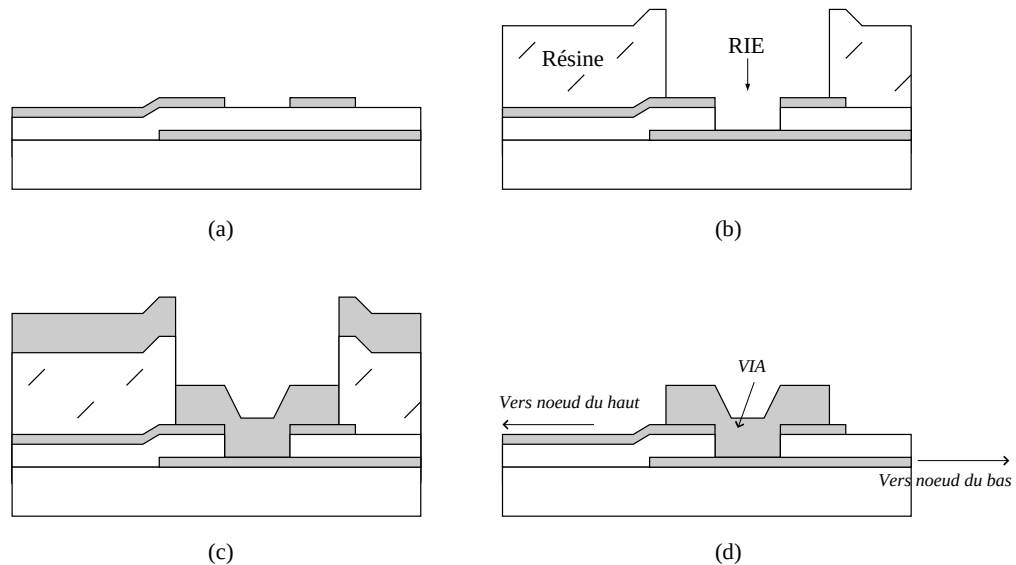


Figure 3.9 – La connexion via.

Réalisation des OLEDs

Comme la température du processus de dépôt des couches du transistor est de l'ordre de 175 à 200 °C et que les couches organiques des OLEDs ne peuvent être déposées qu'à la température ambiante, on doit réaliser les OLEDs en dernière étape.

La zone où on dépose l'OLED est ouverte jusqu'au verre pendant la réalisation de passivation de transistors. On dépose ensuite l'ITO par pulvérisation cathodique, les couches organiques par évaporation et enfin la cathode en aluminium toujours par évaporation. Cette réalisation est montrée dans la figure 3.10.

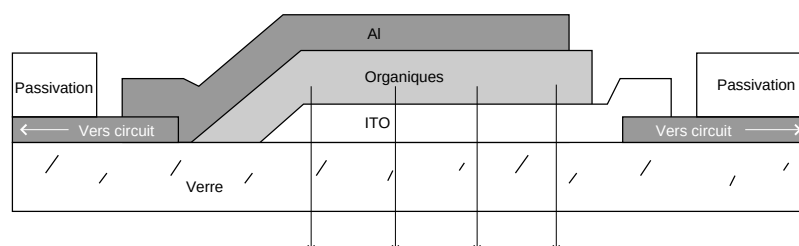


Figure 3.10 – Dépôt de l'OLED.

3.3 Remarques sur la mise en œuvre technologique

Transistors à grille commune

Dans la cas d'une étude purement statique des caractéristiques de transistors et afin de limiter le nombre d'étapes, on peut garder le plan métallique de la grille, on réalise ainsi une grille commune pour tous les transistors. Cela implique une modification importante du fonctionnement dynamique du transistor en générant des condensateurs parasites importants. En outre, dans le cas où le nitrure de grille n'est pas très bon, on a un courant de grille important et on pourrait avoir l'effet de pointes qui peut engendrer une destruction des transistors pendant leurs caractérisations.

Inversement des masques M_2 et M_3

Pour la fabrication de TFTs, on peut inverser l'ordre d'utilisation des masques M_2 et M_3 , c'est à dire graver d'abord le silicium N+ et le silicium microcristallin, avant de déposer le métal pour les contacts drain et source. Cet inversement permet de réduire la marche entre les deux niveaux : métal de la grille et métal de drain et de source car cette marche est liée directement à la qualité du via (une couche via d'épaisseur importante est nécessaire pour une marche importante).

Figure 3.11 montre en détail cet inversement de masque.

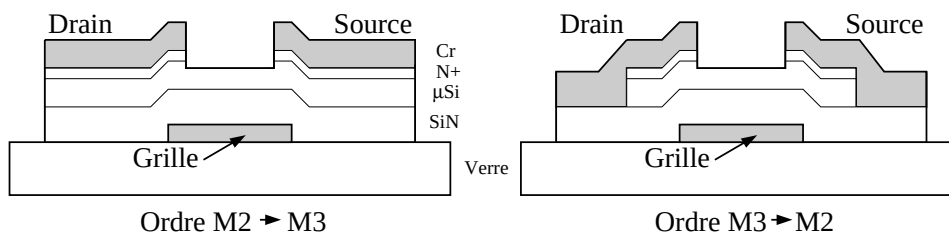


Figure 3.11 – Inversement de masques M_2 et M_3 .

Il faut noter que dans cet inversement de masques, la procédure de gravure du silicium N+ et du silicium microcristallin avant le dépôt de métal drain source crée une couche très mince de silice ⁷ à la surface de N+, ce qui a pour effet d'augmenter la résistance d'accès.

⁷La lithographie, le développement de la résine et le recuit dans le four sont des conditions favorables pour

Un traitement (soit une gravure RIE, soit un nettoyage par acide HCl) de la surface de N+ est alors nécessaire.

Overlap pour lithographie

Pour assurer que le canal du transistor n'est pas coupé du fait d'un défaut d'alignement des masques lors de la photolithographie, on réalise un overlap de dimension supérieure à la précision minimale de la machine de lithographie. Cet overlap ne doit pas être trop grand, car il a un rôle néfaste sur le comportement dynamique des transistors en ajoutant des capacités parasites.

La résolution de la machine de lithographie utilisée est généralement de $1\mu m$ ⁸, nous avons choisi un overlap de $2.5\mu m$ sur le jeu de masques.

Post-traitement sur les transistors

Il y a plusieurs méthodes de post-traitement sur les transistors après la réalisation. Le principal objectif est d'éliminer ou du moins de fortement restreindre le phénomène de canal arrière. En effet les traitements lors des différentes étapes (plus particulièrement la gravure) peuvent introduire des impuretés sur la surface supérieure du silicium microcristallin créant via un dopage un canal arrière et donc un second transistor TFT parasite. Le post-traitement standard est le recuit thermique dans un four ou dans un plasma d'hydrogène pendant quelques heures à une température égale à celle du dépôt des couches. D'autres équipes de recherche font le post-traitement dans une enceinte sous pression de type "cocotte minute" avec une humidité contrôlée [15] à pression $1.3 \cdot 10^6 Pa$ pendant 3 h et ils arrivent à améliorer très considérablement la performance du transistor.

Résistance d'accès

On peut estimer la résistance d'accès des contacts de drain et de source au canal, par la formule $R = \rho\epsilon/S$ dans laquelle la résistivité ρ du silicium microcristallin est de l'ordre de $10^4 - 10^6 \Omega.cm$; ϵ : l'épaisseur de la couche de silicium microcristallin qui est de l'ordre de

la formation de la couche de silice sur le silicium N+.

⁸En industrie électronique grande surface, la résolution est meilleure. Nous allons prendre $1\mu m$ comme overlap pour notre simulation de circuit OLED dans la suite.

200 nm et S : la surface d'overlap entre les contacts et le canal qui est de l'ordre de 100 x 20 μm .

$$R_{\text{accès}} \approx \rho \frac{200 \cdot 10^{-6}}{100 \cdot 20 \cdot 10^{-6}} = 10 \text{ k}\Omega \text{ à } 1 \text{ M}\Omega$$

Cette valeur de résistance d'accès est assez nuisible pour le fonctionnement des transistors. Elle fait diminuer considérablement la mobilité globale. Pour réduire la résistance d'accès, nous avons proposé un changement dans nos étapes technologiques comme montré dans la figure 3.12.

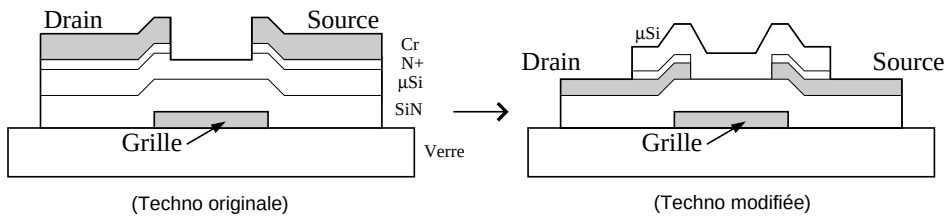


Figure 3.12 – Changement de technologie pour réduire la résistances d'accès.

Cette approche nous pose malgré tout un certain nombre de problèmes. Elle nécessite, tout d'abord, 2 étapes de dépôts de couches minces au LPICM, séparées par 2 étapes de lithographie métallique réalisées en salle blanche. En outre dans ce cas, l'encapsulation est encore plus nécessaire car la résine ne protège pas le silicium microcristallin.

Couche intrinsèque mixte de $\mu\text{c-Si}$ et amorphe

Le transistor réalisé en silicium amorphe possède un très bon courant de fuite et le dépôt se fait à une vitesse assez grande par rapport à celle du silicium microcristallin (5–6 $\text{\AA}/\text{s}$ vs 1 $\text{\AA}/\text{s}$). Par conséquent, nous pouvons réaliser une couche intrinsèque mixte qui est en silicium microcristallin en bas (à une épaisseur minimale pour assurer que la croissance atteint la fraction cristalline correcte) et en silicium amorphe en haut. Cette structure a des avantages :

- Profiter partiellement du courant OFF faible du transistor amorphe.
- Temps de réalisation rapide grâce à la vitesse de dépôt intéressante.
- La gravure du canal arrière peut se faire de façon plus contrôlable (car la couche devient plus épaisse).

Malgré ces avantages, cette structure présente des inconvénients. La résistance d'accès devient plus importante et la mobilité globale devient plus faible.

Choix de l'isolant de grille

Le choix de l'isolant de grille est lui aussi un paramètre technologique important. Notre objectif est de réaliser un transistor TFT en silicium microcristallin le plus proche possible technologiquement des transistors amorphes. Nous avons donc réalisé principalement des transistors avec du nitrure SiN_x comme isolant de grille. L'utilisation de la silice SiO_2 est une autre alternative possible, des travaux sont d'ailleurs en cours avec l'équipe de Monsieur FORTUNATO du CNR.

Technologie de type "Top Gate"

Nous pouvons utiliser le même jeu de masques pour réaliser des transistors de type "Top Gate", c'est à dire avec grille au dessus. La structure de transistor top gate avec les mêmes masques est montrée dans la figure 3.13.

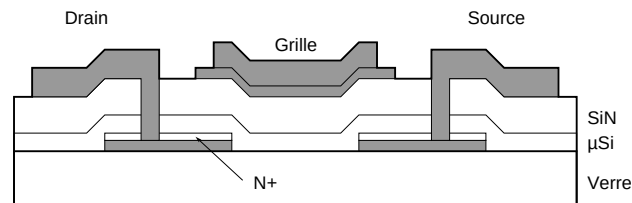


Figure 3.13 – Structure TFT top gate avec le même jeu de masques.

Les masques utilisés sont : le masque M_3 pour le drain et source, le masque M_1 pour la grille et le masque M_4 pour la passivation (voir figure 3.6 pour les masques).

On dépose d'abord le chrome des contacts drain et source puis le silicium dopé N^+ → lithographie avec le masque M_3 drain – source, gravure RIE et ensuite chrome etch → dépôt du silicium microcristallin, du nitrure de silicium et du métal de grille → lithographie avec le masque de M_1 grille et chrome etch → lithographie avec le masque de passivation → dépôt de chrome pour les contacts → lift-off de la résine ⁹.

⁹Cette figure montre une simplification pour faciliter l'explication. En réalité, le masque de passivation n'est pas utilisé comme le masque VIA comme expliqué. Il faut regarder en 3D pour bien imaginer.

Transistor type P

Le transistor de type P sera réalisé avec la même structure que le transistor type N. Au lieu d'injecter avec le silane SiH_4 le gaz phosphine PH_3 , on injecte le gaz diborane B_2H_6 pendant le dépôt de la couche de silicium dopé (P+ au lieu de N+).

3.4 TFT sur polyimide

L'une des perspectives de la thèse est de réaliser des transistors pour les applications sur les substrats flexibles. Dans le cadre du contrat européen FLEXIDIS ¹⁰, nous avons initié la réalisation de transistors TFT sur plastique. Nous utilisons le polyimide qui est un polymère développé par HD Microsystem ayant une bonne résistance en température (200 °C) et un faible coefficient de dilatation.

Malgré tout, un substrat purement polyimide ne peut être utilisé car les traitements thermiques nécessaires à la réalisation des transistors engendrent un phénomène de déplanarisation important à l'alignement lors de la lithographie.

Pour ce faire, nous utilisons suivant le brevet déposé par Philips la technologie EPLAR qui consiste à déposer le polyimide sur un autre substrat rigide [65] comme par exemple le verre ou l'acier. Une technique de décolage par laser développée par Philips permet d'enlever le polyimide après toutes les étapes technologiques et d'obtenir ainsi une électronique sur substrat flexible.

Dépôt de polyimide sur le substrat et propriété de la surface

Originellement, le polyimide est en phase liquide comme une résine photosensible avec une viscosité spécifique. La technique de dépôt de $5\mu\text{m}$ du polyimide sur le substrat de support est presque la même que celle de la résine photosensible pendant la réalisation des composants : utilisation d'une tournette.

Nous avons utilisé la tournette à 2350 tours/min pendant 35 secondes pour avoir une épaisseur de $5\mu\text{m}$. L'échantillon est premièrement recuit dans le four à 135 °C pendant 30 minutes puis passe en température de 350 °C pendant 2h par une rampe de 2 °C/minute.

Les manipulations du substrat avant le recuit peuvent modifier considérablement l'état

¹⁰Integrated Project du Framework Program 6.

de surface car le polyimide est encore en phase relativement fluide. La rugosité de surface est de l'ordre de 500 nm et de forme onduleuse.

Technologie sur polyimide

Les composants électroniques ne peuvent pas être réalisés directement sur le substrat polyimide car le dépôt de chrome (pour réaliser la grille) sur la surface de polyimide crée un stress important à cause des différents coefficients de dilatation thermique entre les deux matériaux pendant le chauffage engendré par le dépôt. Par conséquent, le chrome se décroche du polyimide pendant le nettoyage de l'échantillon.

Pour éviter ce problème de stress, nous avons déposé une couche tampon de nitrure de silicium sur la surface de polyimide avant de déposer le chrome. Le procédé de fabrication des composants devient donc exactement le même que sur l'autre substrat étudié précédemment. Il est à noter que nous travaillons aussi maintenant sur le changement du métal de grille en utilisant par exemple du molybdène qui se dépose à plus basse température que le chrome.

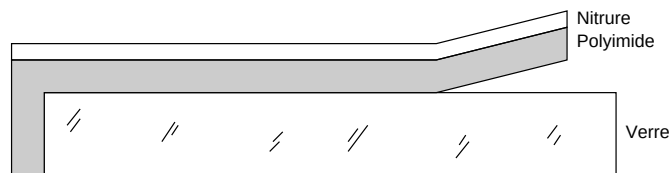


Figure 3.14 – Une couche tampon de nitrure est mise entre le polyimide et la grille.

Les caractérisations par spectroscopie ellipsométrie et spectroscopie Raman montrent une propriété de la couche déposée qui est similaire à la couche déposée sur le verre [66].

Par comparaison au substrat de verre, la rugosité même après électropolissage du substrat d'acier est assez importante. Le dépôt de polyimide et du nitrure de silicium bien qu'ayant un effet planarisant n'élimine pas le problème de rugosité. Par conséquent, la lithographie avec ce type comme substrat de support n'est pas facile.

L'orientation du canal du transistor TFT est également un paramètre important pour le cas du substrat polyimide sur acier. Le laminage et le polissage de ce dernier font que les défauts d'états de surface ont une direction privilégiée. Le canal du transistor doit être orienté parallèlement à ces défauts afin de minimiser leur influence.

Nous présentons dans la figure 3.15 la caractéristique d'un transistor réalisé sur un substrat polyimide sur verre (la mobilité obtenue de $0.4 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ et le rapport courant ON/OFF de 10^4) et dans la figure 3.16 celle sur un substrat acier (la mobilité obtenue n'est pas homogène sur l'ensemble de transistors sur l'échantillon, de < 0.5 à $4 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ et le courant de grille reste assez élevé [67]).

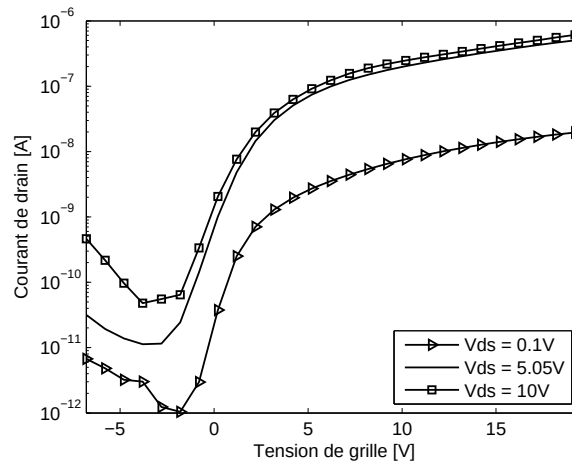


Figure 3.15 – Caractéristique du TFT sur polyimide avec le substrat de verre.

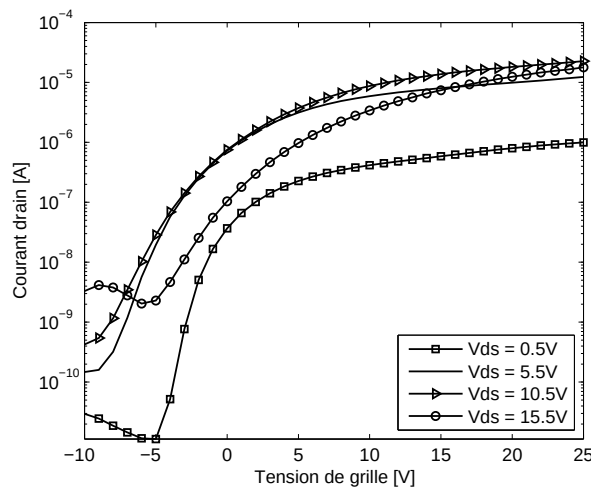


Figure 3.16 – Caractéristique du TFT sur polyimide avec le substrat en acier.

3.5 Conclusion

Ce chapitre couvre les technologies utilisées pour la réalisation de transistors en couches minces utilisant le silicium microcristallin, de la conception de masques aux étapes technologiques en salle blanche. Les variations des paramètres géométriques ont été implémentées sur les masques afin d'étudier leurs influences sur les caractéristiques des transistors. Ces études nous permettront de prévoir au mieux les influences de la technologie dans la modélisation de ce composant que nous verrons dans la suite.

Ce chapitre a présenté également la technologie de réalisation de transistors sur substrat souple : polyimide et acier. Toutes les caractérisations sur le matériau silicium microcristallin déposé sur un substrat souple donnent des propriétés similaires à celui déposé sur un substrat conventionnel (le verre). La différence entre les deux technologies se limite pratiquement à l'état de surface.

Une fois les transistors en silicium microcristallin réalisés, nous allons par la suite les caractériser pour obtenir les réponses, pour différents paramètres technologiques (la taille, les épaisseurs de couches) et aussi en modifiant les conditions de caractérisation.

CARACTÉRISATION DES μ C-Si TFTs, EXTRACTION DES PARAMÈTRES

Les chapitres précédents nous ont permis de définir la structure et la technologie que nous avons utilisées pour concevoir et réaliser expérimentalement nos transistors TFTs en silicium microcristallin. Dans cette partie nous nous attacherons tout d'abord à présenter la caractérisation des transistors en décrivant succinctement le banc de mesure que nous avons utilisé et les différentes conditions de caractérisation. Puis, dans un second temps, nous présenterons la façon dont nous avons extrait les principaux paramètres de modélisation de ces transistors .

4.1 Caractérisation des transistors

Banc expérimental de caractérisation

La caractérisation des TFTs a été réalisée avec un banc spécifique de mesure sous pointes conçu au laboratoire LPICM. Ce banc présenté sur la figure 4.1 comprends 4 pointes ; il permet de faire une mesure :

- En minimisant les perturbations électromagnétique extérieures (réalisation de l'enceinte extérieure métallique fermée).
- En contrôlant la température du substrat via un Peltier et une sonde de température PT100 (plage de -10 à 80 °C).
- En réalisant un vide primaire dans l'enceinte pour minimiser les courants de surface liés à l'humidité de l'air.

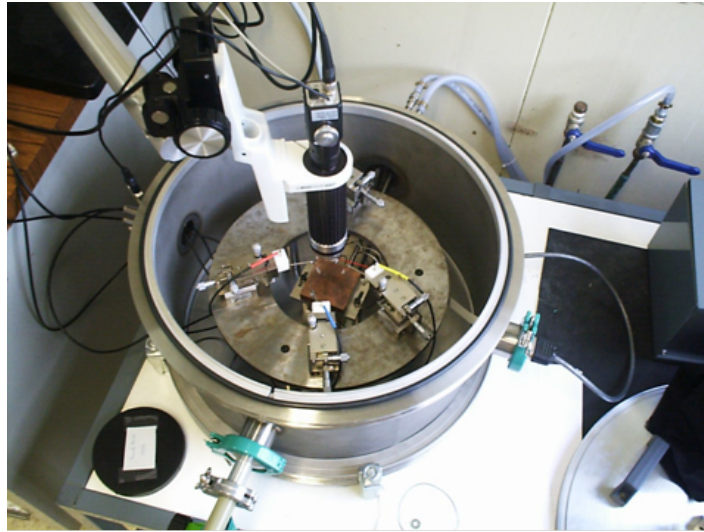


Figure 4.1 – Banc de mesure des caractéristiques.

Du point de vue des systèmes de mesure, nous avons utilisé pour les réponses statiques un analyseur de caractéristiques de semiconducteur le 4200 de chez Keithley et pour les réponses dynamiques les capacimètres 590 et 595 toujours de chez Keithley.

Il est à noter que l'ensemble de ce système de mesure a été connecté via un port GPIB à une station SUN comportant la chaîne logiciel de simulation électronique CADENCE et le logiciel d'extraction automatique de paramètre ICCAP de chez Agilent. Une description plus détaillée de cette structure sera présentée dans le chapitre suivant.

Comme le but de ce travail est de réaliser des transistors pour les applications OLED, il est nécessaire d'étudier leur fonctionnement dans des conditions comme par exemple la température (l'été, l'hiver), l'humidité de l'environnement.

Type de caractérisations

Avec le banc de mesure que nous venons de décrire nous avons réalisé les mesures suivantes :

- Caractéristiques statiques $I_D(V_{DS})$ et $I_D(V_{GS})$.
- Modification de ces caractéristiques sous stress de tension (vieillissement accéléré).
- Modification de ces caractéristiques suivant la condition d'environnement (humidité, pression, température).
- Prise en compte des différents paramètres propres à la mesure (sens et vitesse des rampes des sources de tensions).

- Caractéristiques dynamiques avec les capacimètres.

L'ensemble de ces mesures a pour but de couvrir le plus possible l'ensemble des variations des paramètres intrinsèques de nos modèles de transistors $\mu\text{c-Si}$ TFTs. Ces caractérisations sont utilisées pour l'extraction des paramètres, mais elles le sont aussi pour mettre en évidence le comportement des transistors vis à vis du vieillissement et du stress en température.

Une caractéristique typique de transistor réalisé en silicium microcristallin est montrée dans la figure 4.2 avec une taille $W/L = 200/10\mu\text{m}$.

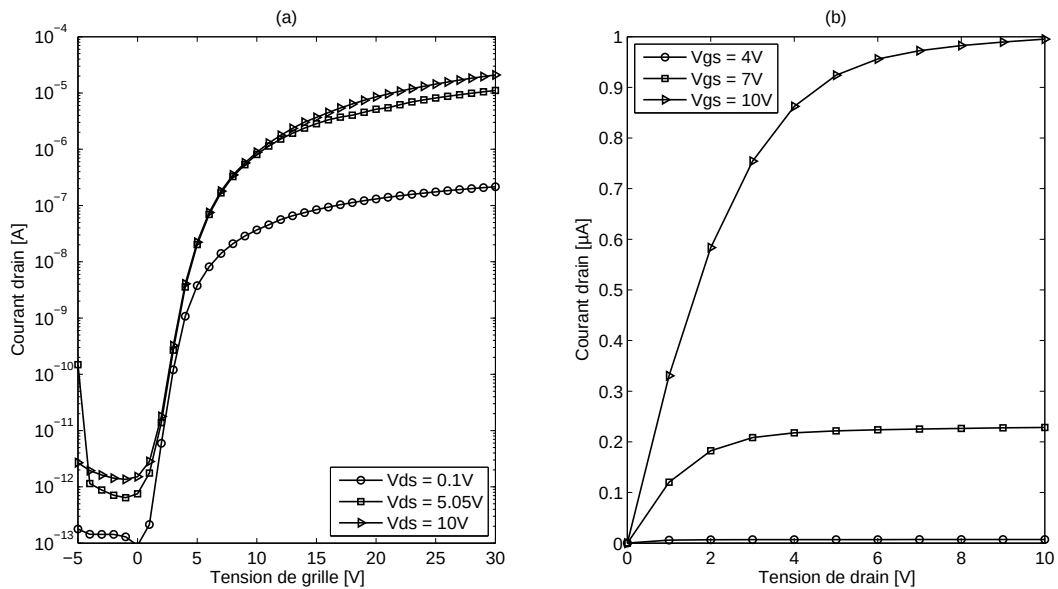


Figure 4.2 – Caractéristiques typiques du TFT réalisé en silicium microcristallin.

La figure 4.2a montre le courant de drain I_D en fonction de la tension V_{GS} pour différentes valeurs de V_{DS} et la figure 4.2b montre le courant de drain I_D en fonction de la tension V_{DS} pour différentes valeurs de V_{GS} .

Classiquement on met en évidence sur la figure 4.2a, le fonctionnement de transistor en régime de fuite (très faible V_{GS}), en régime au dessus de seuil (grand V_{GS}) et en régime sous le seuil (V_{GS} intermédiaire).

De même, on met en évidence sur la figure 4.2b le fonctionnement de transistor en régime linéaire (faible V_{DS}) et en régime de saturation (grand V_{DS}).

4.2 Paramètres des transistors

L'extraction des paramètres importants de TFT à partir de données expérimentales se fait principalement en simplifiant la modélisation. On utilise en général, comme référence pour ces procédures d'extraction, les méthodologies existantes qui sont classiquement mises en œuvre pour les transistors NMOS en silicium monocristallin ou pour les transistors TFTs en silicium amorphe.

4.2.1 La mobilité linéaire

La mobilité de porteurs majoritaires dans le canal représente la conductivité du transistor. Avec la structure bottom gate, le courant doit traverser l'épaisseur de la couche active qui représente comme une résistance d'accès avant d'atteindre le canal. Pour notre modélisation, nous ne nous intéressons qu'à la mobilité linéaire globale du transistor, dite *mobilité à effet de champ*.

L'extraction de la mobilité linéaire du transistor se fait en considérant que son fonctionnement est en régime linéaire (faible V_{DS}), c'est à dire que la relation entre le courant de drain I_{DS} et les tensions appliquées est de la forme [28] :

$$I_{DS} = \frac{W}{L} \mu_0 C_{ox} (V_{GS} - V_T) V_{DS} \quad (4.1)$$

Dans cette équation, μ_0 représente la mobilité linéaire du transistor ; W et L sont respectivement la largeur et la longueur du canal ; C_{ox} la capacité d'isolant de grille par unité de surface et V_T la tension de seuil. Cette relation est similaire à celle d'un transistor monocristallin en régime linéaire ¹.

En appliquant la dérivation partielle $\partial I_{DS} / \partial V_{GS}$ à la caractéristique $I_{DS}(V_{GS})$ pour toutes les valeurs de V_{GS} , on obtiendra une courbe $\mu(V_{GS})$ qui sature à la valeur μ_0 comme montré sur la figure 4.3.

Généralement, la mobilité linéaire obtenue ² est d'environ $1 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ mais sur certains transistors nous avons mesuré des mobilités linéaires supérieures à $3 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$.

¹Le régime linéaire d'un transistor en silicium monocristallin est défini par $V_{GS} > V_T$ et $V_{DS} < V_{GS} - V_T$.

²Certain groupes travaillent avec une structure de TFT coplanaire et arrivent à obtenir une mobilité linéaire supérieure [17] [18]. Nous montrerons dans les chapitres suivants qu'une mobilité linéaire de quelques $\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ est déjà suffisante pour les applications de type pixel OLED.

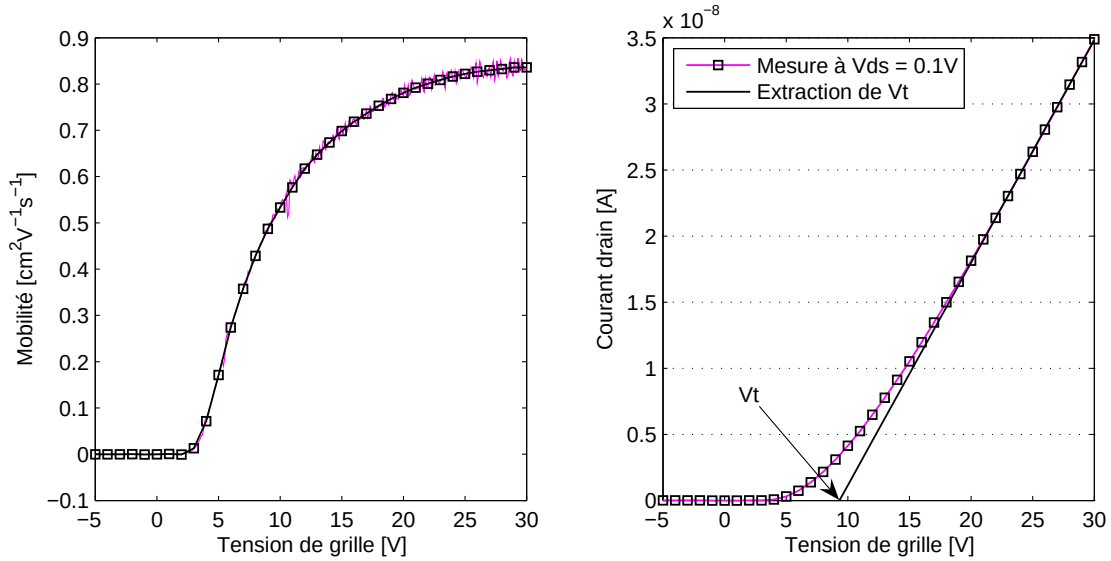


Figure 4.3 – Extraction de la mobilité et de la tension de seuil en régime linéaire.

4.2.2 La tension de seuil

Approche linéaire

En se basant sur l'équation électrique en régime linéaire 4.1, et en linéarisant, de manière affine, les derniers points de la caractéristique $I_{DS}(V_{GS})$, on obtient la tension de seuil V_T qui est l'intersection de cette droite avec l'axe des abscisses V_{GS} .

En pratique, le transistor en silicium microcristallin ne représente pas une caractéristique linéaire totalement similaire à celle décrite dans cette équation. Cela est dû aux propriétés électroniques différentes du silicium microcristallin par rapport au silicium monocristallin plus particulièrement en ce qui concerne le piégeage et la densité d'états³. La modélisation, proposée par Estrada et *al.* [32], concernant le comportement des transistors en silicium amorphe, nous semble plus adaptée. En effet ces derniers possèdent, comme pour le silicium microcristallin, une densité d'états avec des queues de bandes et des piégeages profonds.

Approche type silicium amorphe

Dans l'approche correspondant aux transistors en silicium amorphe, la relation entre le courant I_D et les tensions appliquées en régime linéaire est donnée par (voir annexe sur la

³Le chapitre 7 sur la modélisation du TFT reviendra sur cette différence.

modélisation de transistors en silicium amorphe [31]) :

$$I_D = \frac{W}{L} \frac{1}{V_{aa}^\gamma} \mu_0 C_{ox} (V_{GS} - V_T)^{\gamma+1} V_{DS} \quad (4.2)$$

V_{aa} représente la dépendance de la mobilité linéaire en tension de grille appliquée et γ le coefficient de puissance de cette dépendance.

À partir de l'équation 4.2, on obtient :

$$B = \frac{\int_{V_T}^{V_{GS}} I_D(x) dx}{I_D(V_{GS})} = \frac{1}{\gamma + 2} (V_{GS} - V_T)$$

L'intégrale peut être estimée par intégration de 0 à V_{GS} car V_T est une variable inconnue à déterminer et le courant drain est bien très faible entre 0 et V_T .

On linéarise les derniers points de B par une droite pour obtenir la valeur de γ et de la tension de seuil V_T (comme expliqué en haut).

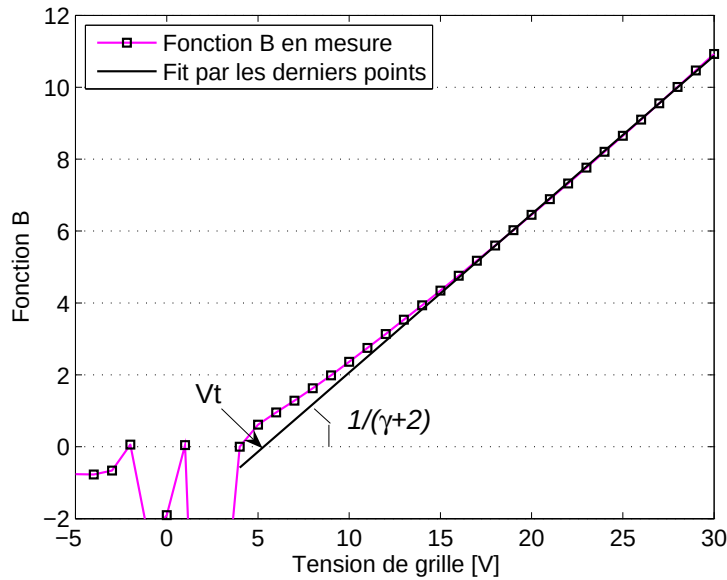


Figure 4.4 – Fit les derniers points pour γ et la tension de seuil.

Généralement, le paramètre γ est de l'ordre de 0.3. Il est à noter que le silicium monocristallin correspond à $\gamma = 0$ pour revenir à l'équation 4.1. La tension de seuil V_T obtenue par cette approche est plus petite que celle obtenue via la méthode liée au silicium monocristallin.

4.2.3 La tension de bande plate

Par définition, la tension de bande plate est la tension appliquée entre le métal et le semiconducteur (dans la structure MOS) pour que les bandes de conduction et de valence soient plates sans déformation. Dans le cas idéal (sur la qualité des couches), la tension de bande plate est la différence de niveau de Fermi entre le métal et le semiconducteur.

En réalité, il existe toujours des charges piégées dans l'isolant de grille générées par le bombardement ionique pendant le dépôt plasma PECVD des couches, ce qui engendre un fort décalage de la tension de bande plate, jusqu'à une dizaine de volts [35] pour certains cas.

Dans une première approximation, on peut considérer que la tension de bande plate est la tension pour laquelle le courant de drain I_D est minimum ⁴ dans la caractéristique $I_D(V_{GS})$.

On peut noter que la tension de seuil est également modifiée par les charges piégées dans l'isolant de grille.

4.2.4 La pente sous le seuil

La pente sous le seuil est un paramètre définissant la "vitesse" de commutation ON – OFF du transistor. Elle est localisée dans le régime sous le seuil de transistor. Dans ce régime, lorsque la tension V_{GS} augmente, les états piégés continuent à se remplir, ralentissant la mise en conduction du transistor. Les études sur la pente sous le seuil nous permettent de comprendre l'influence des paramètres de dépôt sur les états localisés.

La pente sous le seuil est exprimée en V_{dec}^{-1} .

Classiquement, on peut classer les valeurs de pente sous le seuil en fonction de la taille des cristaux du matériau silicium considéré : le transistor en silicium monocristallin présente la pente sous le seuil la plus faible ; puis c'est celui en silicium polycristallin ; puis celui en silicium microcristallin et enfin celui en silicium amorphe.

4.2.5 Le courant I_D^{on} et le courant I_D^{off}

Le courant I_D^{off} définit le courant de fuite du transistor, c'est à dire le courant de drain quand le transistor est bloqué. Le courant I_D^{on} définit le courant de drain maximum quand le

⁴Certains auteurs proposent de mesurer la tension de bande plate via la caractéristique dynamique [26].

transistor est passant. Nous nous intéressons plutôt au rapport ON/OFF qui est un paramètre important de caractérisation de la performance de nos transistors TFTs.

Généralement, le courant I_D^{off} du transistor dépend de la largeur du canal, de la conductivité intrinsèque et de l'état d'interface de la couche active tandis que le courant I_D^{on} dépend du rapport $\frac{W}{L}$ et de la mobilité à effet de champ du transistor ⁵. D'un point de vue pratique, toutes les applications comme les pixels OLED et les inverseurs, ont besoin d'un courant de fuite faible et d'un courant ON important. Prenons par exemple le cas du circuit pixel OLED que nous allons étudier en détail dans le chapitre 7. Le transistor T_1 doit bloquer le signal pendant toute la trame et il doit avoir donc un courant de fuite faible (de l'ordre de 1 pA pour $W/L = 1$). Le transistor T_2 fournit le courant qui alimente l'OLED et doit donc donner un courant ON important.

Le transistor réalisé en silicium polycristallin a généralement un courant de fuite important à cause de sa structure coplanaire et de sa mobilité élevée. C'est pour cette raison que la technologie de fabrication de ce type de transistors est plus complexe. On ajoute une couche faiblement dopée LDD (*Lightly Doped Drain*) entre le drain – source et le canal diminuant ainsi la mobilité globale.

Au contraire, le transistor en silicium amorphe donne un courant de fuite très faible mais il n'a pas une mobilité suffisante pour les applications visées. Dans ce cas, la compensation pourrait être le grossissement de la taille du transistor mais ce n'est pas toujours évident, surtout dans le cas d'une surface limitée comme pour le pixel OLED.

4.2.6 La résistance d'accès

La résistance d'accès est celle entre le contact métallique drain ou source et le canal. Du fait de la structure bottom gate du transistor, le courant de drain doit traverser la couche de silicium dopé N+ ⁶ et quasiment l'ensemble de la couche de silicium microcristallin intrinsèque ⁷ avant d'atteindre le canal.

La résistance d'accès peut être considérée comme constituée de deux résistances identiques mises en série avec le transistor "idéal" (c'est à dire transistor sans résistance d'accès).

⁵Nous allons revenir sur cette analyse dans la partie de modélisation.

⁶L'interface N+ et le métal drain – source peut avoir une sous couche de silice SiO_2 car les échantillons sont mis à l'air pendant un temps bref après le dépôt de N+. Cette sous couche ajoute une résistance supplémentaire (qui est généralement faible) dans la résistance d'accès.

⁷Le canal ne se crée que sur les premiers nanomètres de la couche microcristalline.

Si cette résistance est trop élevée, la caractéristique $I_D(V_{GS})$ devient saturée pour un V_{GS} grand. Cette résistance modifie la mobilité à effet de champ globale (valeur extraite à partir de la caractéristique $I_{Ds}(V_{GS})$) du transistor comme montré dans la figure 4.5b ⁸.

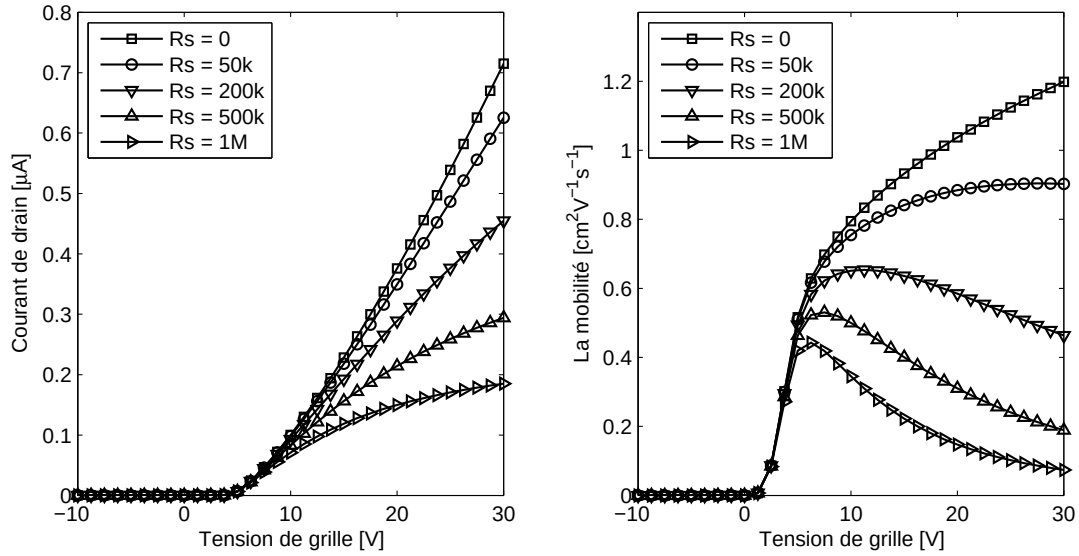


Figure 4.5 – Influence de la résistance d'accès à $V_{ds} = 1V$.

L'extraction de la résistance d'accès se fait à partir des caractéristiques de transistors obtenues pour différentes longueurs du canal.

Pour limiter l'influence résistive de la sous-couche parasite de silice, il faut réduire le temps d'exposition à l'air après chaque dépôt PECVD des couches de silicium (soit la couche active, soit la couche N+). On peut également faire une petite gravure RIE avant le dépôt de métal Cr sur la couche N+ par exemple (avec le risque d'abîmer la couche).

La réduction d'épaisseur de la couche active (couche microcristalline intrinsèque) pour réduire la résistance d'accès n'est pas possible en dessous de $1500\text{\AA}$ et cela pour deux raisons :

⁸En réalité, la résistance d'accès R_s n'est pas le seul facteur qui fait chuter la mobilité lorsque la tension grille – source augmente. Par exemple, la modification de la mobilité dans le transistor en silicium polycristallin est modélisée par plusieurs éléments [49] :

$$\frac{1}{\mu} = \frac{1}{\mu_b} + \frac{1}{\mu_{sr}} + \frac{1}{\mu_{ac}}$$

Avec μ_b la mobilité dans la couche active, μ_{sr} la mobilité dans la couche rugueuse et μ_{ac} la mobilité limitée par les phonons. Les deux derniers diminuent en augmentant le champ électrique perpendiculaire à l'interface isolant de grille – semiconducteur (c'est-à-dire V_{GS}).

- Comme montré dans le chapitre 2, l’obtention d’une couche de silicium microcristallin est un processus dynamique qui nécessite le dépôt d’une couche d’épaisseur minimale.
- Comme montré dans le chapitre 3, la gravure de la couche dopée N⁺ est difficile, il est souvent nécessaire de sur-graver 500Å de silicium microcristallin.

4.3 La stabilité

La stabilité des paramètres électriques d’un transistor a une influence directe sur les performances de l’application visée. Prenons comme exemple les pixels des écrans OLED : une modification de tension de seuil change le niveau de courant ON du transistor et donc modifie la luminance de l’écran pour la même tension de commande V_{Data} appliquée.

Il y a trois mécanismes principaux de dégradation des paramètres (surtout en ce qui concerne la tension de seuil, le rapport de courant ON/OFF, la pente sous le seuil et la mobilité) pendant le fonctionnement du transistor. Ces trois mécanismes sont :

- La dégradation des propriétés intrinsèques du matériau par des porteurs chauds [53].
- L’implantation des charges piégées dans l’isolant de grille [54] [55].
- La création d’états métastables dans le semiconducteur [56] [57].

La dégradation par les porteurs chauds (les porteurs de charge se déplaçant à très grande vitesse) se produit aux niveaux de courant élevé dans le canal (c’est-à-dire la tension V_{DS} élevée).

L’implantation de la charge piégée dans l’isolant de grille modifie la courbure de bande et par conséquent, elle décale la tension de bande plate ainsi que la tension de seuil. La qualité de l’isolant de grille utilisé ainsi que la qualité de l’interface sont des facteurs très importants pour limiter ce mécanisme d’implantation de charges piégées.

La création des états métastables venant de la recombinaison non radiative de paires électron – trou ajoute des défauts dans les états de queue de bande [58].

Nous verrons plus tard dans le chapitre 5 de modélisation des transistors que les états profonds et les queues de bande contribuent de façon directe à la pente sous le seuil et plus généralement à la caractéristique électrique du transistor fonctionnant en régime au dessus du seuil. Ces deux mécanismes se produisent pour des valeurs élevées de tension de grille ⁹, et sont beaucoup observés dans le transistor en silicium amorphe.

⁹C’est à dire à un champ perpendiculaire à l’interface isolant de grille – semiconducteur important.

Malgré la cristallisation élevée de nos matériaux silicium microcristallin (plus de 90 %), la conductivité de ce matériau reste encore assez faible (présence de nombreux joints de grains). En plus, avec la structure bottom gate, le courant dans le canal est limité par les résistances d'accès qui ne sont pas négligeables. Par conséquent, la dégradation des propriétés du matériau par des porteurs chauds n'a pas d'effet vraiment significatif.

Avec la même structure bottom gate et la méthode de dépôt PECVD dans le même réacteur que le silicium amorphe, la stabilité du matériau silicium microcristallin peut donc se décrire, en première approche, avec les mêmes mécanismes que pour le silicium amorphe. Par contre, la création des états métastables est beaucoup plus faible dans le silicium microcristallin que dans le silicium amorphe grâce à sa fraction cristalline élevée.

Pour les études de la stabilité, le transistor est mis sous une tension de grille élevée de 25 V et une tension drain – source de 0.1 V pendant quelques heures ¹⁰ dans la température ambiante. On mesure les caractéristiques $I_D(V_{DS})$ et $I_D(V_{GS})$ après des intervalles de temps de stress fixés 0, 100 s, 500 s, 600 s, 1600 s, 5200 s et 15200 s pour étudier l'évolution des paramètres.

La figure 4.6 montre l'évolution des caractéristiques pendant le stress d'un TFT, de la réponse originale ($t = 0$) à la caractéristique après 15200 s de stress. L'évolution de la tension de seuil du transistor, pendant le stress, est montrée dans la figure 4.7. Cette évolution sera utilisée pour estimer la durée de vie des dispositifs.

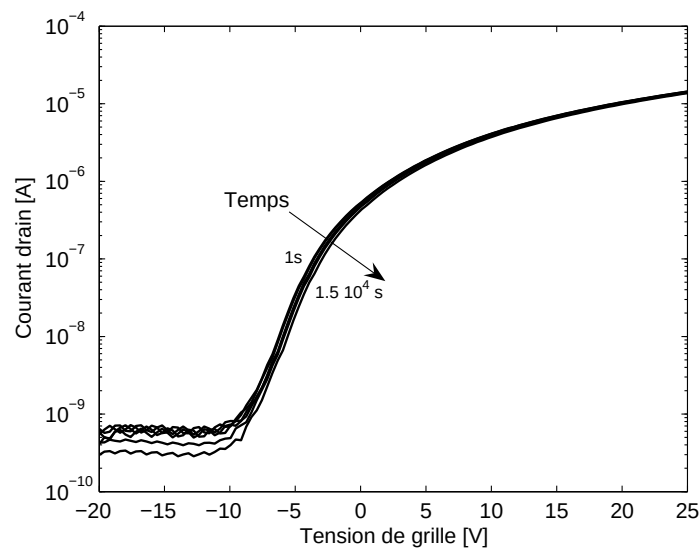


Figure 4.6 – Caractéristiques à $V_{DS} = 12V$ de TFT stressé.

¹⁰On reprend ici la méthodologie de stress mise en œuvre dans les centres de recherche de Philips.

En comparaison avec le transistor réalisé en silicium amorphe, le silicium microcristallin présente une stabilité bien meilleure [59] [60]. La tension de seuil du silicium amorphe se modifie classiquement de quelques volts après le même temps de stress, tandis que nous avons obtenu un décalage de l'ordre de 0.7 V.

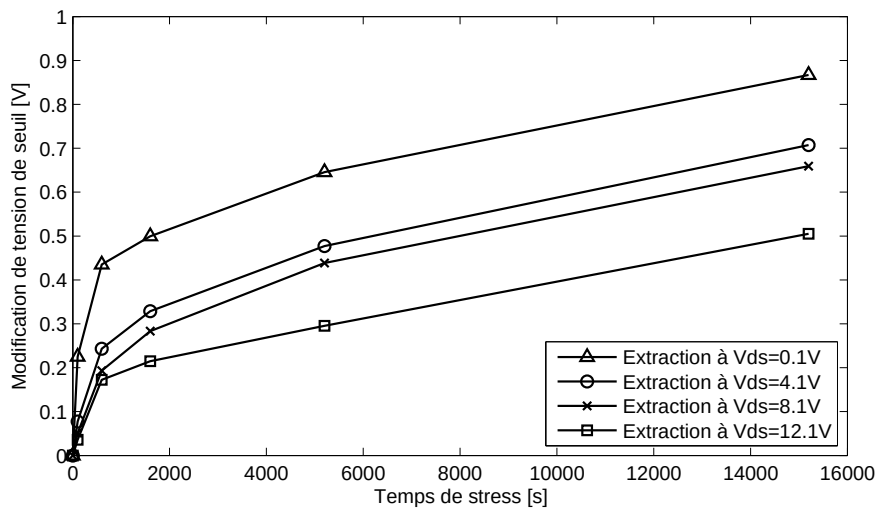


Figure 4.7 – Modification de la tension de seuil de transistor sous stress.

4.4 Études en température

Comme le but de la modélisation est de démontrer la possibilité d'utiliser le silicium microcristallin dans les applications tels que les pixels OLED, il est nécessaire d'étudier le comportement en fonction de la température de ces transistors ¹¹. D'une part, c'est parce que les circuits pixel OLED produisent de la chaleur par la perte ohmique et par la lumière. Et d'autre part, le dit écran doit pouvoir fonctionner sous diverses conditions environnementales (en été et en hiver, par exemple).

La figure 4.8 montre une série de caractéristiques sous différentes températures de fonctionnement. On a observé que le courant augmente légèrement lorsque la température augmente. Cela correspond à la modification des propriétés électroniques du matériau par le facteur thermique. Plus précisément on peut dire que :

¹¹On peut estimer la température d'un écran OLED en fonctionnement à environ 60 °C.

- La densité de défauts se caractérise par une dépendance en température ¹². Plus la température augmente, moins la densité de défauts est importante ¹³. Par conséquent, la tension de seuil ainsi que la pente sous le seuil s'améliorent quand la température augmente.
- La mobilité d'effet de champ d'un transistor est reliée à la température via l'énergie d'activation E_a [52] qui est l'image de la largeur des états de queues de bande mais pas de $E_C - E_V$ [30] :

$$\mu = \mu_0 \exp\left(-\frac{E_a}{k_B T}\right)$$

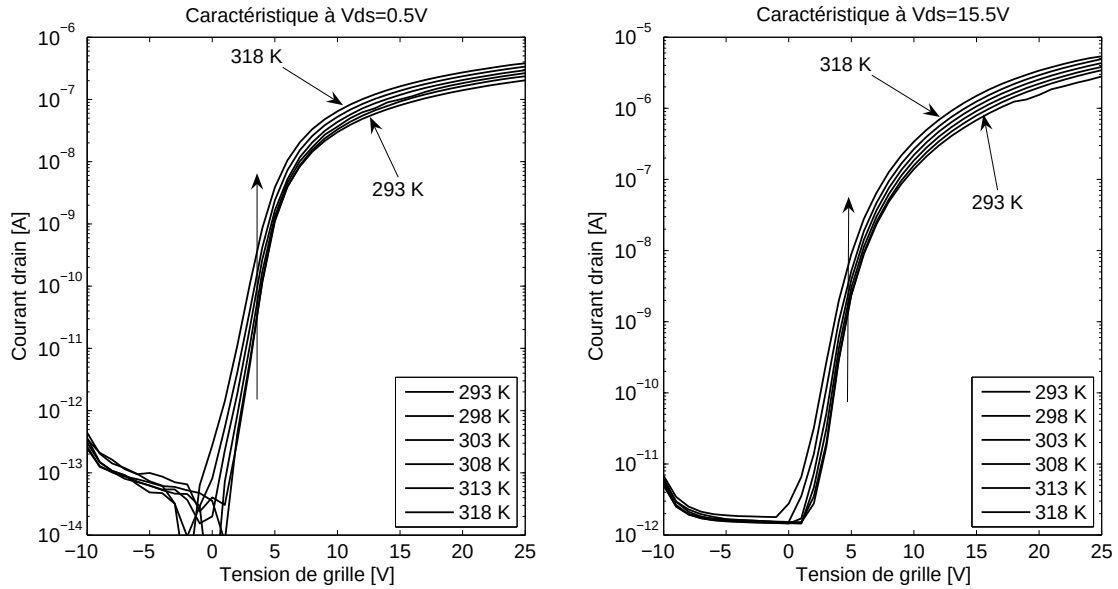


Figure 4.8 – Caractéristiques du TFT pour différentes températures.

La modification de la tension de seuil, de la pente sous le seuil et de la mobilité des transistors sont présentées sur la figure 4.9 ¹⁴.

À partir de ces courbes, on peut estimer que la dépendance de la tension de seuil, de la pente sous le seuil en température sont données par les équations suivantes :

$$V_T = V_{T0} + K_{vt}(T - T_0) \quad (4.3)$$

$$SL = SL_0 + K_{SL}(T - T_0) \quad (4.4)$$

¹²Nous verrons la mise en équation dans le chapitre 5 de modélisation.

¹³L'augmentation en température accroît l'énergie des porteurs de charge qui sont donc plus difficiles à piéger.

¹⁴La plage de variation de température est limitée par la capacité du module de contrôle Kcal relié à Keithley qui dépend beaucoup de la condition de l'ambiance.

dans lesquelles V_{T0} et SL_0 sont respectivement la tension de seuil et la pente sous le seuil à la température de référence T_0 ; K_{vt} , K_{SL} les coefficients thermiques de la tension de seuil et de la pente sous le seuil.

On obtient $K_{vt} = -0,09 \text{ VK}^{-1}$ et $K_{SL} = 0,02 \text{ Vdec}^{-1} \text{ K}^{-1}$.

Pour la mobilité, l'énergie d'activation est de $E_a = 0.18 \text{ eV}$.

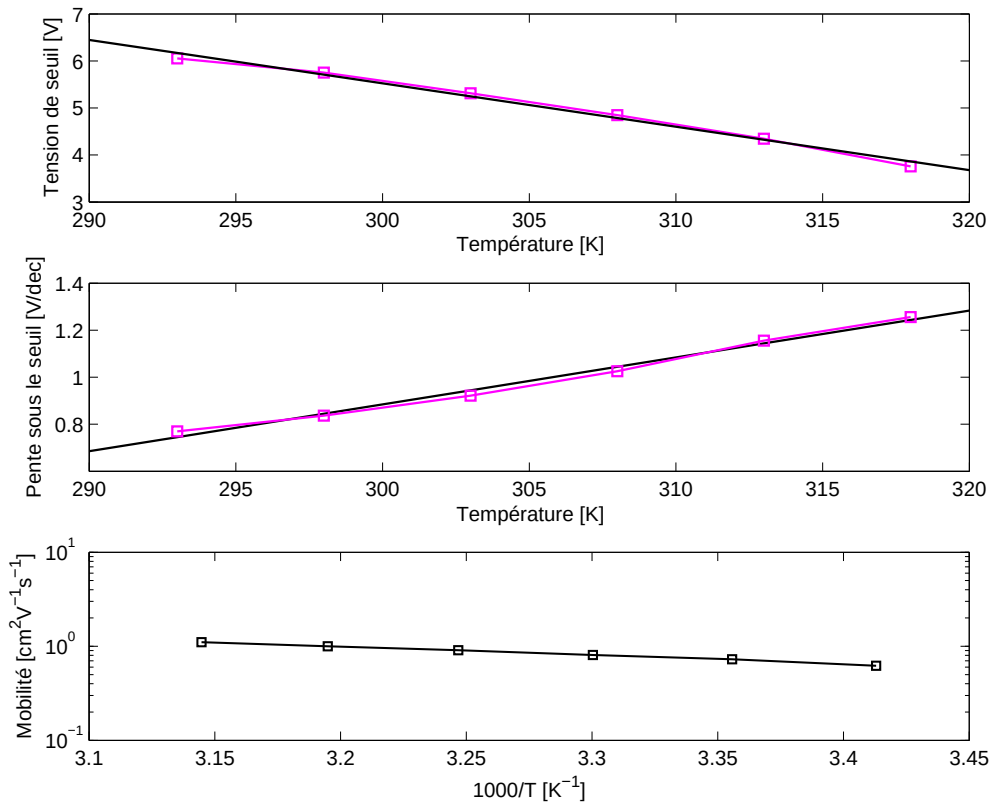


Figure 4.9 – Tension de seuil, pente sous le seuil et mobilité pour différentes températures.

4.5 Influence des technologies sur les performances

Certaines étapes de fabrication des transistors ont un rôle direct sur leurs valeurs des paramètres électriques.

Le recuit

Le recuit effectué à l'air ou dans le réacteur sous hydrogène, donne une caractéristique de bien meilleure qualité. La figure 4.10 montre une comparaison entre la caractéristique avant

et après le recuit dans un réacteur. L'amélioration est encore plus significative en régime de fuite. Comme nous l'avons déjà décrit dans les chapitres précédents, on suppose que, après l'exposition à toutes les étapes de fabrication, il y a des résidus implantés dans la couche active qui accroissent le piégeage de charges. Le recuit à température de dépôt a ainsi pour but d'éliminer ces résidus ¹⁵ [27].

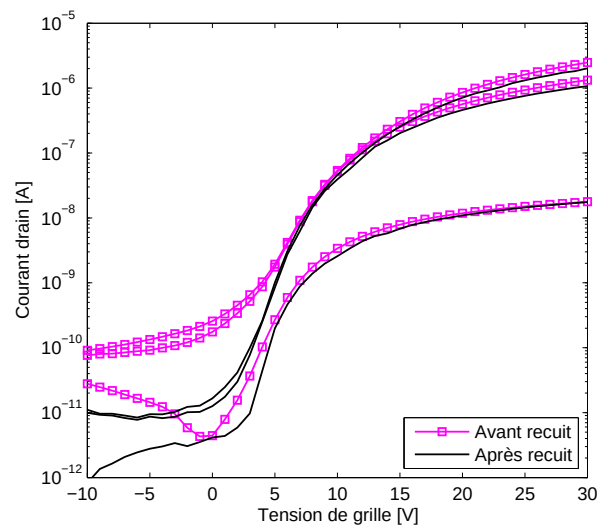


Figure 4.10 – Caractéristique des transistors avant et après le recuit.

La sous-gravure

La sous-gravure est plus importante dans le cas de la gravure de chrome. Elle est effectuée par voie humide et est donc isotrope.

Pour la gravure du chrome des contacts drain – source, la sous-gravure modifie la largeur et la longueur du canal tandis que la gravure du chrome de contact de grille peut influencer considérablement les propriétés électroniques des couches à déposer (le nitrure, le silicium microcristallin, le N+) car la sous gravure modifie l'état de surface sur laquelle ces couches vont être déposées. Cela peut par exemple engendrer des effets de pointes qui sont souvent destructeurs pour l'isolant de grille.

Le développement de la résine photosensible après la lithographie peut générer également des phénomènes de sous-gravure.

¹⁵Le plasma d'hydrogène grave et passive le "back channel".

La gravure RIE

La gravure RIE est plus de caractère physique que chimique, elle donc très anisotrope car les ions envoyés sont bien orientés perpendiculairement à la surface du substrat. Elle engendre très peu de sous-gravure.

Si la couche N+ n'est pas entièrement gravée, le TFT a alors un courant de fuite très important. Si on grave un peu trop de silicium (N+ et une sous couche de silicium microcristallin), le canal est trop exposé au plasma de gravure ce qui accroît de manière dramatique les piègeages.

Détection de fin de gravure RIE

La taille du faisceau laser servant à détecter la fin gravure RIE joue également sur la performance de la technologie. Pendant la gravure du silicium N+ (considérant que l'on suive l'étape 5b dans la figure 3.8), on doit positionner le laser sur le canal d'un transistor $200\ \mu\text{m} \times 100\ \mu\text{m}$. Ainsi la tache de diffraction est plus petite que la taille du canal.

4.6 Conclusion

Dans ce chapitre, nous avons réalisé la caractérisation des transistors pour différentes conditions de fonctionnement et aussi présenté les méthodes classiques d'extraction des paramètres du transistor. Les transistors que nous avons réalisés ont une mobilité de l'ordre de $1\ \text{cm}^2\text{V}^{-1}\text{s}^{-1}$, une tension de seuil de quelques $4\ \text{V}$, un rapport $I_D^{\text{on}}/I_D^{\text{off}}$ pouvant atteindre 10^7 et une modification de tension de seuil de quelques $0.7\ \text{V}$ sous la même condition de stress que le transistor en silicium amorphe pendant $1.5 \cdot 10^4\ \text{s}$. Le transistor en silicium microcristallin montre un courant au-dessus du seuil ressemblant à celui du transistor en silicium amorphe. Il montre également un bon régime de saturation sans effet Kink¹⁶. La pente sous le seuil du transistor en silicium microcristallin est de l'ordre de 0.8 à $2\ \text{V dec}^{-1}$. Tous ces paramètres nous permettent de conclure que le $\mu\text{c-Si}$ TFT possède des performances suffisantes pour les circuits pixels OLED de transistors que nous étudierons dans la suite de ce travail.

¹⁶L'effet Kink est un effet très important pour le transistor en silicium polycristallin. Dans ce type de transistor, comme les grains sont larges, les porteurs de charge peuvent atteindre une vitesse très élevée et ils sont arrêtés brutalement par les joints de grains. Les collisions peuvent engendrer des porteurs secondaires et le courant augmente très rapidement en fonction de la tension V_{DS} .

Le chapitre a étudié également les mécanismes de vieillissement du transistor en silicium microcristallin en comparaison avec ceux du silicium amorphe et du silicium polycristallin.

MODÉLISATION SPICE DE TRANSISTOR EN SILICIUM MICROCRISTALLIN

Comme montré dans les sections précédentes, le silicium microcristallin possède des propriétés électroniques intermédiaires entre le silicium amorphe et le silicium polycristallin. Dans la littérature, il existe déjà les modèles de TFTs basés sur le silicium amorphe et sur le silicium polycristallin que nous présentons en annexe. Malgré tout, ces modèles ne sont pas applicables dans leur ensemble à notre problématique. En dépit de nombreux tests l'adaptation de chaque modèle au transistor microcristallin n'est jamais satisfaisante. La conception d'un modèle spécifique au silicium microcristallin nous a donc paru indispensable.

Il est à noter que ce travail a été fait dans le cadre d'un transistor microcristallin de type NMOS mais que l'adaptation à un PMOS ne recouvre pas de difficultés particulières.

La modélisation des transistors en silicium microcristallin présentée dans cette thèse a été écrite dans un langage de description comportemental de composants électroniques : le langage Spice. Ce langage qui est une référence, permet de simuler, avec des temps de résolution acceptables, des circuits électroniques complexes. Dans notre cas, il sera aisé de tester ainsi les comportements de pixels OLED, de portes logiques numériques ou encore de drivers lignes.

De manière à rentrer ce travail encore plus générique et donc pour rendre le code de simulation le plus portable possible sous divers logiciels de simulation, nous avons dans un second temps réécrit le code de simulation du μ c-Si TFT en langage Verilog-A.

Le codage de type Spice se base évidemment sur les équations de la physique régissant le fonctionnement des composants. Mais l'objectif est aussi de concevoir un modèle de type entrées/sorties simple et rapide à compiler. Un travail important de simplification intelli-

gente est nécessaire afin de limiter les calculs (plus particulièrement les dérivations et les intégrations) en conservant la qualité des réponses du modèle.

De manière pratique, nous commencerons par décrire la modélisation des caractéristiques statiques puis dynamiques et puis prendre en compte des effets de la température. Puis nous présenterons la problématique spécifique de l'implantation du modèle dans le simulateur. Nous continuerons par quelques remarques et digressions sur la prise en compte du vieillissement dans le modèle. Enfin, nous terminerons par explorer les résultats expérimentaux qui nous ont permis de valider notre modèle.

5.1 Modélisation de la caractéristique statique

Tous les transistors à effet de champ de type MOSFET fonctionnent plus ou moins suivant le même principe. Lorsque la tension de grille augmente ¹, les électrons sont plus attirés à l'interface semiconducteur – isolant. À partir d'une valeur de cette tension, le semiconducteur à l'interface devient totalement de type N et le canal est créé.

5.1.1 Densité de porteurs de charge

Le comportement de chaque type de semiconducteur (silicium amorphe, silicium microcristallin, silicium polycristallin, silicium monocristallin) est directement lié à son profil de densité d'états de charge.

Les différentes densités d'états sont montrées sur la figure 5.1.

- Le silicium monocristallin montre une densité de défauts très faible et elle change brutalement au niveau de la bande de valence et de la bande de conduction.
- Le silicium polycristallin est parfaitement cristallisé (avec des grains de taille micrométrique). Les défauts correspondent aux liaisons Si–Si faiblement distordues. Ils sont modélisés, au niveau de la densité d'états, par une fonction exponentielle de pente assez raide pour les queues de bande et par une densité constante N_{prd} (les états profonds) pour les défauts aux joints de grains [42].
- Le silicium microcristallin est différent du silicium polycristallin principalement par la taille des grains qui est plus petites (50 à 100 nm). La densité des états localisés

¹Comme mentionné précédemment, on considère que le transistor est de type N pour simplifier l'explication.

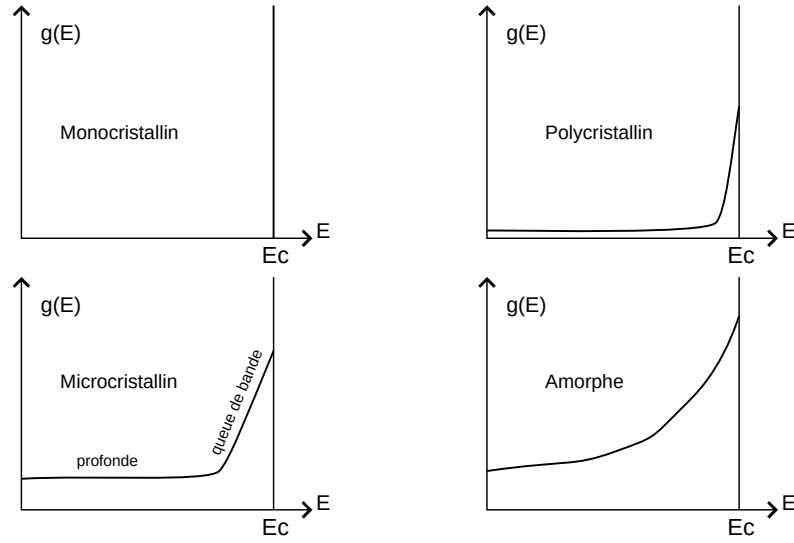


Figure 5.1 – Densité d'états de différents types de silicium.

n'est pas trop éloignée de celle du silicium polycristallin. La densité d'états peut être modélisée ainsi par une fonction exponentielle avec une pente plus douce pour les queues de bande ² et une densité constante N_{prd} ou gaussienne pour les états profonds.

$$g(E) = N_{prd} + N_{queue} \exp\left(\frac{E - E_C}{k_B T_{queue}}\right) \quad (5.1)$$

- Le silicium amorphe représente une transition encore plus douce de l'état profond à la bande de conduction (les queues de bande sont encore plus importantes).

Les porteurs libres et les porteurs piégés jouent chacun dans le fonctionnement du transistor. Les porteurs piégés, avec la concentration n_t , sont présents sur les états de queues de bande et sur les états profonds. La densité de porteurs libres peut être obtenue en considérant que le comportement est assimilable à un semiconducteur monocristallin [42].

À partir de l'équation 5.1 sur la densité d'états, la concentration de porteurs piégés localisés est donnée par :

$$n_t(y) = \int_{E_V(y)}^{E_C(y)} g(E) f(E) dE = n_{tprd}(y) + n_{tqueue}(y) \quad (5.2)$$

Avec $f(E)$ la probabilité d'occupation :

$$f(E) = \frac{1}{1 + e^{(E-E_F)/(k_B T)}}$$

²D'autres modèles ont été proposés par différents auteurs. Ils sont basés sur une ou plusieurs exponentielles.

Et la densité de porteurs libres est donnée par :

$$n(y) = N_C \exp - \frac{E_C(y) - E_F}{k_B T} \quad (5.3)$$

$$p(y) = N_V \exp - \frac{E_F - E_V(y)}{k_B T} \quad (5.4)$$

E_C et E_V sont les niveaux d'énergie respectivement de la bande conduction et de la bande de valence en fonction de la profondeur y représenté sur la figure 5.3. Seulement les porteurs libres engendrent le courant de drain. La densité de charge totale est la somme de ces densités de charge :

$$\rho(y) = q [p(y) - n(y) - n_{tprd}(y) - n_{tqueue}(y)] \quad (5.5)$$

Par symétrie et pour facilité la résolution, la modélisation du transistor est obtenue par la résolution de l'équation de Poisson à une dimension :

$$\frac{dF}{dy} = \frac{\rho(y)}{\epsilon_{Si}} \quad (5.6)$$

F est le champ électrique perpendiculaire à l'interface silicium microcristallin – isolant de grille. Selon le potentiel appliqué à la grille, on se place dans des régimes de fonctionnement différents.

5.1.2 Régimes de fonctionnement des TFTs en silicium microcristallin

En appliquant une tension à la grille du transistor par rapport à la source, nous modifions la position du niveau de Fermi à l'interface semiconducteur – isolant.

Lorsque la tension appliquée est très négative, cette interface se comporte comme un semiconducteur de type P et le transistor fonctionne comme deux jonctions P-N en opposition qui sont en parallèle avec une résistance intrinsèque (la conductivité intrinsèque de la couche active) et un courant de surface.

Lorsque la tension appliquée arrive à la valeur de bande plate, le transistor se comporte comme une résistance intrinsèque et une résistance représentant le courant de surface.

Lorsque la tension appliquée augmente encore, le niveau de Fermi se déplace en se rapprochant de la bande de conduction. Les états de défauts sont remplis et le transistor passe en régime dit “sous le seuil” puis si la tension augmente encore en régime dit “au-dessus du seuil”. Ces deux régimes sont les plus sensibles à la densité des états de queues de bande et aux états profonds.

La figure 5.2 montre la modification de la structure de bande dans chaque régime et la position du niveau de Fermi correspondant. On nomme ici ψ_B le potentiel du semiconducteur très loin de l'interface avec l'isolant de grille, ψ_G le potentiel de la grille et V_{FB} la tension de bande plate. Le régime de fuite correspond à $\psi_G - \psi_B < V_{FB}$ et les régimes au dessous et au dessus du seuil correspondent à $\psi_G - \psi_B > V_{FB}$.

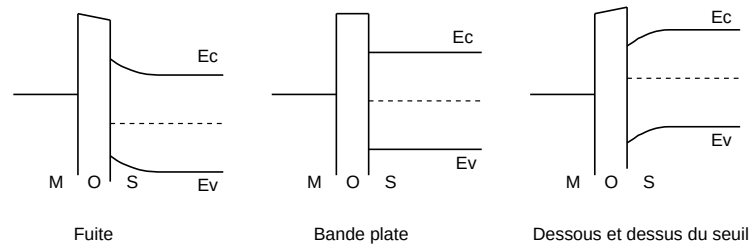


Figure 5.2 – Régimes de fonctionnement de transistors en silicium microcristallin.

Pendant l'ouverture du canal, on commence à appliquer une tension V_{DS} entre le drain et la source. Supposons que la source est reliée à la masse $\psi_{source} = 0$ et le drain est relié au potentiel $\psi_{drain} = V_{DS}$, la propriété électronique à l'interface isolant de grille – silicium microcristallin ne reste pas la même le long du canal du fait que le potentiel ψ_B dépend de x (figure 5.3). Ici on a :

$$\psi_B(0) = 0 \quad \text{au niveau de la source}$$

$$\psi_B(L) = V_{DS} \quad \text{au niveau du drain}$$

Quand la tension V_{DS} est encore petite, $V_{DS} < V_{GS} - V_T$, le courant I_D dépendra des tensions V_{GS} et V_{DS} appliquées. Le transistor est en régime linéaire.

Lorsque on augmente la tension V_{DS} à une valeur $V_{DS} \gg V_{GS} - V_T$, on arrive à la situation où l'interface isolant de grille – silicium microcristallin à $x = 0$ (à la source) est en régime au dessus du seuil et l'interface à $x = L$ (au drain) n'est pas dans le même régime. Comme le courant doit rester le même le long du canal pour assurer une conservation de la charge, une zone de pincement apparaît au niveau du drain.

Si la tension V_{DS} continue à augmenter, la zone de pincement s'élargit et reste encore beaucoup plus petite par rapport à la longueur du canal. Par conséquent, la zone qui définit le niveau du courant reste la même et le courant ne dépend plus de la tension V_{DS} . Le transistor fonctionne en régime de saturation ³.

³Lorsque la longueur du canal est courte, le courant n'est pas totalement indépendant de la tension V_{DS}

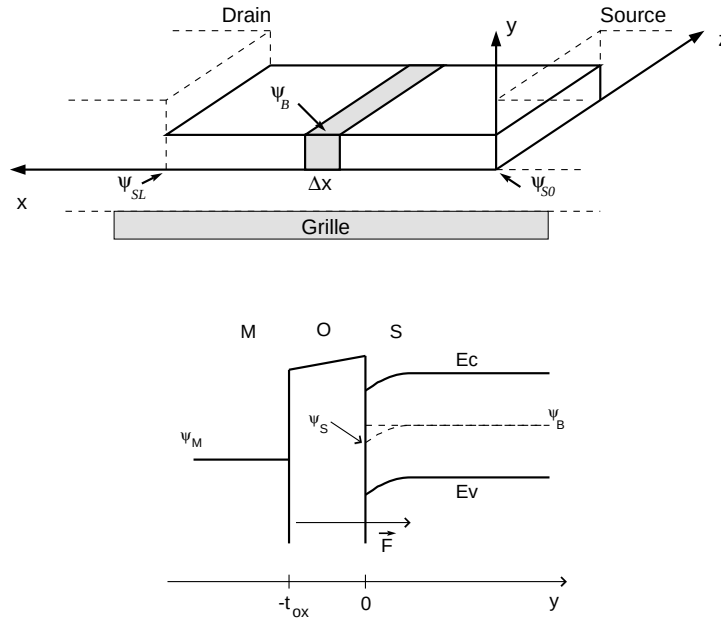


Figure 5.3 – Application de tension V_{DS} au canal et modification de courbure de bande.

5.1.3 Courant de drain

Considérons la structure géométrique d'un transistor présentée sur la figure 5.3. À l'abscisse x , le courant est donné par :

$$I_D(x) = \mu W Q_S(x) \frac{d\psi_S(x)}{dx} \quad (5.7)$$

Dans laquelle μ est la mobilité des porteurs libres dans le canal ; W , la largeur du canal ; $Q_S(x)$, la densité de charges libres par unité de surface dans le semiconducteur (le silicium microcristallin) et ψ_S , le potentiel à l'interface semiconducteur – isolant de grille.

Comme le courant doit rester constant tout le long du canal, l'intégrale $\int_0^L I_D(x) dx$ donne la valeur $I_D L$. On a donc :

$$I_D = \mu \frac{W}{L} \int_0^L \left(Q_S(x) \frac{d\psi_S(x)}{dx} \right) dx = \mu \frac{W}{L} \int_{\psi_{S0}}^{\psi_{SL}} Q_S d\psi_S \quad (5.8)$$

Selon le régime de fonctionnement, l'expression de la densité de charge par unité de surface Q_S sera différente et on obtiendra différent courant de drain I_D .

appliquée. Dans le domaine des grands substrats, la longueur L du canal est suffisamment grande pour assurer une bonne saturation. Par conséquent, la modélisation de ce phénomène n'est pas nécessaire.

Le transistor réalisé en silicium microcristallin partage la même structure géométrique que le transistor en silicium amorphe (TFT bottom gate) mais le matériau silicium microcristallin partage les propriétés électroniques et optiques avec le silicium polycristallin [9] comme mentionné précédemment. Par contre, nous n'avons pas observé le phénomène Kink qui est très important dans le transistor en silicium polycristallin et qui représente l'avalanche engendré par les arrêts de porteurs libres de vitesse très importante aux joints de grains.

Nous allons maintenant nous placer dans différents régimes de fonctionnement du transistor pour modéliser le comportement électronique de chaque régime.

5.1.4 Régime de fuite

Lorsque la tension $V_G < V_{FB}$, nous nous plaçons dans le régime de fuite du transistor.

Le courant de fuite vient de la conductivité intrinsèque, de la conductivité surfacique de la couche active et de la conductivité des trous créés par la modulation de tension grille – source. Il dépend également de la qualité de la couche d'isolant de grille. Tous ces éléments dépendent principalement de la largeur W du canal et légèrement de la longueur L .

Lorsque la tension V_{GS} est près de la tension de bande plate, le courant de trous n'est pas important et le courant de fuite est exprimé par :

$$I_{fuiteIn} = W \sigma V_{DS} \quad (5.9)$$

Ce courant intrinsèque donne une valeur quasiment constante qui ne dépend que de la valeur de V_{DS} mais pas de V_{GS} .

Lorsque V_{GS} s'éloigne de V_{FB} , l'interface silicium microcristallin – isolant de grille devient plutôt type P, le courant de trous devient donc important. Dans ce cas là, le transistor fonctionne comme deux jonctions P–N en opposition [31].

$$I_{fuiteTr} = W I_{OL} \left[\exp\left(\frac{V_{DS}}{V_{DSL}}\right) - 1 \right] \exp\left(-\frac{V_{GS}}{V_{GSL}}\right) \exp\left[\frac{EL}{q} \left(\frac{1}{V_{tho}} - \frac{1}{V_{th}}\right)\right] \quad (5.10)$$

Dans cette équation : le facteur qui dépend de la tension V_{DS} représente la caractéristique de la diode ; le facteur qui dépend de la tension V_{GS} représente la conductivité modulée des trous ; et le facteur en température qui est caractérisé par l'énergie d'activation du courant de fuite EL [39] avec V_{th} et V_{tho} représentant les potentiels thermodynamiques à la température de fonctionnement T et à la température de référence T_0 .

$$V_{th} = \frac{k_B T}{q} \quad \text{et} \quad V_{tho} = \frac{k_B T_0}{q} \quad (5.11)$$

Comme ces deux courants de fuite sont en parallèles, le courant de fuite total devient :

$$I_{fuite} = I_{fuiteIn} + I_{fuiteTr} \quad (5.12)$$

Il faut noter que le rôle de la résistance d'accès (qui est composée de la résistance de contacts, la résistance de la couche dopée de silicium N+ et la résistance de la couche active) est parfaitement négligeable dans ce courant de fuite (les courants considérés étant extrêmement faibles).

5.1.5 Tension de seuil

Les défauts (les états de queues de bande et les états profonds) sont assez spécifiques aux cas du silicium microcristallin et du silicium amorphe. Cette densité d'états dépend de plusieurs paramètres liés à la phase de dépôt de la couche comme la puissance du plasma, la pression dans la chambre [10]. Ces défauts, ainsi que les charges piégées dans l'isolant de grille, sont des éléments qui contribuent à la modification de la tension de seuil du transistor. Une expression analytique de la tension de seuil du transistor ne peut pas facilement être établie comme dans le cas du silicium monocristallin [29] et n'est en aucun cas adaptée à l'écriture d'un modèle de simulation en Spice. Par conséquent, nous allons prendre V_T comme un paramètre de modélisation. Cette tension de seuil définit le changement en régime de forte accumulation du semiconducteur à l'interface l'isolant de grille – silicium microcristallin.

La caractéristique du transistor hors régime de fuite est donc divisée en deux autres régimes :

- Régime sous le seuil qui correspond à la faible accumulation à l'interface silicium microcristallin – isolant de grille : $V_{FB} < V_{GS} < V_T$.
- Régime au dessus du seuil qui correspond à : $V_{GS} > V_T$.

5.1.6 Régime sous le seuil

Il y a plusieurs équipes qui travaillent sur la modélisation type Spice de transistors en silicium amorphe. Pour le régime sous le seuil dans la caractéristique de transfert $I_D(V_{GS})$, certaines proposent une relation en loi de puissance [33] [36] [37] entre le courant drain-source et la tension de grille. D'autres proposent une loi exponentielle [38]. En général, chaque

modèle peut converger correctement avec les caractéristiques des transistors amorphes. Pour le transistor en silicium polycristallin ainsi que le transistor en monocristallin, on propose une loi de type exponentielle [31].

Lorsque le transistor est en régime sous le seuil, le niveau de Fermi à l'interface silicium microcristallin – isolant de grille se situe au niveau des états profonds [42] [40] [41]. Par conséquent, c'est la densité de charges profondes qui l'emporte sur les autres dans l'expression de la densité de charge 5.5.

$$\rho(y) \approx \rho_{prd}(y) = -q N_{prd}[\psi(y) - \psi_B] \quad (5.13)$$

Dans laquelle $\psi(y)$ est le potentiel dans le silicium microcristallin exprimé à la profondeur y et ψ_B le potentiel à la profondeur maximale du semiconducteur (considérée comme ∞). Cette estimation nous permet de déduire le profil de champ électrostatique dans le semiconducteur.

Comme mentionné précédemment, les états profonds correspondent aux liaisons pendantes se trouvant au niveau des joints de grains, ce qui n'existe pas en silicium amorphe. Par conséquent, la résolution de l'équation de Poisson 5.6 se fait en considérant que le silicium microcristallin se comporte plutôt dans ce cas comme le silicium polycristallin.

Francis Petinot [42] propose le changement de variables en passant en grandeurs réduites qui sont :

$$U(y) = \frac{q\psi(y)}{k_B T} \quad U_S = \frac{q\psi_B}{k_B T} \quad (5.14)$$

$$U_C = \frac{E_C(\infty) - E_F}{k_B T} \quad U_V = \frac{E_F - E_V(\infty)}{k_B T} \quad (5.15)$$

L'équation de Poisson 5.6 devient donc :

$$\frac{d^2 U}{dy^2} = -\frac{q}{k_B T \epsilon_{Si}} \rho(U) \approx \frac{q^2 N_{prd} U}{\epsilon_{Si}} \quad (5.16)$$

On obtient ainsi :

$$U = U_0 \exp\left(-\frac{y}{L_D}\right) \quad (5.17)$$

$$\text{Avec } L_D = \sqrt{\frac{\epsilon_{Si}}{q^2 N_{prd}}}.$$

Cette relation nous permet de calculer le champ électrostatique dans le semiconducteur à l'interface silicium microcristallin – isolant de grille ($y = 0$) et le bilan de potentiels est

donné approximativement par :

$$\psi_G - \psi_F - V_{FB} = \frac{k_B T}{q} \eta (U(0) - U_S) \quad (5.18)$$

Dans cette équation, ψ_G est le potentiel du métal de grille ; ψ_F est le niveau de Fermi et η est le paramètre lié directement à la densité d'états profonds N_{prd} . Les calculs permettant d'obtenir cette relation finale peuvent être trouvés dans la référence [42].

La charge totale $Q_t = -\epsilon_{Si} F(0)$ est donnée approximativement par [42] :

$$-Q_t = \frac{k_B T}{q} (U(0) - U_S) + \frac{q \epsilon_{Si} N_C e^{-U_C + U(0) - U_S}}{\sqrt{q^2 \epsilon_{Si} N_{prd}} (U(0) - U_S)} \quad (5.19)$$

Cette charge est la somme des deux éléments : Q_S la charge de conduction et Q_{loc} la charge localisée sur les états profonds et les états de queues de bande. La dernière vaut $\frac{k_B T}{q} (U(0) - U_S)$ [42]. Par conséquent, la charge de conduction est donnée par :

$$Q_S = -\frac{q \epsilon_{Si} N_C e^{-U_C + U(0) - U_S}}{\sqrt{q^2 \epsilon_{Si} N_{prd}} (U(0) - U_S)} \quad (5.20)$$

En combinant les trois équations 5.8, 5.18 et 5.20, nous obtenons le courant de drain en régime au dessous du seuil :

$$I_{sub} = \frac{W}{L} \mu (\eta k_B T)^2 L_D N_C e^{-U_C} \frac{1}{q V_{GS}} \exp \frac{q(V_{GS} - V_{FB})}{\eta k_B T} \left(1 - \exp \frac{-q V_{DS}}{\eta k_B T} \right) \quad (5.21)$$

Pour simplifier le jeu de paramètres que nous allons intégrer dans le modèle et comme la fenêtre de régime au dessous du seuil est très étroite (V_{GS} ne varie pas énormément), nous allons simplifier ce courant de drain dans le régime au-dessous du seuil par :

$$I_{sub} = \frac{W}{L} C_{ox} \mu_{sub} \left(\frac{k_B T}{q} \right)^2 \exp \frac{q(V_{GS} - V_{FB})}{\eta k_B T} \left(1 - \exp \frac{-q V_{DS}}{\eta k_B T} \right) \quad (5.22)$$

Il faut noter que dans cette équation 5.22, le paramètre μ_{sub} a la dimension d'une mobilité (en $cm^2 V^{-1} s^{-1}$). Mais il n'exprime pas la mobilité de porteurs de charge dans le canal dans ce régime. Ce paramètre est le regroupement de plusieurs phénomènes et dépend principalement de la densité d'états profonds dans le silicium microcristallin.

La pente sous le seuil est donc :

$$S L = \frac{\eta k_B T}{q \log_{10}[\exp(1)]} = \frac{\eta k_B T}{0.43 q} \quad (5.23)$$

On retrouve ici la dépendance linéaire de la pente sous le seuil SL en fonction de la température de fonctionnement.

5.1.7 Régime au-dessus du seuil

Lorsqu'on augmente la tension de grille à une valeur supérieure à la tension de seuil V_T , l'interface silicium microcristallin – isolant de grille devient totalement un semiconducteur de type N.

Dans ce régime, le niveau de Fermi se déplace dans la région des états de queue de bande [44] [45]. La densité de charge de conduction est encore négligeable devant la charge localisée pour le calcul du profil du champ électrostatique.

$$\rho(y) \approx -q n_t(y) \approx - \int_{E_V(y)}^{E_C(y)} q f(E) N_{queue} \exp\left(\frac{E - E_C(y)}{k_B T_{queue}}\right) dE \quad (5.24)$$

La solution analytique de cette densité de charge ne peut pas être obtenue. Karim Khakzar et al. [41] propose une estimation exponentielle et donne un courant de drain (dans le régime au-dessus du seuil) qui dépend de la tension V_{GS} sous la forme d'une loi de puissance. Dans ce régime de fonctionnement, la propriété de la densité de défauts s'approche de celle du silicium amorphe. En plus, nous n'avons pas observé l'effet Kink qui est important dans le cas du silicium polycristallin [43]. La modélisation du transistor en silicium amorphe est déjà étudiée et intégrée dans le simulateur Spice, nous prenons donc le modèle du transistor en silicium amorphe pour ce régime au-dessus du seuil.

$$I_{abvt} = \frac{W}{L} C_{ox} \mu \left(\frac{V_{GS} - V_T}{V_{aa}} \right)^\gamma (V_{GS} - V_T) (1 + \lambda V_{DS}) V_{DS} \quad (5.25)$$

Cette expression n'explique pas le régime de saturation.

Dans cette relation, le paramètre V_{aa} est la tension caractéristique pour la dépendance de la mobilité linéaire à effet de champ ⁴ en tension grille – source et le γ est la puissance de cette dépendance. La conductivité du canal dépend non seulement de la tension V_{GS} mais également de la tension V_{GD} . Par conséquent, la conductance de sortie est caractérisée par le paramètre λ .

En première ordre d'estimation, la mobilité d'effet de champ est définie par l'équation :

$$\mu_{FET} \propto \frac{\partial I_D}{\partial V_{GS}} \Rightarrow \mu_{FET} \approx \mu \left(\frac{V_{GS} - V_T}{V_{aa}} \right)^\gamma \quad (5.26)$$

⁴La mobilité extraite par l'approximation linéaire comme étudiée précédemment.

Régime linéaire et régime de saturation

Lorsque la tension entre le drain et la source est faible, le transistor fonctionne en régime linéaire et le courant dépend de la tension V_{DS} appliquée. Le pincement apparaît lorsque cette tension continue à augmenter comme discuté précédemment. Par conséquent, la tension appliquée le long du canal n'est plus la tension V_{DS} et on peut imaginer que la tension V_{DS} devient une valeur effective.

Nous pouvons utiliser la proposition de AIM-Spice sur la tension drain – source effective exprimée par :

$$V_{dse} = \frac{V_{DS}}{[1 + (V_{DS}/V_{sate})^m]^{1/m}} \quad (5.27)$$

Dans laquelle :

$$V_{sate} = \alpha_{sat}(V_{GS} - V_T) \quad (5.28)$$

- Lorsque $V_{DS} \ll V_{sate}$, $1 + (V_{DS}/V_{sate}) \approx 1$ et $V_{dse} \approx V_{DS}$.
- Lorsque $V_{DS} \gg V_{sate}$, $1 + (V_{DS}/V_{sate}) \approx V_{DS}/V_{sate}$ et $V_{dse} \approx V_{sate}$.

Le rapport $\frac{V_{dse}}{V_{DS}}$ en fonction de la tension V_{DS} est représenté sur la figure 5.4.

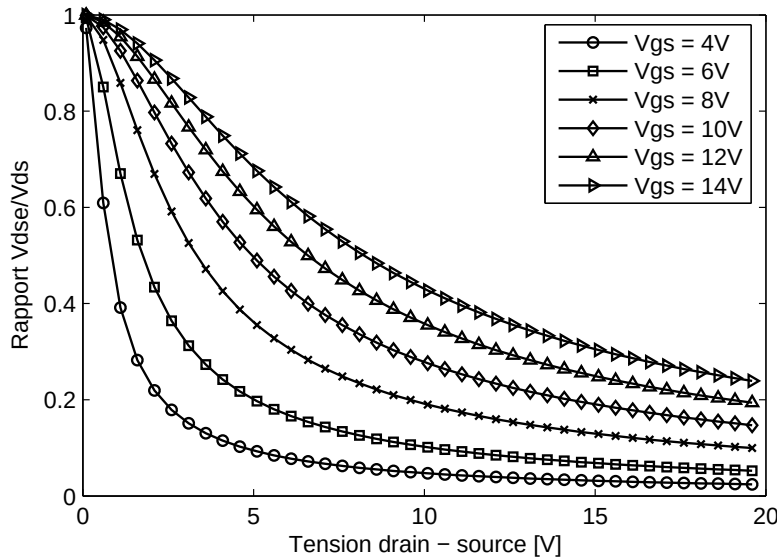


Figure 5.4 – Rapport tension V_{dse} / V_{DS} .

Le courant drain – source dans le régime au-dessus du seuil devient :

$$I_{abvt} = \frac{W}{L} C_{ox} \mu \left(\frac{V_{GS} - V_T}{V_{aa}} \right)^\gamma (V_{GS} - V_T) (1 + \lambda V_{DS}) V_{dse} \quad (5.29)$$

5.1.8 Implantation de la résistance d'accès

Pour modéliser l'influence de la résistance d'accès sur la caractéristique du transistor en silicium microcristallin, nous allons considérer le modèle complet d'un TFT idéal avec les régimes de fonctionnement étudiés précédemment et deux résistances R_S et R_D en série comme montré sur la figure 5.5.

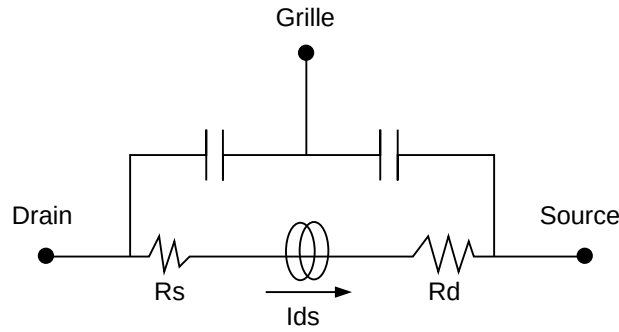


Figure 5.5 – Modèle Spice d'un transistor avec résistances d'accès.

La tension drain – source devient donc :

$$V_{DS} = V_{R_S} + V_{TFT} + V_{R_D} = I_D(R_S + R_D) + \frac{I_D}{g_{chi}} \quad (5.30)$$

Dans laquelle g_{chi} est la conductance intrinsèque d'un transistor sans résistances d'accès. Le courant de drain est donné donc par l'expression :

$$I_D = \frac{g_{chi}}{1 + g_{chi}(R_S + R_D)} V_{DS} \quad (5.31)$$

5.1.9 Continuité de l'expression du courant de drain

Nous avons introduit dans les paragraphes précédents les expressions du courant de drain dans chaque régime de fonctionnement du transistor. Un regroupement de ces expressions pour avoir le courant global est nécessaire lors de l'implantation dans le simulateur.

Le passage d'un régime à l'autre par les boucles “if – then – else” simple dans le code informatique du modèle n'est pas suffisant car d'une part, cela ne représente pas des grandeurs physiques qui sont naturellement continues à tous les degrés de dérivations, et d'autre part, la discontinuité engendrera facilement une divergence lors de la simulation.

La modélisation Spice du transistor en silicium amorphe qui est implantée dans le simulateur AIM-Spice propose des valeurs effectives pour regrouper les expressions du courant. Nous allons prendre la même approche pour la modélisation du transistor en silicium microcristallin.

Les valeurs effectives de $V_{GT} = V_{GS} - V_T$ et de $V_{GFB} = V_{GS} - V_{FB}$ sont données par les équations :

$$V_{gte} = \frac{V_{min}}{2} \left[1 + \frac{V_{GT}}{V_{min}} + \sqrt{\Delta^2 + \left(\frac{V_{GT}}{V_{min}} - 1 \right)^2} \right] \quad (5.32)$$

$$V_{gfbe} = \frac{V_{min}}{2} \left[1 + \frac{V_{GFB}}{V_{min}} + \sqrt{\Delta^2 + \left(\frac{V_{GFB}}{V_{min}} - 1 \right)^2} \right] \quad (5.33)$$

La tension effective V_{gte} qui est représentée sur la figure 5.6 vaut V_{GT} lorsque $V_{GS} > V_T$ et elle vaut V_{min} lorsque $V_{GS} < V_T$. Il en est de même pour la tension effective V_{gfbe} . Ces valeurs effectives vont remplacer les valeurs originales respectives dans les expressions du courant de drain.

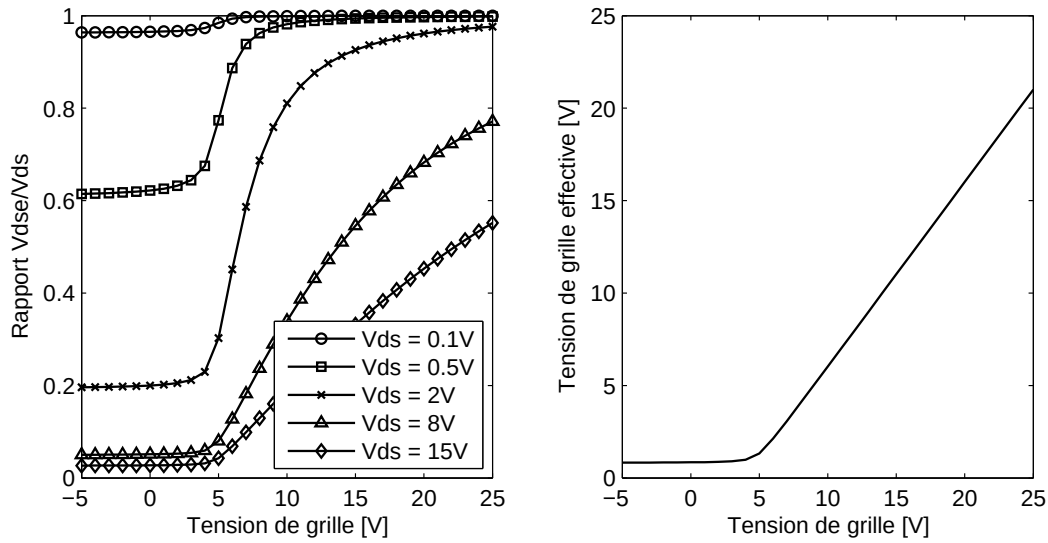


Figure 5.6 – Valeurs effectives de V_{DS} et $V_{GS} - V_T$.

Toujours dans avec un objectif de continuité, le courant global du transistor en silicium microcristallin est exprimé par :

$$I_D = I_{fuite} + I_{ab} \quad (5.34)$$

Dans laquelle :

$$\frac{1}{I_{ab}} = \frac{1}{I_{sub}} + \frac{1}{I_{abvt}} \quad (5.35)$$

Les courants dans tous les régimes (I_{fuite} , I_{sub} , I_{abvt}) et le courant global I_D sont tracés sur la figure 5.7 pour différentes valeurs de V_{DS} .

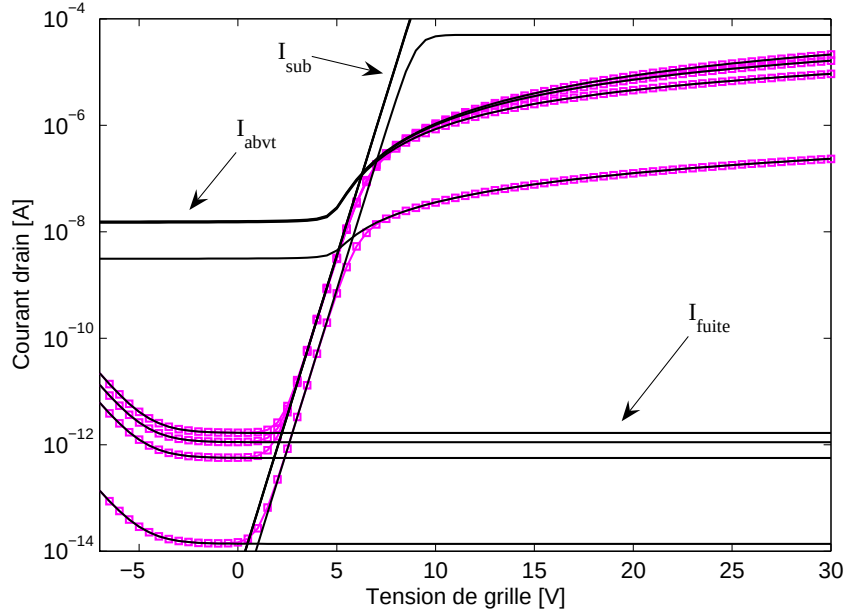


Figure 5.7 – Courants dans les régimes de fonctionnement.

- En régime au-dessus du seuil, $I_{abvt} \ll I_{sub}$ et I_{ab} vaut I_{abvt} qui est beaucoup plus grand que le courant I_{fuite} . Le courant global est donc dominé par I_{abvt} .
- En régime sous le seuil, $I_{sub} \ll I_{abvt}$ et I_{ab} vaut I_{sub} qui est toujours beaucoup plus grand que le courant I_{fuite} . Le courant global est dominé par I_{sub} .
- En régime de fuite, I_{ab} devient très petit devant I_{fuite} . Par conséquent, I_{fuite} domine dans le courant global.

5.2 Modélisation dynamique

Les transistors utilisés dans les applications des pixels OLED fonctionnent avec les signaux vidéo et les signaux des drivers lignes et colonnes. Par conséquent, leurs comportements dynamiques influencent le fonctionnement du dit pixel. La réponse dynamique du transistor T_1 dans le circuit pixel OLED, que l'on va étudier dans la suite du manuscrit, modifie le temps de chargement du signal vidéo sur le condensateur de stockage. Elle modifie également la chute de tension pendant la transition du signal de sélection ⁵.

⁵Le fonctionnement de circuit sera expliqué dans la section de simulation.

La charge stockée dans la grille est modifiée lorsqu'il y a une modification de tension V_{GS} et de V_{GD} . On définit donc les capacités C_{GS} et C_{GD} comme les suivantes :

$$C_{GS} = \left. \frac{\partial Q_G}{\partial V_{GS}} \right|_{V_{GD}} \quad C_{GD} = \left. \frac{\partial Q_G}{\partial V_{GD}} \right|_{V_{GS}} \quad (5.36)$$

La représentation de ces capacités et le schéma général de modélisation du transistor en silicium microcristallin sont montrés sur la figure 5.8 où la source de courant I_{ds} représente la partie statique I_D . Le recouvrement entre le métal de grille et celui de drain et de source fait apparaître la capacité d'overlap C_{OL} . La capacité C_{gc} correspond au comportement capacitif du couplage grille – canal.

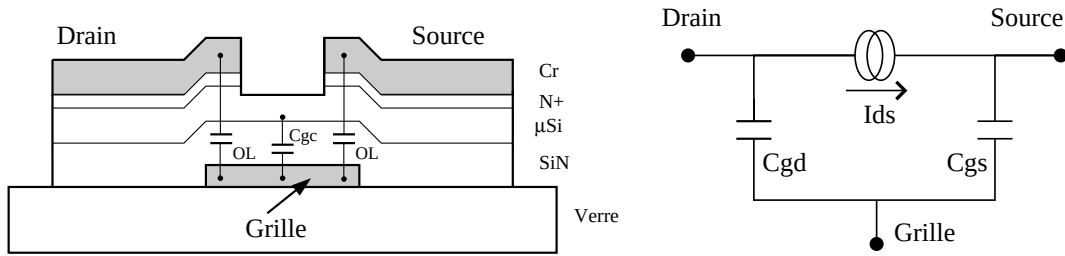


Figure 5.8 – Modèle dynamique d'un TFT en silicium microcristallin.

Pour chaque régime de fonctionnement statique, nous allons obtenir différentes valeurs de la charge stockée dans la grille.

5.2.1 Régime de fuite

Lorsque le transistor est en régime de fuite, comme le canal n'est pas encore créé, la charge Q_G est dominée par la partie capacitive de l'overlap :

$$Q_G \approx C_{OLs} V_{GS} + C_{OLd} V_{GD} \quad (5.37)$$

On a donc les capacités C_{GS} et C_{GD} dans ce régime de fuite ⁶ :

$$C_{GS} = \frac{\partial Q_G}{\partial V_{GS}} = C_{OLs} = W.O L C_{ox} \quad (5.38)$$

$$C_{GD} = \frac{\partial Q_G}{\partial V_{GD}} = C_{OLd} = W.O L C_{ox} \quad (5.39)$$

⁶En réalité, cette capacité d'overlap est une capacité MOS qui n'est pas constante. Nos applications dans le domaine des pixels OLED ont un temps d'adressage de l'ordre d'un dizaine de μs ce qui n'est pas très rapide. Par conséquent, la modélisation pour nos applications n'a pas besoin d'autant de précision. Une modélisation vraiment sophistiquée n'est pas nécessaire.

5.2.2 Régime linéaire

On considère maintenant le transistor en régime d'accumulation dans lequel le canal devient complètement de type N. La capacité MOS entre le métal de grille et la surface ψ_B (le niveau du drain et de la source) devient une capacité MIM simple qui vaut C_{ox} .

À part la charge des capacités overlap, la densité de charge stockée dans la grille est donnée par [50] :

$$q(x) = C_{ox}(V_G - \psi_B(x) - V_T) = C_{ox}[V_{GT} - \psi_B(x)] \quad (5.40)$$

Où $\psi_B(0) = \psi_{source} = 0$ et $\psi_B(L) = \psi_{drain} = V_{DS}$. La tension $V_{GT} - \psi_B(x)$ est en fait la chute de tension entre la grille et l'interface isolant de grille – silicium microcristallin.

La charge totale stockée dans la grille est donc :

$$Q_G = Q_{GOL} + Q_{Gq} \quad (5.41)$$

Où :

$$Q_{GOL} = C_{OLs}V_{GS} + C_{OLd}V_{GD} \quad (5.42)$$

$$Q_{Gq} = \int_0^L q(x)Wdx = WC_{ox} \int_0^L [V_{GT} - \psi_B(x)] dx \quad (5.43)$$

En utilisant l'équation 5.7 avec l'estimation $I_D = W\mu[C_{ox}(V_{GT} - \psi_B)]\frac{d\psi_B}{dx}$, on a :

$$Q_{Gq} = \frac{W^2C_{ox}^2\mu}{I_D} \int_0^{V_{DS}} (V_{GT} - \psi_B)^2 d\psi_B \quad (5.44)$$

En remplaçant V_{DS} par $V_{GS} - V_{GD}$, on obtient :

$$Q_{Gq} = \frac{1}{3} \frac{W^2C_{ox}^2\mu}{I_D} [(V_{GS} - V_T)^3 - (V_{GD} - V_T)^3] \quad (5.45)$$

Le remplacement de l'équation de courant au-dessus du seuil 5.29 dans cette relation n'est pas tout à fait intéressant ⁷. Nous pouvons utiliser l'équation simplifiée du courant comme dans le transistor en silicium monocristallin $I_D = \frac{W}{L}C_{ox}(V_{GS} - V_T - \frac{1}{2}V_{DS})V_{DS}$. Nous obtenons donc la charge Q_{Gq} :

$$Q_{Gq} = \frac{1}{3} WLC_{ox} \frac{(V_{GS} - V_T)^3 - (V_{GD} - V_T)^3}{(V_{GS} - V_T - \frac{1}{2}V_{DS})V_{DS}} \quad (5.46)$$

⁷Comme expliqué précédemment, la modélisation dynamique très fine n'est pas dans l'échelle de temps de nos applications.

En remplaçant V_{DS} par $(V_{GS} - V_T) - (V_{GD} - V_T)$, cette charge devient :

$$Q_{Gq} = \frac{2}{3} WLC_{ox} \frac{(V_{GS} - V_T)^3 - (V_{GD} - V_T)^3}{(V_{GS} - V_T)^2 - (V_{GD} - V_T)^2} \quad (5.47)$$

Les dérivées 5.36 sur la charge $Q_G = Q_{Gq} + Q_{GOL}$ donnent finalement :

$$C_{GS} = C_{OLs} + \frac{2}{3} WLC_{ox} \left[1 - \left(\frac{V_{GT} - V_{DS}}{2V_{GT} - V_{DS}} \right)^2 \right] \quad (5.48)$$

$$C_{GD} = C_{OLd} + \frac{2}{3} WLC_{ox} \left[1 - \left(\frac{V_{GT}}{2V_{GT} - V_{DS}} \right)^2 \right] \quad (5.49)$$

Ces relations signifient que la capacité grille – source (et également la capacité grille – drain) est constituée d’une part de la capacité d’overlap et $\frac{2}{3}$ de la capacité grille – canal.

5.2.3 Régime de saturation

Lorsque le fonctionnement du transistor passe en régime de saturation, comme le point de pincement fixe la valeur de la tension au bout du canal à V_{sate} , les capacités C_{GS} et C_{GD} deviennent des valeurs constantes qui ne dépendent plus de V_{DS} .

$$C_{GS} = C_{OLs} + \frac{2}{3} WLC_{ox} \quad (5.50)$$

$$C_{GD} = C_{OLd} \quad (5.51)$$

AIM-Spice propose le remplacement des tensions dans 5.48 et 5.49 par des grandeurs effectives pour utiliser des formules universelles qui sont valables à la fois dans le régime linéaire et dans le régime de saturation.

- V_{DS} devient sa valeur effective V_{dse} qui vaut V_{DS} en régime linéaire et V_{sate} en régime de saturation.
- $V_{GT} - V_{DS}$ devient $V_{sate} - V_{dse}$ qui vaut 0 en saturation.

Les capacités C_{GS} et C_{GD} en régime linéaire et en régime de saturation deviennent donc :

$$C_{GS} = C_{OLs} + \frac{2}{3} WLC_{ox} \left[1 - \left(\frac{V_{sate} - V_{dse}}{2V_{sate} - V_{dse}} \right)^2 \right] \quad (5.52)$$

$$C_{GD} = C_{OLd} + \frac{2}{3} WLC_{ox} \left[1 - \left(\frac{V_{sate}}{2V_{sate} - V_{dse}} \right)^2 \right] \quad (5.53)$$

5.2.4 Régime sous le seuil

En régime sous le seuil, la capacité grille – canal C_{gc} est une capacité MOS qui n'est pas une constante C_{ox} comme dans le régime d'inversion. Le mécanisme de partage de capacités C_{gs} , C_{gd} reste encore le même. On peut donc remplacer le facteur C_{ox} par C_{gc} dans les équations de la capacité en régime linéaire et saturation 5.52 et 5.53 [31]. La capacité grille – canal est obtenue en dérivant la charge :

$$C_{gc} = WLq \frac{dN_{sc_{sub}}}{dV_{GS}} \quad (5.54)$$

Avec $N_{sc_{sub}}$ la densité de charge dans le silicium microcristallin dans le régime sous le seuil, elle est liée au courant statique sous le seuil 5.22 par :

$$I_{sub} = \frac{W}{L} \mu q N_{sc_{sub}} V_{dse} \quad (5.55)$$

5.2.5 Modèle unifié

Finalement, en remplaçant la capacité C_{ox} par la capacité C_{gc} , la tension V_{DS} par V_{dse} , $V_{GT} - V_{DS}$ par $V_{sate} - V_{dse}$ (comme mentionné précédemment) dans les équations 5.48 et 5.49, nous obtenons les capacités C_{GS} et C_{GD} par ⁸ :

$$C_{GS} = WOLC_{ox} + \frac{2}{3}WLC_{gc} \left[1 - \left(\frac{V_{sate} - V_{dse}}{2V_{sate} - V_{dse}} \right)^2 \right] \quad (5.56)$$

$$C_{GD} = WOLC_{ox} + \frac{2}{3}WLC_{gc} \left[1 - \left(\frac{V_{sate}}{2V_{sate} - V_{dse}} \right)^2 \right] \quad (5.57)$$

Dans ces équations finales de capacités, la capacité grille – canal est donnée par :

$$C_{gc} = WLq \frac{dN_{sc}}{dV_{GS}} \text{ avec } N_{sc} = \frac{N_{sc_{sub}} N_{sa}}{N_{sc_{sub}} + N_{sa}} \quad (5.58)$$

La densité de charge N_{sa} dans le régime au-dessus du seuil vaut $\frac{C_{ox}(V_{GS}-V_T)}{q}$.

⁸Il est à noter que la tension V_{dse} est par définition toujours inférieure à la tension V_{sate} . Prenons l'expression de V_{dse} dans l'équation 5.27, nous en déduisons :

$$V_{dse}^m = V_{sate}^m \frac{V_{DS}^m}{V_{sate}^m + V_{DS}^m} < V_{sate}^m \implies V_{dse} < V_{sate}$$

Par conséquent, ces équations de capacités sont valables dans toute les plages de variation des tension V_{DS} et V_{GS} (assurant la continuité pour la convergence dans la simulation).

Il est à noter que le modèle BSIM3v3 du transistor MOSFET ainsi que celui du transistor en silicium amorphe intégré dans le simulateur AIM-Spice prend en compte également une capacité dite “fringe capacitance” C_f [51]. Cette capacité représente l’effet de bord de la zone overlap entre la grille et le contact drain – source. Dans notre cas, la capacité C_f est largement dominée par la capacité overlap.

Les capacités C_{GS} et C_{GD} en fonction de la tensions V_{GS} sont montrées sur la figure 5.9.

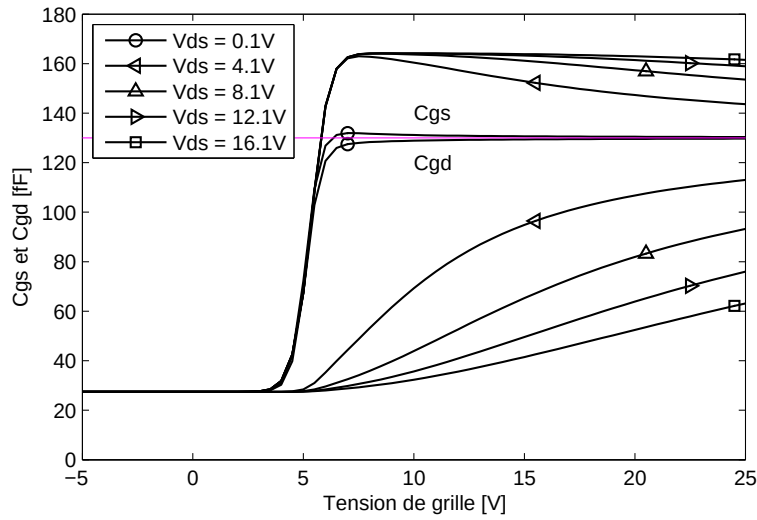


Figure 5.9 – Les capacités C_{GS} et C_{GD} du transistor $W/L = 100/20$.

- En régime linéaire, $N_{sc} \approx N_{sa}$ et $C_{gc} \approx C_{ox}$, nous retrouvons les équations 5.48, 5.49.
- En régime de saturation, C_{gc} vaut encore C_{ox} et $V_{dse} = V_{sate}$. Nous retrouvons les équations 5.50 et 5.51.
- En régime sous le seuil, N_{sc} vaut N_{scsub} , la capacité C_{gc} devient sa valeur en régime sous le seuil.
- En régime de fuite, ce sont les capacités overlap qui dominent les capacités sous le seuil, nous retrouvons les équations 5.38 et 5.39.

Il est à noter que la modélisation dynamique du transistor en silicium microcristallin étudiée ici est dans le domaine de faibles fréquences (quasi statique) du fait que notre application n’est pas dans le domaine des hautes fréquences.

5.3 Dépendance en température

Comme nous avons observé une dépendance linéaire de la tension de seuil en fonction de la température dans le chapitre 4 de caractérisation du transistor, nous utilisons cette relation pour modéliser globalement le comportement en température :

$$V_T = V_{T0} + K_{vt}(T - T_0) \quad (5.59)$$

Cette relation est également utilisée dans le modèle du transistor en silicium amorphe [31]. Le paramètre caractérisant l'influence des états de queue de bande V_{aa} est donné par :

$$V_{aat} = V_{aa} \exp \left[\frac{E_a}{q\gamma} \left(\frac{1}{V_{th}} - \frac{1}{V_{th0}} \right) \right] \quad (5.60)$$

Avec $k_B T = qV_{th}$, nous retrouvons la dépendance de la mobilité linéaire en température à partir de l'équation 5.26 :

$$\mu_{FET} = \mu \left(\frac{V_{GS} - V_T}{V_{aat}} \right)^\gamma = \mu_0 \exp \left(\frac{-E_a}{k_B T} \right) \left(\frac{V_{GS} - V_T}{V_{aa}} \right)^\gamma \quad (5.61)$$

Et le paramètre de modulation saturée :

$$\alpha_{sat} = \alpha_{sat0} + K_{sat}(T - T_0) \quad (5.62)$$

5.4 Implantation du modèle dans le simulateur

Pour pouvoir utiliser le modèle du transistor en silicium microcristallin que nous avons développé dans nos simulations, nous avons choisi le langage Verilog-A. Ce langage permet aux utilisateurs de décrire eux-mêmes le comportement de leurs propres composants. Les modèles implantés seront appelés lors de la simulation dans des simulateurs Spice comme par exemple Spectre de chez Cadence.

Le modèle statique I_D et les capacités C_{GS} , C_{GD} sont transcrits directement en langage Verilog-A. Pour l'écriture du courant total de drain (que ce soit en statique ou en dynamique), nous allons introduire les charges Q_{GS} et Q_{GD} (code Verilog-A) :

```
qgs = cgs*v(grille,source);
qgd = cgd*v(grille,drain);
```

Les courants dynamiques correspondants sont :

$$\begin{aligned} \text{igs} &= \text{ddt}(\text{qgs}) ; \\ \text{igd} &= \text{ddt}(\text{qgd}) ; \end{aligned}$$

Et les courants qui entrent dans toutes les électrodes du transistor :

$$\begin{aligned} \text{I(drain)} &<+ \text{ID-igd} ; \\ \text{I(grille)} &<+ \text{igd+igs} ; \\ \text{I(source)} &<+ \text{-ID-igs} ; \end{aligned}$$

Le modèle complet du transistor en silicium microcristallin sera mis en annexe.

5.5 Modélisation du vieillissement

Comme mentionné dans la partie caractérisation (chapitre 4), le décalage de la tension de seuil du transistor en silicium microcristallin sous stress vient de l'implantation de charge dans l'isolant de grille et de la création des états métastables dans le semiconducteur. Ce dernier phénomène est beaucoup plus faible que dans le cas du silicium amorphe car la fraction de cristallisation est ici proche de 100 %.

Libsch et *al.* [46], Jackson et *al.* [47] ainsi que Powell et *al.* [48] donnent une relation exponentielle entre la tension de stress appliquée et le temps de stress sous la forme de l'équation 5.63 :

$$\Delta V_T = (V_{GS} - V_{T0}) \left(1 - \exp \left[- \left(\frac{t}{\tau_0} \right)^\beta \right] \right) \quad (5.63)$$

Dans laquelle : V_{GS} tension d'application de stress ; τ_0 : temps de vieillissement ; β : puissance de vieillissement.

Pour une utilisation de type “*rapport cyclique*” DC qui correspond à la proportion du temps où le transistor est ON, le décalage de tension de seuil devient [62] :

$$\Delta V_T = (V_{GS} - V_{T0}) \left(1 - \exp \left[- \left(\frac{DC t}{\tau_0 f} \right)^\beta \right] \right) \quad (5.64)$$

Avec : $f = 1/\sqrt{DC}$.

La figure 5.10 montre la modélisation de ce décalage de tension de seuil sous stress (DC=1). Les paramètres obtenus sont : $\tau_0 = 4.5 \cdot 10^8 s$ et $\beta = 1/3$.

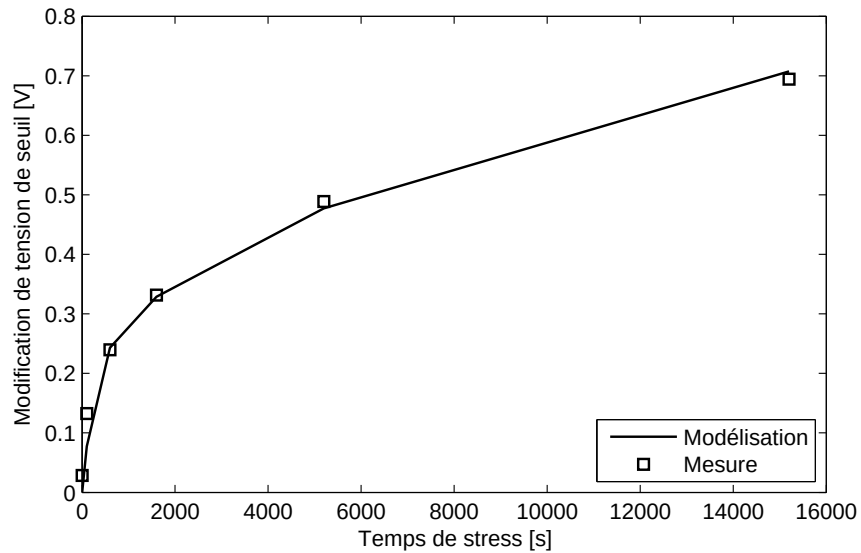


Figure 5.10 – Modélisation de stress.

Avec différentes valeurs de tension de grille appliquées, nous avons obtenu la modification de tension de seuil dans la figure 5.11 avec le DC de 1/5.

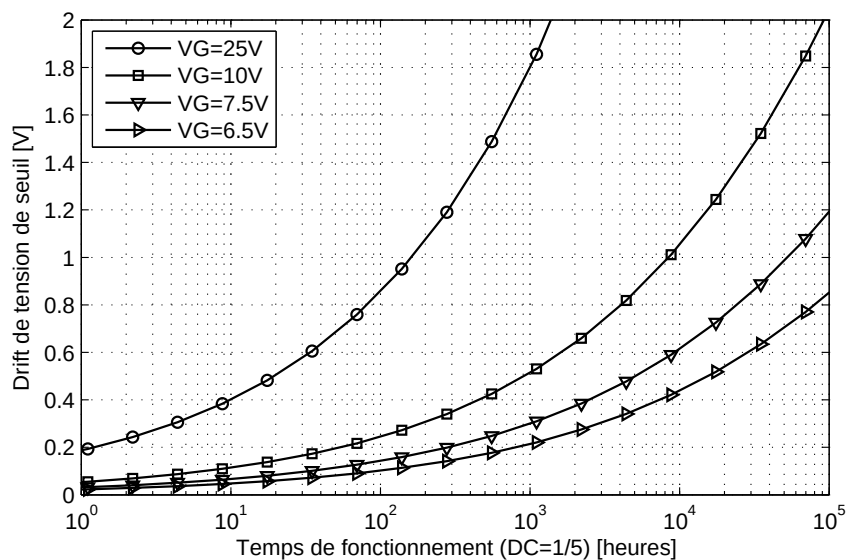


Figure 5.11 – Décalage de tension de seuil en différentes V_{GS} en fonctionnement.

Cette relation nous permettra d'estimer la durée de vie des écrans réalisés en silicium microcristallin.

5.6 Méthode de validation du modèle

Afin d'utiliser le modèle développé dans les simulations des circuits pour les applications OLED, nous devons comparer la simulation avec la mesure. Nous disposons d'une station de travail Sun Solaris qui contient ICCAP, Cadence et qui est relié à la machine de mesure sous pointes Keithley 4200.

Outils ICCAP – Keithley 4200 – Verilog-A – Spectre de chez Cadence

Le progiciel ICCAP de chez Agilent nous permet à la fois de piloter la machine de mesure Keithley 4200 via une connexion GPIB mais aussi d'appeler les simulateurs Spice, Spectre de chez Cadence pour réaliser nos simulations. Il dispose également d'outils mathématiques intégrés qui permettent d'extraire les paramètres des composants étudiés à partir de données mesurées et du modèle qu'on lui fournit (méthode de minimisation quadratique linéaire ou non sous contraintes).

Le schéma global de notre système, matériel et logiciel d'extraction de paramètres est montré sur la figure 5.12.

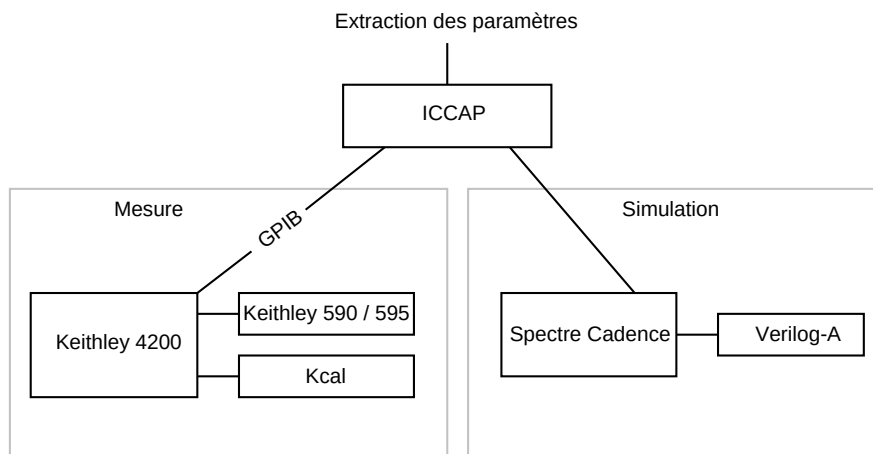


Figure 5.12 – Chaîne d'outils de caractérisation de transistors.

Les caractéristiques $I_D(V_{GS})$ et $I_D(V_{DS})$ sont mesurées par Keithley 4200 piloté par ICCAP. Ainsi, les simulations avec Spectre de Cadence sont validées en même temps par les mesures récupérées dans ICCAP.

Le modèle développé est bien vérifié comme l'illustre la figure 5.13, à la fois en caractéristique $I_D(V_{GS})$ et en caractéristique $I_D(V_{DS})$.

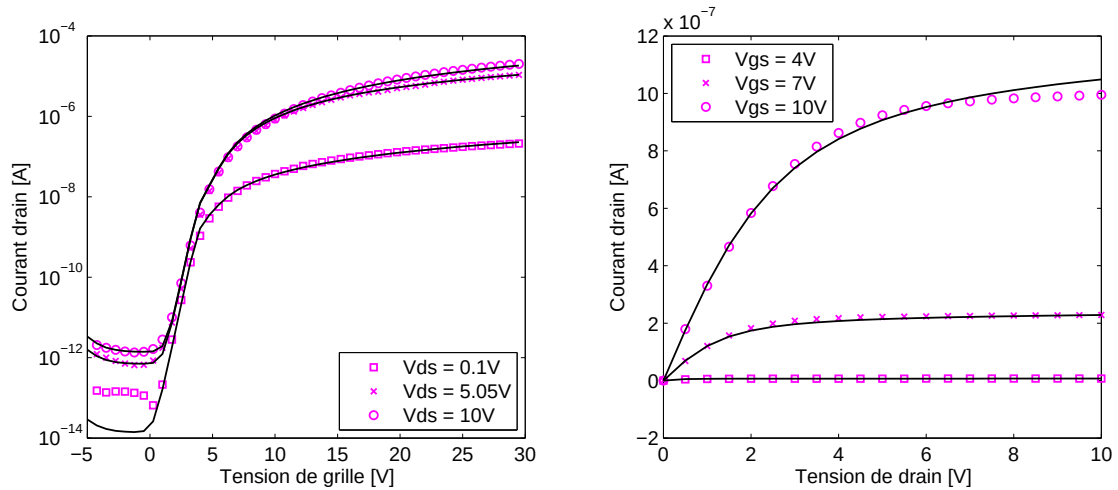


Figure 5.13 – Simulation est validée par mesure en caractéristiques $I_D(V_{GS})$, $I_D(V_{DS})$.

Développement du modèle TFT en silicium microcristallin dans Matlab

Nous avons intégré également le modèle du transistor en silicium microcristallin dans l'environnement Matlab sur lequel toutes les extractions de paramètres du transistor se basent. Cette intégration nous permet de profiter de plusieurs outils mathématiques de traitement du signal de Matlab qui sont déjà très développés dans le domaine scientifique et avec lesquels nous sommes largement familiarisés.

La modélisation du transistor en silicium microcristallin dans Matlab est également mise dans l'annexe.

En résumé, tous les paramètres de modélisation de transistors en silicium microcristallin sont listés dans le tableau 5.1.

Paramètre	Description	Défaut	Unité
Régime de fuite			
σ_0	Densité de conductivité de fuite minimale	$7 \cdot 10^{-9}$	$AV^{-1}\mu m^{-1}$
EL	Énergie d'activation du courant de fuite par les trous	0.35	eV
I_{OL}	Densité de conductivité de fuite à zéro-bias	$7.94 \cdot 10^{-11}$	A
V_{DSL}	Paramètre de dépendance du courant de trous de V_{DS}	20	V
V_{GSL}	Paramètre de dépendance du courant de trous de V_{GS}	0.98	V
Régime sous le seuil			
η	Facteur d'idéalité du courant sous le seuil	11.6	–
mub	Mobilité sous le seuil	$6.12 \cdot 10^{-9}$	$cm^2V^{-1}s^{-1}$
Régime au-dessus du seuil			
γ	Paramètre de dépendance de la mobilité en V_{GS}	0.294	–
λ	Paramètre de conductance de sortie	0.00537	V^{-1}
k_{VT}	Dépendance de la tension de seuil en température	–0.09	VK^{-1}
μ	Mobilité effective des électrons dans le canal	1.5	$cm^2V^{-1}s^{-1}$
m	Paramètre de tension V_{DS} effective	1.89	–
Rd	Résistance du drain	1000	Ω
Rs	Résistance de la source	1000	Ω
V_{aa}	Influence des états de queue de bande à la mobilité	$1.65 \cdot 10^3$	V
V_T	Tension de seuil à zéro-bias	4	V
Paramètres de saturation			
α_{sat}	Paramètre de modulation saturée	0.485	–
k_{sat}	Dépendance de α_{sat} en température	0.006	K^{-1}
Paramètres physiques, dynamique			
ϵ	Constant diélectrique relative de l'isolant de grille	4	–
E_a	Énergie d'activation de la mobilité linéaire	0.18	eV
V_{FB}	Tension de bande plate	–3	V
t_{ox}	L'épaisseur de la couche diélectrique	345	nm
OL	Overlap entre la grille et le drain, la source	2	μm
W	Largeur du canal	100	μm
L	Longueur du canal	20	μm
Paramètres de lissage			
Δ	Paramètre de transition	1	–
V_{min}	Paramètre de convergence	0.812	V
Paramètres de vieillissement			
τ_0	Temps de vieillissement	$2.0 \cdot 10^8$	s
β	Puissance de vieillissement	1/3	–

Tableau 5.1 – Les paramètres du modèle de TFTs en silicium microcristallin.

5.7 Conclusion

Dans ce chapitre, nous avons utilisé les propriétés physiques et électroniques du matériau silicium microcristallin pour construire un modèle comportemental Spice performant de transistor TFT.

La validation du modèle développé est bien confirmée grâce aux extractions réalisées via nos outils de caractérisations et de simulations ICCAP – Keithley 4200 – Spectre Cadence – Verilog-A et Matlab.

Nous avons également intégré le modèle, développé en langage Verilog-A, au sein du simulateur professionnel Spectre de Cadence. Cela va nous permettre d'effectuer des simulations sur les circuits pixel OLED ainsi que les autres fonctions électroniques que nous allons présenter par la suite.

CARACTÉRISATION, MODÉLISATION DES OLEDs

Avant les années 80, les matériaux organiques n'étaient utilisés en électronique que comme des éléments photorésistifs ou des isolants passifs [21]. Ils ne jouaient aucun rôle actif dans les techniques classiques de circuiterie. Depuis, de nombreux travaux ont mis en évidence les propriétés semiconductrices et les propriétés photoémissives des matériaux tels que les molécules organiques conjuguées, les oligomères “short-chain” et les polymères “longer-chain”, mais aussi les composés organique – inorganique (hybrid). Ces matériaux permettent aujourd'hui de commencer à concevoir une électronique “tout plastique” où tous les composants sont flexibles et souples.

Dans le cadre de notre travail de thèse, nous cherchons à montrer l'intérêt des transistors TFT en silicium microcristallin, dans le cadre des écrans OLED à matrice active. Pour ce faire, nous nous sommes intéressés au fonctionnement d'un circuit hybride organique – inorganique tels que le pixel OLED.

Pour ce faire, il nous a tout d'abord été nécessaire de développer un modèle comportemental de type Spice performant du composant OLED.

6.1 Organic Light Emitting Diode

6.1.1 Structure géométrique et physique de l'OLED

Une diode électroluminescente organique “OLED”, fonctionne en première approximation, de la même façon qu'une LED inorganique. Les électrons injectés par la cathode et les trous injectés par l'anode se rencontrent dans la couche d'émission grâce au champ électrique entre les deux électrodes et leur recombinaison permet d'émettre de la lumière. La seule

différence, d'un point de vue électronique, entre une OLED et une LED inorganique est que les couches (de transport des électrons, de transport des trous et la couche d'émission) sont à base de matériaux organiques au lieu de semiconducteurs inorganiques.

La structure géométrique typique d'une OLED est représentée sur la figure 6.1. La mobilité des électrons et des trous dans les matériaux organiques est beaucoup plus faible que celle dans les semiconducteurs inorganiques. Par conséquent, les couches de transports ETL et HTL (Electron Transport Layer et Hole Transport Layer) dans l'OLED sont dopées et aussi très minces pour que le transport des électrons et des trous soit réalisé plus facilement. Typiquement, l'épaisseur de la LED en semiconducteur inorganique est de quelques micromètres tandis que celle de l'OLED est de quelques centaines d'angstroms. De plus, les électrons dans les composés organiques se déplacent plus difficilement que les trous. La couche HTL doit être donc plus épaisse pour que les trous et les électrons arrivent à la couche d'émission EL (emitting layer) au même moment et que leurs recombinaisons engendrent une émission de lumière [19]. La couche d'émission ainsi que les deux couches de transports sont prises en sandwich entre les deux électrodes. Pour pouvoir observer l'émission de la lumière, l'une des deux électrodes doit être transparente. L'ITO (Indium Tin Oxyde) est, dans ce cadre, couramment utilisé car, en plus d'être transparent, il est compatible avec les niveaux d'énergie des matériaux organiques électroluminescents [19].

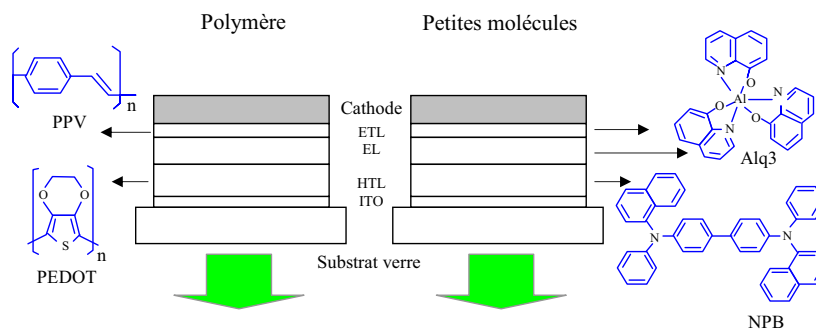


Figure 6.1 – Structure des couches d'une OLED.

6.1.2 Matériaux organiques constitutifs d'une OLED

Actuellement, il est possible de trouver sur le marché deux types de matériaux organiques employés pour le développement des composants OLED où chacun montre ses avantages et

ses désavantages. Une première voie se base sur le développement des organiques à petites molécules et l'autre utilise les polymères.

Organique à petites molécules

Le développement des OLEDs à petites molécules a commencé en 1987 suite à des travaux réalisés par Kodak. La couche HTL est souvent composée d'amine tel que le NPB (figure 6.1) dans laquelle la mobilité des trous est beaucoup plus grande que celle des électrons. La couche ETL ainsi que la couche d'émission EL est souvent en Alq₃ (tri '8-hydroxy-quinoline' aluminium) comme montrée dans la figure 6.1 [19].

Les différentes couleurs de l'OLED sont obtenues en dopant le matériau Alq₃, dans la couche d'émission avec des matériaux à spectres d'absorption spécifiques. Les OLED à petites molécules donnent les meilleurs résultats en terme de rendement lumineux. Par contre, elles sont déposées par évaporation et comme elle ne supportent pas l'oxygène, elle nécessitent une encapsulation de très haute qualité.

Polymère

Les polymères sont actuellement les plus attractifs dans le domaine de l'électronique grâce à leur facilité de production et leurs conditions intéressantes de dépôt qui ne requièrent pas d'environnement ultra-propre pendant le processus de fabrication. En outre, ces matériaux peuvent être facilement modifiés chimiquement pour que leur spectre soit dans le domaine visible [20].

Dans ce cadre, la couche de transport HTL en petites molécules NPB peut être remplacée par un polymère conducteur comme le polyéthylène dioxythiophene polystyrene sulphonate (PEDT/PSS) ou poly-(3,4-éthylendioxythiophene) (PEDOT) et la couche d'émission est remplacée par le polymère polyarylenes et fluorene [19] (figure 6.1).

Électrode

L'utilisation de composés organiques pour la fabrication des électrodes est encore en phase prospective. À cause de la structure de bande des matériaux organiques, la cathode se doit d'être le matériau qui injecte (perd) facilement des électrons. Les métaux *low-work-function* comme le calcium, l'aluminium ou l'alliage de magnésium et d'argent (10 :1)

sont compatibles et satisfont à cette demande. Cependant, ces matériaux (et également les composés organiques) sont très sensibles à l'air et à l'humidité, qui dégradent de manière drastique leurs propriétés optiques et électroniques [19]. Quelques groupes de recherche se concentrent sur le développement et l'optimisation de matériaux d'encapsulation et de protection des OLED. L'objectif est d'augmenter leur durée de vie ce qui est encore aujourd'hui un problème récurrent des écrans à base d'OLED.

6.1.3 Fabrication des OLEDs

Typiquement, l'OLED est réalisée sur un substrat transparent comme le verre ou le plastique. Malgré tout, l'utilisation de substrat opaque est possible (pas de rétroéclairage). Les couches HTL, EL et ETL en matériaux organiques sont déposées à basse température, par des méthodes compatibles avec celles de l'industrie des semiconducteurs, comme l'évaporation sous vide, la déposition par tournette, ou par des méthodes similaires à l'impression par jets d'encre (*ink jet printing*), *stamping* et *solution casting* [21][22].

6.2 Caractérisation de l'OLED

6.2.1 Caractéristique électronique

La caractéristique de l'OLED est très sensible à la méthodologie utilisée, surtout au niveau de courant faible. Cette propriété est importante car lors du fonctionnement de l'écran, le signal adressé au pixel change sans arrêt, sans une loi prédéfinie.

La caractérisation est réalisée par le système de mesure Keithley 4200 (que nous avons décrit dans un chapitre précédent). La méthode de mesure est un balayage d'une série de tension V_D (de manière croissante ou décroissante) pendant un certain de temps pour mesurer le courant I_D correspondant.

Direction de mesure

La mesure peut être effectuée dans le sens d'augmentation de tension V_D ou le sens de la diminution. Dans les deux cas, le courant dans l'OLED n'est pas à 0 lorsque la tension V_D est nulle. Si la première tension appliquée du balayage est négative, le courant 0 correspond

à une tension négative appliquée et vis-versa.

Ce phénomène ainsi que celui suivant (vitesse de mesure) correspond à la modification de la propriété du matériau organique par les charges piégées dans les couches organiques et à l'interface entre les couches [25]. La relaxation de ces charges n'est pas assez rapide vis à vis de la variation de la tension de mesure.

Vitesse de mesure

Suivant le même mécanisme, la vitesse de mesure modifie le décalage du point du zéro de courant. Pour une mesure à vitesse lente, le décalage est plus proche de la tension nulle et pour une mesure plus rapide, il en est plus loin. Le décalage zéro n'est obtenu qu'à la vitesse très lente de dizaines de secondes entre deux points de mesure.

La figure 6.2.1 suivante montre les caractéristiques d'une OLED pour différentes vitesses de caractérisation. Il n'y a pas de modification significative de caractéristique en régime de courant fort. Par contre, le point de décalage n'arrive à tension nulle qu'avec une vitesse très lente de plus de 40 secondes entre deux points de mesure.

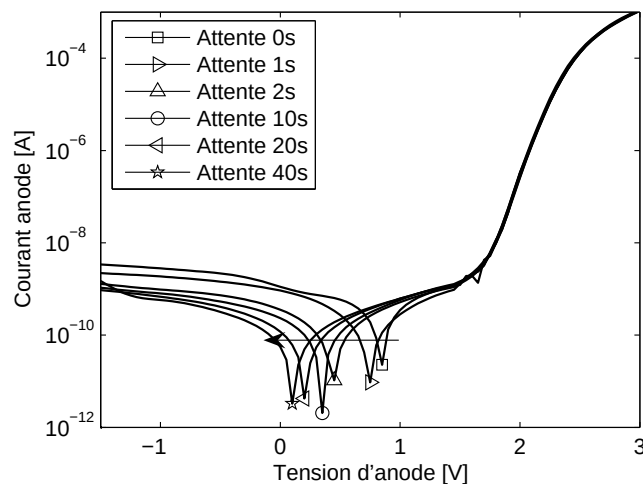


Figure 6.2 – Modification des caractéristiques $I_D(V_D)$ par la vitesse de mesure.

Tension de départ

La modification de la propriété du matériau organique dépend de la tension appliquée (considérée comme stress). Plus le premier point du balayage est de tension élevée, plus le décalage observé du point zéro est important.

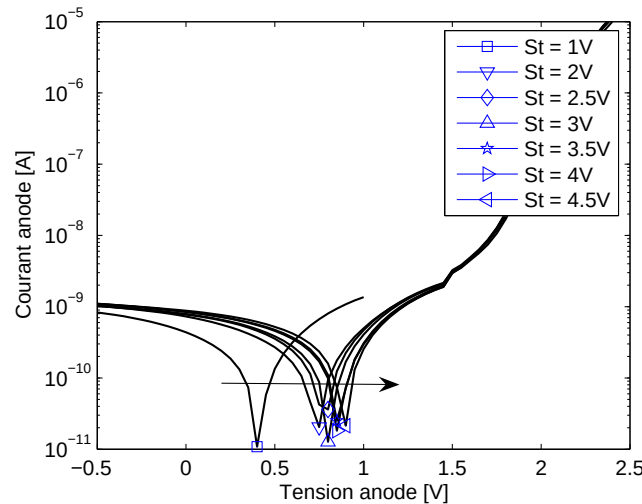


Figure 6.3 – Modification des caractéristiques par tension de départ de mesure.

Température de mesure

L'OLED émet de la lumière et par conséquent, elle chauffe par effet Joule ce qui modifie ces caractéristiques électriques. Pour tenir compte de ce phénomène, nous avons réalisé des mesures de caractéristiques de l'OLED pour différentes températures.

Amélioration des contacts

Pour certaines OLEDs, la toute première caractérisation ne donne pas une caractéristique attendue. À partir de la deuxième, les OLEDs fonctionnent correctement. Nous supposons qu'après la fabrication, l'interface entre la couche organique et les électrodes est assez mauvaise à cause de l'oxydation. Sous un champ électrique fort appliqué, une fine couche d'oxyde est détruite ce qui améliore les contacts.

6.2.2 Caractéristique optique

Le principe pour obtenir les couleurs de chaque pixel est exactement le même que dans les écrans classiques. Chaque pixel polychrome est composé de trois sous-pixels monochromes de couleurs respectivement rouge, bleue et verte. Cependant, les caractéristiques luminosité – courant et/ou luminosité – tension des OLEDs pour les différentes couleurs ne sont pas identiques. La caractéristique luminosité de l'OLED verte qui est assez linéaire est souvent la plus intéressante [23]. Une caractéristique non-linéaire complique le circuit de

commande qui doit alors compenser cette non linéarité.

Pour la simulation de la suite, nous allons considérer que la luminance de l'OLED dépend linéairement du courant.

6.2.3 Durée de vie des OLEDs

Face à l'humidité et à l'oxygène de l'environnement, le matériau organique se dégrade très rapidement. Comme la réalisation de l'OLED se fait à température ambiante, la protection par dépôt d'une couche isolante d'encapsulation n'est pas évidente, surtout sur une large surface de la taille d'un écran. De nombreux travaux sont en cours actuellement sur ce sujet mais surtout dans le cadre des écrans flexibles, on est encore loin de l'objectif de $10^{-5} - 10^{-6} \text{ g/m}^2/\text{jour}$ d'O₂.

6.3 Modélisation Spice d'OLED

6.3.1 Principe de modélisation

De manière basique, le modèle Spice statique d'une diode inorganique réelle est une caractéristique exponentielle avec une résistance en série qui est principalement la modélisation de la résistance de contacts (entre les couches) et une résistance en parallèle qui découle du transport des porteurs de charge minoritaires.

La structure que nous proposons pour une diode organique (OLED) découle du précédent modèle mais cherche à tenir compte des différences de propriétés électroniques. Ainsi, on considère qu'elle contient une caractéristique exponentielle : une diode principale, mais avec plutôt que des résistances, un dipôle en série et un dipôle en parallèle comme montrés sur la figure 6.4.

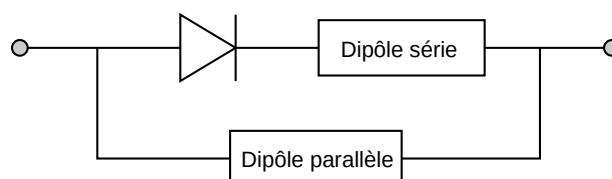


Figure 6.4 – Modèle général de l'OLED.

À partir des caractéristiques expérimentales et par extraction des paramètres, nous allons identifier les comportements électroniques de ces dipôles et ainsi en proposer une modélisation. Il est à noter que nous ne nous sommes intéressés ici qu'au comportement de l'OLED pour des tensions positives (domaine de fonctionnement utile).

6.3.2 Extraction des caractéristiques

Malgré les différentes propriétés électroniques et la différence de structure, le comportement des dipôles série et parallèle ne peut pas être trop éloigné du comportement de la diode inorganique, surtout en ce qui concerne le comportement linéaire de leur caractéristique. Partant de ce constat nous pouvons prédéterminer le comportement et l'influence respective de chacun de ces dipôles en fonction du point de fonctionnement considéré de l'OLED :

- Dipôle série : Par rapport au comportement exponentiel : diode principale, l'ajout d'un dipôle série ne modifie pas le courant. Lorsque ce dernier est fort (voire très fort), la chute de tension générée par le dipôle série est importante. Ainsi, on peut dire que l'influence de ce dipôle est plus importante en régime de courant (tension) élevé et elle l'est moins en régime de courant (tension) faible.
- Dipôle parallèle : ce dipôle a toujours la même tension que la diode principale. Lorsque la tension appliquée est faible, la proportion de courant passant dans ce dipôle est importante vis-à-vis de celui passant dans la diode principale. Ainsi, on peut dire que l'on est plus sensible à l'influence du dipôle parallèle en régime de tension faible et moins en régime de tension élevée.

En résumé, comme on peut le voir sur la figure 6.5, On considère donc que l'influence du dipôle série est négligeable pour les tensions faibles, et celle du dipôle parallèle est négligeable pour les tensions élevées. En outre, on considère que les deux sont négligeables pour des plages de tensions moyennes. Sur la caractéristique exprimée en logarithme du courant en fonction de la tension :

- La diode principale correspond à une droite (fonction exponentielle).
- En régime de faible tension, comme le dipôle parallèle devient important et s'ajoute à la diode principale, il ajoute un courant supplémentaire au courant total sans modifier la tension. La caractéristique n'est plus une droite. La pente devient plus faible que celle du régime moyen.
- En régime de tension élevée, l'influence du dipôle série devient important et s'ajoute à

la diode principale, il faut donc appliquer plus de tension pour obtenir le même courant. Par conséquent, la pente est encore une fois plus faible que celle du régime moyen.

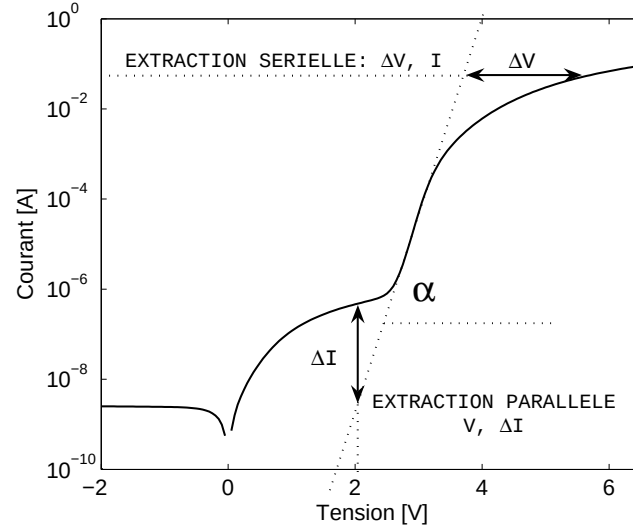


Figure 6.5 – Comportement exponentiel est de pente maximale.

On peut donc conclure que le régime de tension moyenne, c'est le régime où la pente de la caractéristique est maximale (présence de la diode principale seule). L'extraction des paramètres de la fonction exponentielle I_s et n est donc directe, par la relation :

$$I_d = I_s \left(\exp \frac{eV}{nkT} - 1 \right) \approx I_s \exp \frac{eV}{nkT} \quad (6.1)$$

Une fois que la caractéristique du comportement exponentiel est identifiée, on peut par comparaison extraire les caractéristiques du dipôle série et du dipôle parallèle.

En régime de tension faible, on prend la même tension que la tension appliquée, la différence entre le courant total et le courant du comportement exponentiel est le courant du dipôle parallèle $I_p = I_{tot} - I_{exp}$. De même, en régime de tension élevée, on prend le même courant que le courant total, la différence entre la tension appliquée et la tension du comportement exponentiel est la chute de tension du dipôle série. Les deux caractéristiques sont ainsi extraites et montrées sur la figure 6.6.

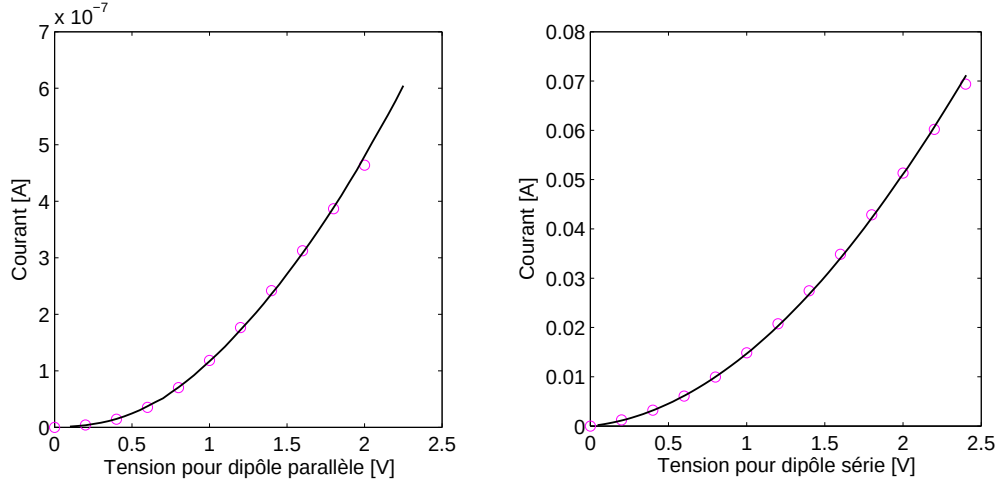


Figure 6.6 – Caractéristiques des dipôles parallèle et série.

6.3.3 Modélisation Spice d'une OLED

Les caractéristiques des dipôles parallèle et série montrent bien qu'ils n'ont pas de comportement linéaire et ne peuvent donc pas être assimilés à de simples résistances. Pour des raisons de simplicité et tout en restant suffisamment proche de la physique, on modélise le dipôle série par une diode idéale avec une résistance en série et on modélise le dipôle parallèle, de manière similaire, par une diode idéale avec une résistance en série et une résistance en parallèle.

Pour ajouter le comportement dynamique de l'OLED, on considère simplement qu'il y a un condensateur en parallèle avec le modèle statique. L'extraction de la valeur de capacité est faite en mettant une impulsion de tension sur l'OLED via une résistance de charge. On mesure le temps de réponse du système via une lecture directe sur un oscilloscope.

Le modèle Spice complet de l'OLED est montré sur la figure 6.7 qui est composé d'une diode principale D , une diode D_S avec une résistance R_S en série ¹, une diode D_P avec une résistance R_{SP} en parallèle, une résistance parallèle R_P et une capacité C pour le comportement dynamique [68].

¹Les OLEDs sont des éléments thermiquement auto-excité à cause de la lumière émise. Le dipôle en série pourrait être modélisé par une résistance non linéaire qui est plutôt sous la forme [24] :

$$R_s = R_0 \left(\frac{V}{V_0} \right)^\alpha$$

Avec R_0 la résistance à la tension de référence V_0 appliquée.

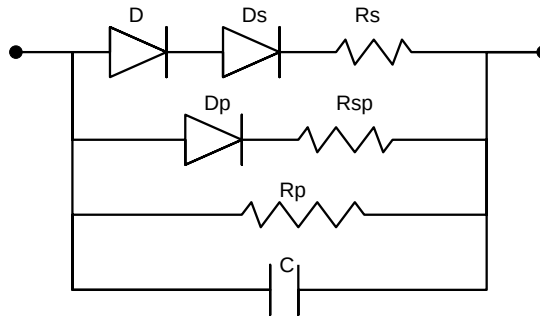


Figure 6.7 – Modèle équivalent complet de l'OLED.

L'accord entre le modèle développé et la simulation est tout à fait correct sur toutes les OLEDs caractérisées comme nous pouvons le voir sur la figure 6.8. Il est à noter que dans les applications que nous considérons dans ce travail, les OLEDs ne fonctionnent jamais sous tension négative. Par conséquent, la modélisation de l'OLED sous tension négative ne nous a pas semblé importante et le modèle que nous proposons n'est pas fonctionnel dans ce cas.

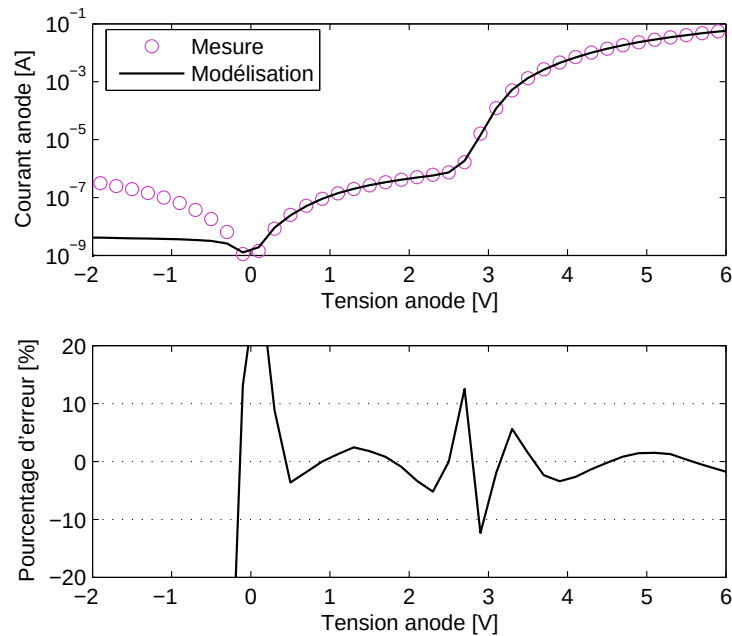


Figure 6.8 – Accord entre la mesure et la simulation des OLEDs.

Les valeurs des paramètres de l’OLED suivant le modèle que nous proposons sont listés dans le tableau ² 6.1.

<i>Paramètre</i>	<i>Description</i>	<i>Unité</i>
I_S	Is de la diode principale	A
n	Facteur d’idéalité de la diode principale	–
I_{SS}	Is de la diode série	A
n_S	Facteur d’idéalité de la diode sérielle	–
R_S	Résistance série	Ω
I_{SP}	Is de la diode parallèle	A
n_P	Facteur d’idéalité de la diode parallèle	–
R_{SP}	Résistance en série de la diode parallèle	Ω
R_P	Résistance parallèle	Ω
C	Capacité de l’OLED	F

Tableau 6.1 – Les paramètres du modèle OLED.

6.3.4 Compréhension physique du modèle

Le modèle proposé peut être expliqué de façon physique en faisant les considérations suivantes :

- Le comportement exponentiel est le comportement de la jonction principale parmi les jonctions de toutes les couches dans la structure OLED.
- La diode série correspond au regroupement de toutes les autres jonctions qui sont beaucoup moins importantes que la jonction principale (structure multicouches).
- Résistance série : c’est la résistance de contacts entre les couches, entre l’électrode avec l’extérieur.
- La résistance parallèle modélise le transport des porteurs de charges minoritaires.

²Pour des raisons techniques, nous ne pouvons pas réaliser nous-mêmes les OLEDs. Par conséquent, le paramètre s (la surface de l’OLED) ne peut pas être intégré dans cette modélisation. Nous pouvons par contre estimer l’influence de la surface de l’OLED sur le paramètre I_S comme :

$$I_S = I_{S_0} \frac{s}{s_0}$$

Avec s_0 la surface de référence et I_{S_0} le courant I_S pour l’OLED de cette taille de référence. Nous ne pouvons pas donner la dépendance des autres paramètres en surface.

- La diode parallèle met en évidence l'influence des autres pixels de la matrice. Malgré la bonne isolation entre les lignes et les colonnes, la diaphonie entre pixels est très faible mais pas toujours négligeable surtout pour des écrans à haute définition.
- Capacité : réponse dynamique de la structure multicouches.

6.4 Conclusion

Dans ce chapitre, nous avons présenté la structure physique, les propriétés de fonctionnement, la caractérisation ainsi que la modélisation type Spice d'une OLED. En résumé, l'OLED est un composant tout organique qui est facile à fabriquer avec la technologie compatible avec la technologie de transistors en couches minces et qui surtout a un rendement plus élevé que les diodes électroluminescentes inorganiques. Tous ces avantages font de ce composant un candidat plus qu'intéressant pour le domaine des écrans plats du futur.

Malgré tous ces avantages, les diodes électroluminescentes organiques montrent encore une durée de vie faible à cause de leur sensibilité à l'humidité et à l'oxygène. Malheureusement, la protection par la passivation (à basse température) n'est pas encore totalement maîtrisée.

Nous avons réalisé une modélisation de type Spice de la caractéristique courant – tension de ce composant. Le modèle proposé est en fait un circuit équivalent contenant une diode principale D , une diode D_S avec une résistance R_S en série, une diode D_P ayant une résistance en série R_{SP} et une résistance en parallèle R_P . Cette modélisation nous a permis dans la suite de simuler le fonctionnement du circuit pixel OLED, ce qui fera l'objet du prochain et dernier chapitre de cette thèse.

SIMULATION DE CIRCUITS À BASE DE TRANSISTORS EN SILICIUM MICROCRISTALLIN

Les chapitres précédents nous ont permis tout d'abord de mettre en évidence les propriétés intéressantes du silicium microcristallin dans le cadre du transistor en couches minces TFTs. Que ce soit en terme de stabilité ou de performance, les caractéristiques obtenues placent ce composant comme un bon compromis entre les TFTs en silicium amorphe (meilleures performances et stabilité) et les TFTs en silicium polycristallin (plus grande facilité de fabrication). Nous avons proposé, dans un second temps, un modèle, statique et dynamique, performant et fiable du transistor $\mu\text{c-Si}$ TFT – le modèle que nous avons pu valider via de nombreuses et multiples caractérisations expérimentales.

Au vu des performances mises en évidence, il nous a semblé tout à fait logique de tester, via simulation dans un premier temps, des circuits logiques et analogiques simples.

- Tout d'abord, nous nous sommes intéressés à l'écran à matrice active OLED en étudiant la faisabilité et le comportement d'un pixel OLED à 2 transistors $\mu\text{c-Si}$ TFT.
- Dans un second temps, un circuit de drivers lignes pour les écrans AMLCD et AMOLED (la réalisation directement sur verre de ces drivers pourrait réduire le coût des écrans de manière significative).
- Puis en conclusion, nous présenterons les premiers résultats obtenus sur des portes logiques simples tels que des inverseurs et des oscillateurs en anneau.

7.1 Circuit pixel de base à deux transistors

Dans la technologie OLED à matrice active, chaque pixel de la matrice consiste en un circuit électrique contenant une OLED qui émet la lumière, un ou des condensateurs et des transistors (TFTs) pour adresser et mémoriser le signal vidéo. L'adressage se fait ligne par ligne, l'une après l'autre et les signaux vidéo sont fournis par les colonnes à la ligne sélectionnée.

Le circuit pixel à deux transistors ¹ montré sur la figure 7.1 est celui qui est le plus simple possible. Ce circuit requiert une très grande performance des composants car il ne possède aucune structure de compensation des variations des paramètres (comme la tension de seuil par exemple) au cours du temps et/ou sur une grande surface d'écran.

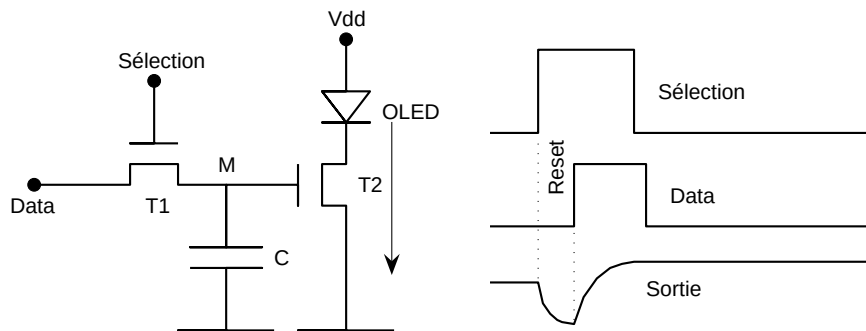


Figure 7.1 – Circuit à base de deux transistors.

L'avantage de ce circuit pour les TFTs amorphes est que le faible nombre de transistors permet de faire des TFTs de taille importante fournissant malgré une faible mobilité un courant suffisant dans l'OLED. Par contre, comme la variation de la tension de seuil des TFTs en amorphe est très forte lorsqu'ils sont en fonctionnement, la durée de vie d'écrans en amorphe est limitée pour cette structure de pixel.

Pour les TFTs en polysilicium, c'est un autre problème qui se pose. La variation spatiale importante de la tension de seuil donne une image non-homogène (plus de 20% de variation de luminosité constaté).

Le silicium microcristallin possède, comme nous l'avons montré, à la fois une bonne

¹ Il existe deux versions de ce circuit à deux transistors : le circuit à source fixe et le circuit à source flottante qui correspondent à l'OLED mise au drain ou à la source de transistor T₂. La source fixe assure un courant qui ne dépend pas de la tension de l'OLED ($V_{GS} = V_M$ et $V_{GS} = V_M - V_{OLED}$ dans les deux cas correspondant), ce qui est plus favorable pour l'adressage de signaux vidéo, mais il reste le problème technologique : la connexion du niveau de métal drain – source de T₂ à l'anode (en ITO) est plus facile que la connexion à la cathode.

homogénéité spatiale et une stabilité importante de la tension de seuil. C'est pour cette raison que l'on espère bien qu'il est un candidat potentiel pour la réalisation du circuit pixel OLED simple à deux transistors.

7.1.1 Fonctionnement du circuit

Supposons que le pixel est dans l'état initial de courant d'OLED I_1 et on va adresser le signal 'Data' pour que le courant devienne I_2 . Le potentiel au noeud M est respectivement V_{M1} et V_{M2} . Ces tensions sont de la même forme (en fonction du temps) que le courant OLED. Le fonctionnement du circuit pixel suit les étapes (figure 7.1) :

1. *Phase initiale* : 'Sélection' est OFF, le transistor T_1 est bloqué et le potentiel au noeud M est tenu par le condensateur C . Il n'y a pas d'influence du signal 'Data' sur le fonctionnement du circuit. En réalité, la valeur du signal 'Data' pendant cette phase est celle des pixels de même colonne et des lignes précédentes.
2. *Phase 'reset'* : Pour assurer le fonctionnement performant du circuit, avant d'adresser le signal V_{data2} , on va passer par une phase de 'reset'. Pendant cette phase, la 'Sélection' est ON pour activer la connexion entre le noeud M et 'Data'. Le condensateur C se décharge car 'Data' est mise au niveau bas.
3. *Phase d'adressage* : Pendant cette phase, la 'Sélection' est encore ON et on va passer le signal 'Data' au noeud M via le transistor T_1 . Le potentiel de M augmente jusqu'au niveau correspondant au courant I_2 circulant dans l'OLED.
4. *Phase auto-alimentée* : À la fin de l'adressage, la 'Sélection' est positionnée au niveau OFF et le circuit devient maintenant autonome. Le courant circulant dans l'OLED correspond au potentiel du noeud M qui a été imposé par la tension 'Data' et qui est mémorisé par la capacité C . La durée de cette phase est la plus longue, jusqu'à la fin de la trame. Cette phase auto-alimentée devient la phase initiale pour la sélection suivante.

7.1.2 Design du circuit pixel

Pour mieux comprendre le design de ce circuit, nous allons étudier un exemple concret d'un écran avec :

- Taille d'écran : 640 x 480 pixels.

- Taille de pixel : $180 \times 60 \mu m^2$ pour chaque couleur.
- Fréquence de rafraîchissement : 50 Hz .
- Luminance : 200 cd m^{-2} .
- Rapport d'ouverture 50 % (50/3 pour chaque sous-pixel).
- Contraste : 200.
- Rendement : verte de 50 cd/A , rouge 16 cd/A et bleue 5 cd/A .
- La lumière blanche contient verte 58.4 %, rouge 10.9 % et bleue 30.7 %.

Ces paramètres permettent de calculer le temps pour l'adressage de signal aux pixels :

- Temps de rafraîchissement : $50 \text{ Hz} \Rightarrow 20 \text{ ms}$
- Sélection d'une ligne : $480 \text{ lignes} \Rightarrow 20 \text{ ms}/480 = 42 \mu s$

Pour l'OLED de taille du pixel, la caractéristique courant – tension est montrée dans la figure 7.2. Sa réponse optique est supposée linéaire en courant avec l'efficacité de 50 cd/A (ce qui est le cas de la couleur verte) [62]. Pour obtenir la luminance maximale, il faut avoir un courant dans l'OLED de $I_{\text{max}} = 0.3 \mu A^2$. Le courant minimum est donc $I_{\text{min}} = I_{\text{max}}/200 = 1.5 \text{ nA}$. Les tensions de l'OLED sont 2.5 V et 2.15 V respectivement dans les deux cas.

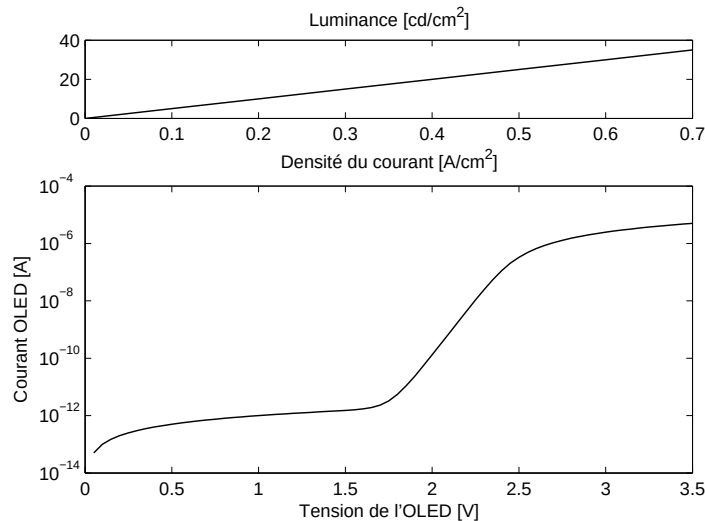


Figure 7.2 – Caractéristique électronique et optique de l'OLED utilisée.

²La contribution de la couleur verte est de 58.4 % de la luminance maximale. Le courant fallu est de : $\frac{Lum}{RappOuv * Rendmt * Polarz}$. On en déduit le niveau de courant maximum pour les deux autres couleurs est $0.55 \mu A$ et $0.15 \mu A$ pour rouge et bleue respectivement.

Détermination de la tension d'alimentation

Pendant le fonctionnement de la matrice, il peut y avoir des chutes de tension d'alimentation au niveau d'un pixel car l'image sur l'écran change sans arrêt.

Pour assurer un niveau de courant stable dans l'OLED qui ne dépend pas de cette modification, le transistor source de courant T_2 doit fonctionner en régime de saturation.

En caractéristique $I_{DS}(V_{DS})$, nous trouvons que la tension V_{DS} du transistor qui assure la saturation est plus grande que 7 V. Nous choisissons donc une tension de saturation du transistor de 10 V et comme la tension aux bords de l'OLED est comprise entre 2.15 V et 2.5 V, il est raisonnable de prendre une alimentation $V_{dd} = 12$ V.

$$V_{dd} = 10 + 2 = 12 \text{ V} \quad (7.1)$$

Détermination de la taille de transistor T_2 et de la tension V_M

Comme le transistor T_2 fonctionne en régime de saturation, la tension de grille de T_2 doit être bien sûr $V_M > V_T$ avec V_T la tension de seuil du transistor T_2 . Nous choisissons donc une valeur minimale de V_M d'environ $V_T + 1$ V.

Pour notre transistor, $V_T = 4$ V $\Rightarrow V_M(\min) = 5$ V.

En se plaçant sur la caractéristique de simulation, comme le courant minimum de l'OLED correspondant est de 1.5 nA, le transistor T_2 doit avoir un rapport W/L de 6. Nous choisissons donc $W = 30 \mu\text{m}$ et $L = 5 \mu\text{m}$. Les caractéristiques $I_D(V_{DS})$ et $I_D(V_{GS})$ de ce transistor sont montrées sur la figure 7.3.

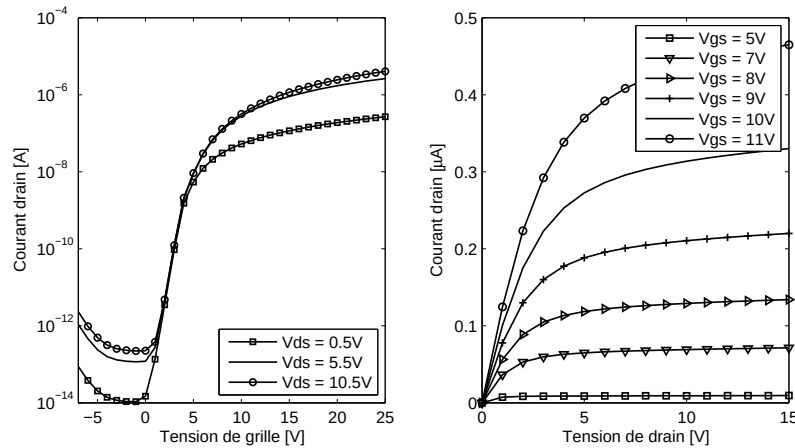


Figure 7.3 – Caractéristique du transistor $W/L = 30/5$ (simulation).

Avec ce transistor, le niveau de courant maximum de $0.3 \mu A$ correspond à la tension de grille $V_M(max) = 10 V$. La plage de V_M comprise entre $5 V$ et $10 V$ est tout à fait raisonnable pour l'électronique de drivers des écrans.

Détermination de la tension de 'Data'

Pendant la phase d'adressage, sur le transistor T_1 , le noeud 'Data' correspond au drain, M correspond à la source et 'Sélection' à la grille. 'Data' et M changent de rôles pendant la phase de 'reset'. Les niveaux de 'Data' sont donc compris entre $5 V$ et $10 V$ comme le niveau de tension du noeud M . On verra par la suite, que la tension de 'Data' et la tension du noeud M après l'adressage ne peuvent pas être de même niveau.

Détermination de la taille de transistor T_1 et du condensateur

Tous les composants T_1 , T_2 , OLED et le condensateur doivent être positionnés dans la zone correspondant à la surface du pixel (à peu près $200 \mu m \times 200 \mu m$).

Il faut noter que les TFTs ont également des comportements dynamiques. Nous allons considérer le comportement du couplage C et C_{TFT1} pendant le passage de la 'Sélection' du niveau haut au niveau bas.

La charge stockée au noeud M , lorsque la 'Sélection' est en niveau haut, est donnée par :

$$Q_M = V_M C + C_{T1d}(V_M - V_{SelH}) \quad (7.2)$$

Où C_{T1d} est la capacité C_{GD} de T_1 .

La charge de ce noeud lorsque la 'Sélection' est en niveau bas, est donnée par :

$$Q'_M = V'_M C + C_{T1d}(V'_M - V_{SelL}) \quad (7.3)$$

Pendant un moment très court, cette charge doit rester constante, ce qui nous donne :

$$Q_M = Q'_M \Rightarrow V'_M = V_M - \frac{C_{T1d}}{C + C_{T1d}} (V_{SelH} - V_{SelL}) \quad (7.4)$$

Cette équation 7.4 signifie que la tension du noeud M chute après la phase de 'Sélection'. Pour réduire ce problème de chute de tension (qui perturbe l'adressage des signaux), il faut choisir les paramètres de manière à ce que le rapport $C_{T1d}/(C + C_{T1d})$ soit le plus petit possible donc un $W.L$ petit.

En outre, comme l'adressage d'un pixel se fait sur une courte durée, il faut que le courant qui passe dans T_1 (de switch) soit assez important pour charger suffisamment la capacité C . Pour le transistor T_1 , on doit alors faire un compromis entre un W/L petit et un W/L suffisamment grand. Le choix pratique de W et de L sera réalisé par optimisation successive via la simulation.

Détermination du niveau de tension de 'Sélection'

La tension 'Sélection' doit assurer que le transistor T_1 est ouvert pendant la phase de Reset et que l'adressage soit bien bloqué pendant tout autre moment.

La phase de fermeture de T_1 correspond à $V_{GS} = -6$ à $-1V$ où le courant de drain est minimum (voir la caractéristique de TFT dans la figure 7.3). Comme le potentiel au noeud 'Data' et au noeud M est compris entre 5 V et 10 V, le niveau BAS de la 'Sélection' pourrait être de 4V.

Dans la phase de sélection, un potentiel élevé pour 'Sélection' signifie que le Reset et l'adressage se feront plus rapidement car le T_1 est mieux saturé. Mais la chute de potentiel du noeud M devient alors plus importante au moment du changement de niveau de 'Sélection' (voir l'équation 7.4). Il faut donc là aussi faire un compromis. La valeur de 'Sélection' sera fixée par la simulation.

7.1.3 La simulation d'un circuit pixel OLED

Finalement, les paramètres des composants dans le circuit OLED sont :

- Transistor T_1 : $W = 15 \mu m$, $L = 2.5 \mu m$ et $OL = 1 \mu m$.
- Transistor T_2 : $W = 30 \mu m$, $L = 5 \mu m$ et $OL = 1 \mu m$.
- Capacité : $C = 0.9 pF$.
- OLED³ : $I_s = 4.4 \cdot 10^{-26} A$, $n = 2.17$, $R_p = 10^{12} \Omega$ et $R_s = 1.8 \cdot 10^5 \Omega$.
- Tensions : $V_{dd} = 12 V$, $V_{Data} = 4.5 V$ à $10 V$, $V_{Select} = 20 V$.

Ces données correspondent à une taille du pixel de $200 \times 60 \mu m$.

La simulation réalisée via le simulateur Spectre donne les réponses représentées sur la figure 7.4 au moment d'un changement de trame. On voit clairement les phases reset, adres-

³L'OLED utilisée pour la simulation est choisie pour fonctionner principalement dans la partie d'influence de la diode principale. Les dipôles série et parallèle dans le modèle complet sont considérés comme négligeables.

sage, désélection et une petite chute de tension du noeud M après la sélection.

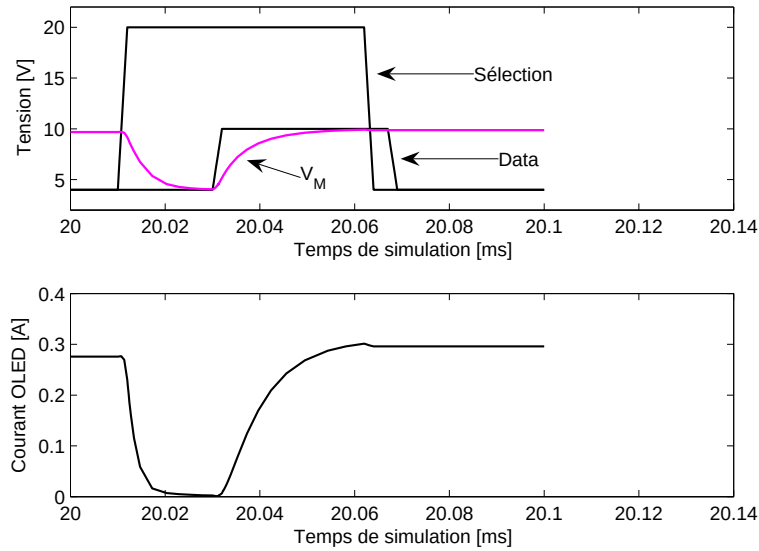


Figure 7.4 – Simulation d'un pixel OLED.

Le niveau du courant d'OLED en fonction de la tension de l'entrée V_{Data} est tracée sur la figure 7.5.

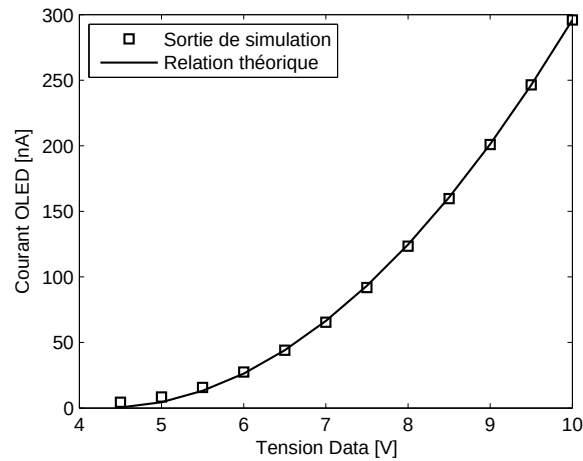


Figure 7.5 – Relation entre le courant de sortie et la tension entrée.

Cette relation peut être estimée par l'équation :

$$I_{OLED} = A(V_{Data} - V_0)^\alpha \quad (7.5)$$

Avec les coefficients $A = 9.1 \text{ } \mu\text{A/V}^2$, $V_0 = 4.3 \text{ V}$ et $\alpha = 2$.

Cette relation permet au driver colonne de déduire le niveau de tension de Data à adresser pour avoir une luminance bien définie.

7.1.4 Fenêtre autorisée des paramètres

Les calculs précédents nous ont permis de démontrer par la simulation que les transistors $\mu\text{c-Si}$ TFT avaient la capacité d'assurer un fonctionnement tout à fait correct d'un circuit pixel OLED. Mais cette validation a été effectuée uniquement dans des conditions optimales de fonctionnement et n'est donc pas suffisante pour valider proprement la pertinence de notre approche.

Comme expliqué dans l'introduction de ce chapitre, les exigences qui assurent le bon fonctionnement d'un pixel OLED sont le courant de fuite pour le transistor T_1 et la stabilité pour le transistor T_2 . Afin de tester le comportement du pixel face à ces contraintes nous nous proposons de changer les paramètres de fonctionnement pour trouver le pire cas qui assure encore le fonctionnement correct de l'écran.

Influence du courant de fuite

Pour étudier la limite autorisée du courant de fuite qui assure encore le fonctionnement correct du pixel, nous essayons d'augmenter le niveau du courant de fuite du transistor T_1 en modifiant le paramètre σ_0 ⁴. Par décharge capacitive du condensateur via le transistor T_1 , la tension du noeud M n'est pas totalement mémorisée et le courant de l'OLED baisse à la fin de la trame (20 ms).

Le pire cas correspond ici au cas où V_{Data} reste la plus faible (qui est de 4 V) après la sélection⁵. Les courants d'OLED, avec différentes valeurs de σ_0 , au passage à la deuxième trame sont montrés dans la figure 7.6.

La figure 7.7 montre la modification du courant OLED en fonction du courant de fuite à $V_{DS} = 1\text{ V}$ du transistor T_1 .

Nous pouvons estimer que le courant de fuite autorisé pour le transistor T_1 pour que le courant d'OLED change de moins de 10% à la fin de la trame est de 2 pA à $V_{DS} = 1\text{ V}$.

⁴Le courant de fuite est principalement donnée par $I_{fuite} = W\sigma_0 V_{DS}$.

⁵C'est le cas où le pixel des lignes suivantes et de même colonne deviennent noirs. Dans cette condition, la décharge de la capacité après la sélection est la plus favorable.

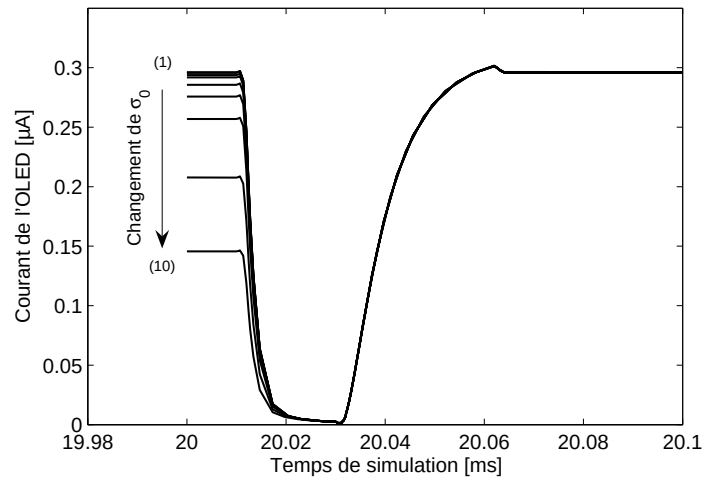


Figure 7.6 – Courant OLED au changement de trame avec différents σ_0 .

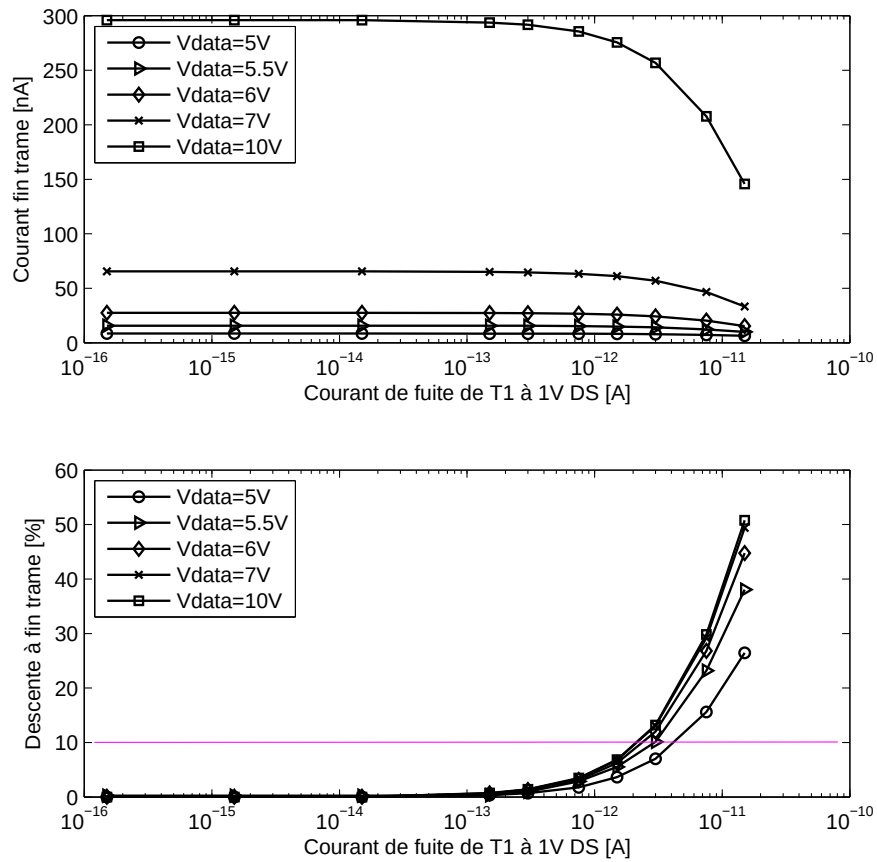


Figure 7.7 – Modification du courant de l'OLED à la fin de la trame.

Modification de la tension d'alimentation

La chute de tension d'alimentation conduit à la chute du niveau de courant dans l'OLED. La figure 7.8 montre la modification du courant pour différentes tensions d'alimentation.

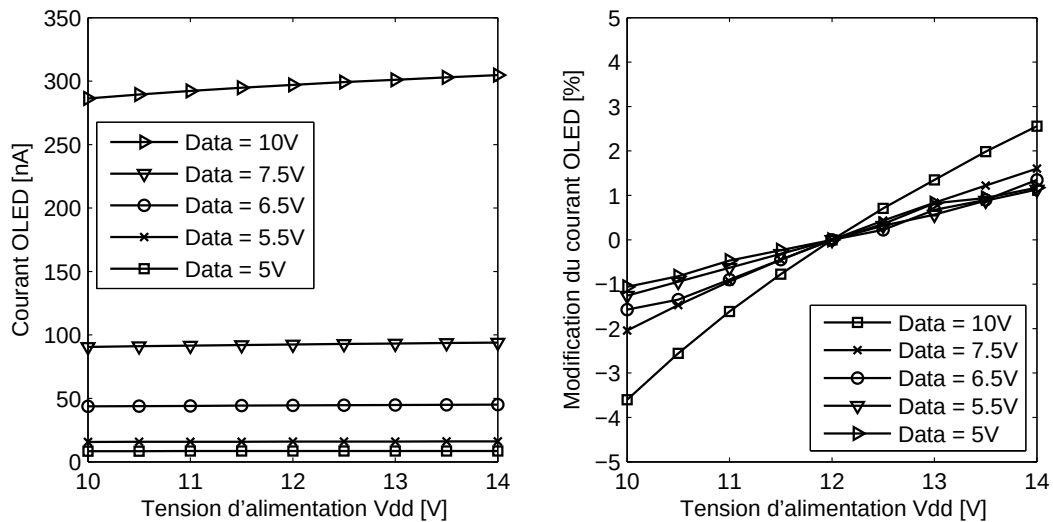


Figure 7.8 – Influence de tension d'alimentation au circuit OLED.

La simulation est effectuée avec la tension d'alimentation dans la plage de 10 V à 14 V et nous avons trouvé une chute de courant d'OLED (par conséquent, de la luminance) de moins de 4 %, ce qui est en dessous de la sensibilité de l'œil.

Modification de la conductivité de transistor T_2

Ce problème revient à la même étude que le vieillissement du matériau silicium micro-cristallin pendant le fonctionnement de l'écran. Nous allons le traiter dans ce qui suit pour prévoir la durée de vie du dispositif.

7.1.5 Durée de vie des écrans OLED utilisant le silicium microcristallin

La durée de vie de l'écran correspond au moment où sa luminance est diminuée de 50 % [62] par rapport à celle originale. La diminution de luminance est reliée directement au vieillissement des composants.

La figure 7.9 montre la diminution du courant d'OLED lorsque la tension de seuil du transistor change de 4 V à 5 V (le vieillissement fait augmenter la tension de seuil du tran-

sistor). Le niveau de courant et le pourcentage de changement par rapport à l'original seront représentés sur la figure 7.10.

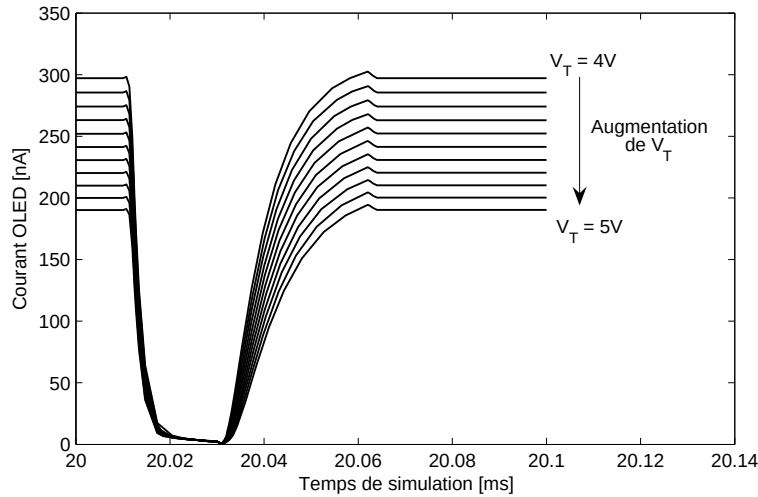


Figure 7.9 – Courant OLED à différentes valeurs de tension de seuil.

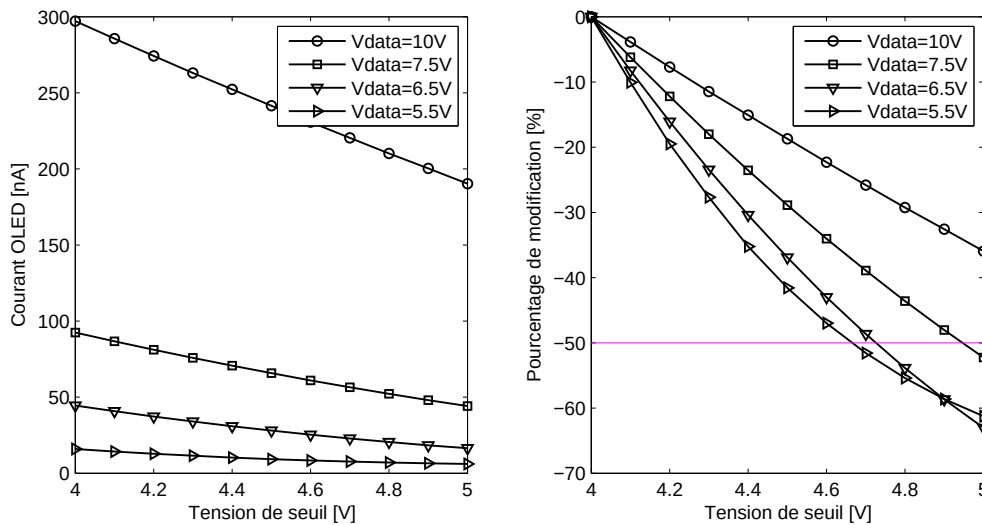


Figure 7.10 – Changement de niveau de courant OLED en V_T .

Dans cette simulation, la modification de 50% du courant de l'OLED à la luminance maximale, correspond à une modification de à peu près 1 V de la tension de seuil. Il est à noter que le changement est moins important pour un niveau de courant plus faible.

Grâce à l'équation 5.64 sur le vieillissement du matériau et ce qui est montré dans la figure 5.11, nous pouvons définir la relation exprimant la modification de la luminance en fonction du temps d'utilisation. Cette relation est montrée sur la figure 7.11. Nous pouvons

estimer que la durée de vie de l'écran est de l'ordre de 10^4 heures (dans le cadre des applications de type télévision la norme est de 10^4 heures).

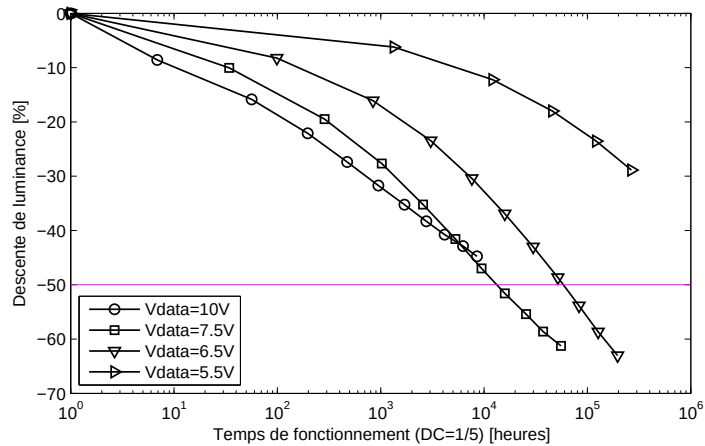


Figure 7.11 – Durée de vie de l'écran OLED.

7.2 Circuit driver ligne

Le driver ligne est un registre à décalage qui décale le signal d'entrée comme montré sur la figure 7.12 [61]. La sortie d'un registre sert ensuite à activer le fonctionnement du driver de la ligne suivante.

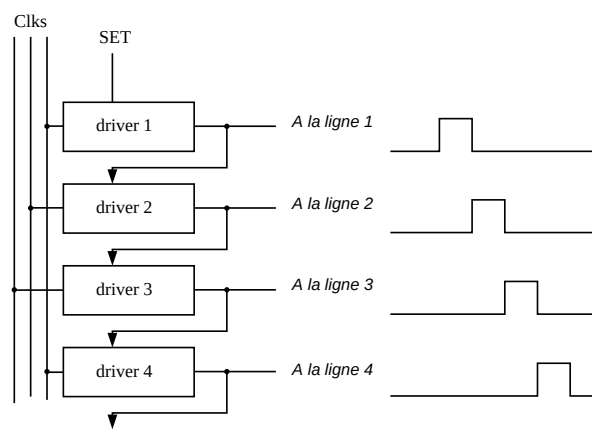


Figure 7.12 – Drivers ligne en matrice active.

Le signal de sortie d'un driver ligne correspond à la tension de sélection du pixel dans le circuit pixel OLED à deux transistors.

Comme le silicium microcristallin montre une performance remarquable, il n'est pas seulement utilisé dans les transistors de pixels mais on espère également pouvoir intégrer tout le système sur un seul substrat de verre : les drivers, les circuits des pixels. C'est déjà le cas pour le silicium polycristallin. La réalisation de ce système permet de réduire le coût de fabrication en éliminant les drivers externes et les connexions de ces drivers à la matrice de pixels.

Pour le choix de la structure il nous a paru logique de prendre une structure de drivers ligne conçue à base de transistors en polysilicium. En effet, ces derniers ne comportent pas de circuit de compensation comme dans le cas des drivers à base de transistors en silicium amorphe.

Le circuit de driver avec les signaux d'input est montré sur la figure 7.13. Dans ce circuit, le signal de sortie du driver $n + 3$ sera utilisé comme le signal de "reset" du driver n . Le driver n et le driver $n + 3$ utilise le même signal d'horloge Clk_n .

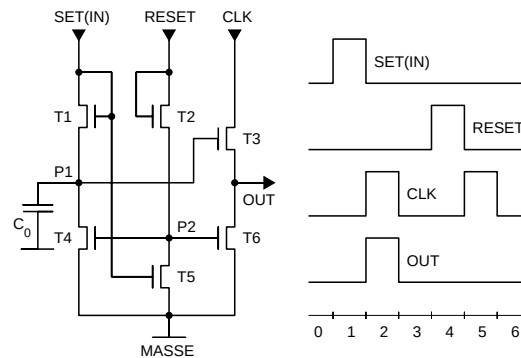


Figure 7.13 – Schéma de driver ligne.

Fonctionnement du driver ligne

L'allure des signaux est montrée dans la figure 7.13 à droite.

- Phase 1 : SET = haut, RESET = bas, CLK = bas $\Rightarrow$ T₁ ouvert, T₅ ouvert, T₂ fermé $\Rightarrow$ P₁ haut, P₂ bas $\Rightarrow$ T₃ ouvert, T₄ fermé, T₆ fermé. La sortie OUT est donc reliée au CLK qui est au niveau bas.
- Phase 2 : SET = bas, RESET = bas, CLK = haut $\Rightarrow$ le potentiel au noeud P₁ est mémorisé par la capacité C₀ et OUT est donc encore relié au CLK. OUT est au niveau haut. Ce qui signifie que la sortie passe au niveau haut juste après la descente de l'entrée.

- Phase 3 : Rien change pour les signaux SET et RESET. CLK passe au niveau bas et par conséquent, la sortie passe également au niveau bas. On trouve que la sortie est identique à l'entrée avec un décalage.
- Phase 4 : RESET passe en haut qui permet de relier le noeud P_2 au RESET, T_6 et T_4 deviennent ouverts. P_1 et la sortie sont donc reliés à la masse : $OUT = \text{bas}$, T_3 fermé.
- Phase 5 : RESET et SET sont toujours aux niveau bas. Les potentiels aux noeuds P_1 et P_2 ne peuvent pas être changés. Deux condensateurs C_0 et C_{P2} sont mis aux noeuds P_1 et P_2 pour renforcer la mémorisation de la charge. Le signal CLK a donc aucune influence sur la sortie.
- Phase 6 : À partir de la phase 6, le CLK sert aux drivers des lignes suivantes. SET et RESET reviennent après une trame (de 20 ms pour un écran qui fonctionne à 50 Hz par exemple).

Ajustement des paramètres, simulation

Comme le circuit fonctionne en dynamique, les couplages comme ceux que nous avons étudiés dans le fonctionnement du circuit pixel OLED à deux transistors sont très importants. Prenons la tension du noeud P_1 par exemple.

Lorsque SET est au niveau haut : $V_{P1}^1 \approx SET_{haut}$.

Lorsque le signal SET passe du niveau haut au niveau bas, le potentiel de la grille de transistor T_1 devient faible (SET_{bas}). Le transistor T_1 devient bloqué et la conservation de la charge du noeud P_1 fait diminuer le potentiel : $V_{P1}^2 < V_{P1}^1$ (couplage avec la capacité C_{gs} de transistor T_1).

Lorsque le signal CLK passe du niveau bas au niveau haut, la charge du noeud P_1 est toujours conservée et le potentiel du noeud P_1 augmente (couplage avec la capacité C_{gd} du transistor T_3) : $V_{P1}^3 > V_{P1}^2$.

Nous avons trouvé que le niveau du potentiel V_{P1}^3 est contrôlable par la modification de la taille du transistor T_3 , ce qui modifie la capacité C_{gd} de ce transistor. Pour assurer que la sortie peut être utilisée comme l'entrée du driver suivant, son niveau de potentiel doit être le même que celui du signal SET ce qui impose que V_{P1}^3 doit être plus grande que SET_{haut} .

$$V_{P1}^3 - OUT_{haut} > V_T \Rightarrow V_{P1}^3 > V_T + OUT_{haut} = V_T + SET_{haut}$$

Dans laquelle V_T est la tension de seuil d'un transistor.

L'ajustement de la taille des transistors se fait par la simulation. Les paramètres des composants sont listés dans le tableau 7.1.

<i>Composant</i>	<i>Taille</i>	<i>Unité</i>
T ₁	W/L = 80/3	μm
T ₂	W/L = 500/5	μm
T ₃	W/L = 50/5	μm
T ₄	W/L = 60/5	μm
T ₅	W/L = 1000/3	μm
T ₆	W/L = 100/5	μm
C ₀	0.5	pF
C _{P2}	1	pF

Tableau 7.1 – Paramètre de composants driver.

La simulation réalisée par Spectre Cadence est tracée sur la figure 7.14. Les 5 étages mis en série sont suffisants ⁶ pour assurer une simulation du fonctionnement correct. L'étage 2 utilise la sortie de l'étage 1 comme SET et il profite de la sortie de l'étage 5 comme RESET, ceux-ci ne sont pas idéalement carrés comme le signal généré par une source de tension (comme tous les autres étages). L'étage 2 est donc le plus réaliste.

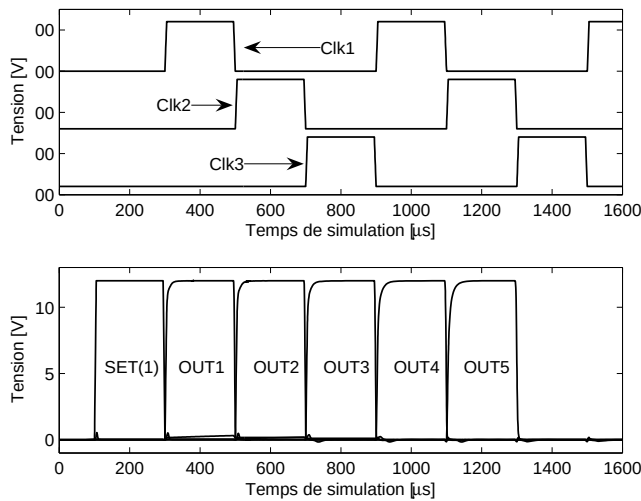


Figure 7.14 – Simulation de drivers ligne en silicium microcristallin.

⁶L'augmentation du nombre d'étages à simuler n'est pas toujours possible car la simulation commence à avoir la difficulté de converger.

Il faut noter également que la sortie sera utilisée comme sélection des pixels de toute la ligne, il faut donc ajouter pour simuler ces pixels, une capacité de sortie dans le “netlist” de la simulation.

7.3 Conclusion

Dans ce chapitre, nous avons montré premièrement le design du circuit pixel OLED en utilisant les transistors en silicium microcristallin. Le design réalisé se base sur les caractéristiques électroniques et optiques de l’OLED de la couleur verte qui est la meilleure en rendement et en linéarité (relation entre la luminance et le courant). Par la simulation du circuit pixel avec les modèles du transistor et de l’OLED développés, nous avons estimé le pire des cas de transistor en silicium microcristallin (un courant de fuite élevé) qui assure encore le fonctionnement correct de l’écran. La durée de vie des écrans utilisant le silicium microcristallin est estimée à $10^4 h$.

Pour les autres couleurs (bleue et rouge), la linéarité est moins bonne. Par conséquent, il doit y avoir un driver colonne (ce qui traduit le signal tension en résultat de luminance) plus compliqué. Le rendement moins élevé de ces deux couleurs est compensé par leur faible contribution dans la couleur blanche.

Dans une seconde partie, nous avons réalisé la simulation du fonctionnement de driver ligne utilisant le transistor en silicium microcristallin. Cette simulation a démontré un fonctionnement similaire à celui obtenu avec le silicium polycristallin. Le résultat est tout à fait correct avec un signal de largeur de $200 \mu s$, ce qui reste encore lent ⁷. Pour cause de convergence lors de la simulation, la réduction de la largeur du signal n’était pas toujours possible.

Finalement, nous avons réalisé également les tests de simulation des inverseurs et surtout d’un oscillateur en anneau “ring oscillator”. Ce dernier n’a pas été optimisé (tailles des transistors) car nous n’avons pu corriger le problème de convergence qu’au dernier moment.

Circuits inverseurs et “ring oscillator”

- Figure 7.15a : Inverseur NMOS avec la résistance de charge R.

⁷Il est à noter que la sélection de la ligne d’une matrice 640×480 50 Hz est d’environ $40 \mu s$ comme étudié pendant la simulation du circuit pixel.

- Figure 7.15b : Inverseur NMOS dont le transistor T_1 ayant $V_{GS} - V_T = V_{DS} - V_T < V_{DS}$ fonctionne en régime de saturation.
- Figure 7.15c : Inverseur NMOS dont le régime de fonctionnement de transistor T_1 est modulable par la deuxième tension de commande V_{dd2} .
- Figure 7.15d : “Ring oscillator” qui est constitué d’un nombre impaire d’inverseurs en série dont la sortie du dernier inverseur est reliée à l’entrée du premier.

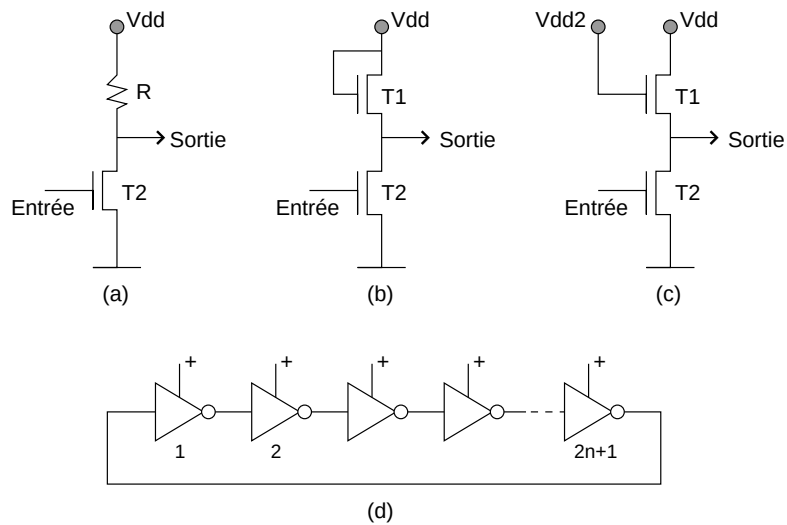


Figure 7.15 – Inverseur NMOS et “ring oscillator”.

Réponse statique de l'inverseur 7.15a

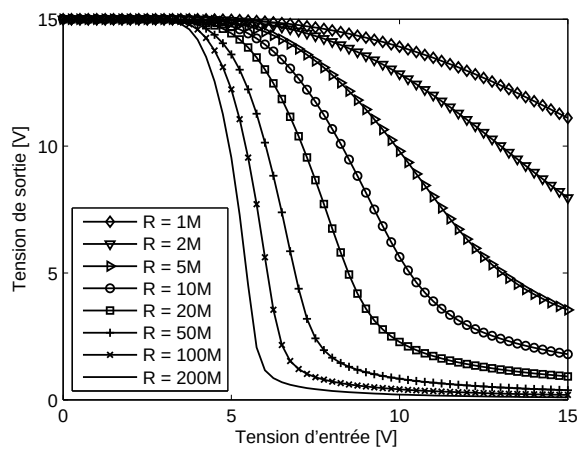


Figure 7.16 – Simulation statique de l’inverseur.

Réponse statique de l'inverseur sur la figure 7.15b

Figure 7.17 montre les signaux en simulation des 4 sorties d'un circuit constitué de 4 inverseurs en série. La tension d'entrée (premier inverseur) est balayée de 0 à 15V.

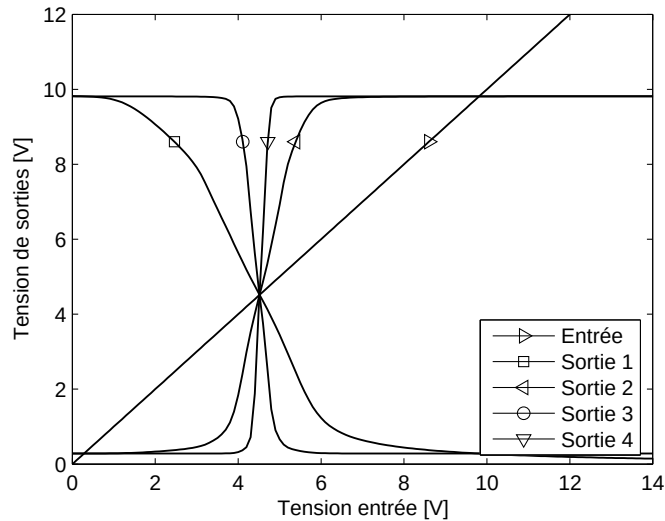


Figure 7.17 – Réponse statique de 4 inverseurs en série.

En utilisant la deuxième source d'alimentation V_{dd2} comme dans la figure 7.15c, le niveau de tension de sortie est contrôlable.

Signal d'oscillation du "ring oscillator"

Figure 7.18 montre le signal d'oscillation d'un "ring oscillator" constitué de 15 inverseurs dont chacun ayant $T_1 : W/L = 10 \mu m / 5 \mu m$ et $T_2 : W/L = 100 \mu m / 5 \mu m$. Le signal oscillant a une fréquence de 10.1 kHz. Les deux autres types d'inverseurs sont simulés également. Le tableau 7.2 résume les résultats de simulation.

Circuit	$T_1 W/L$	$T_2 W/L$	Fréquence
1	10/5	100/5	10.1 kHz
2	10/10	200/10	2.4 kHz
3	10/20	250/10	1.2 kHz

Tableau 7.2 – Résultats de simulation sur "ring oscillator".

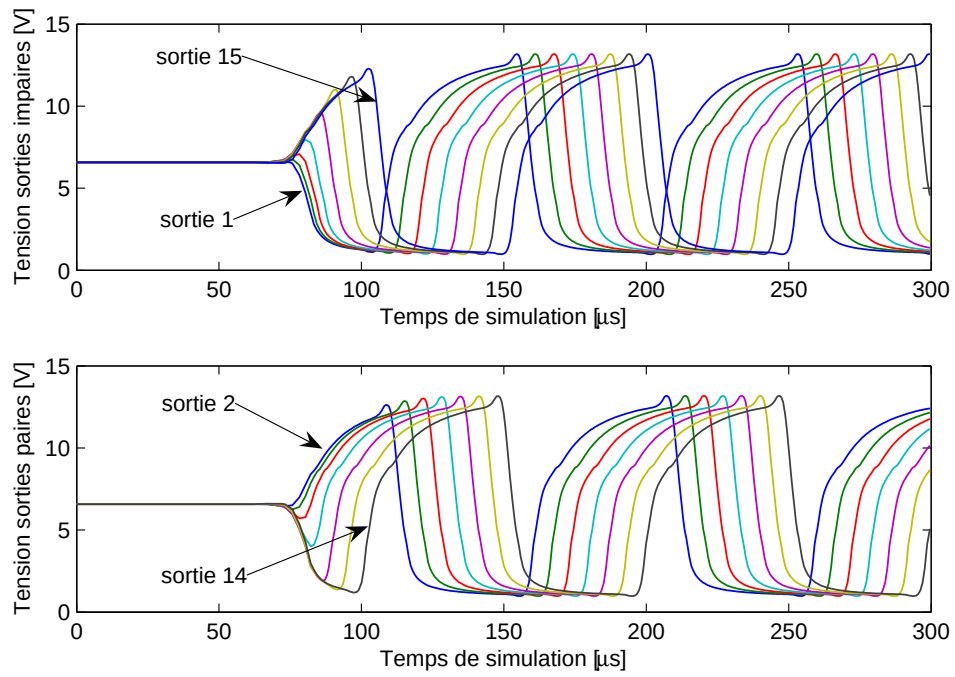


Figure 7.18 – Signal d’oscillation du “ring oscillator” (15 inverseurs).

CONCLUSIONS GLOBALES ET PERSPECTIVES

Les Organic Light Emitting Diode Displays sont de nos jours un domaine de recherche en très grande expansion. Ce travail de thèse a pour ambition de couvrir plusieurs étapes nécessaires pour une éventuelle industrialisation de cette technologie d'écrans plats grâce à l'utilisation de transistors en couches minces en silicium microcristallin. Ce dernier est en effet un candidat prometteur en termes de fiabilité, de performance, de consommation d'énergie ainsi que de coût de fabrication par rapport à ses concurrents : le silicium amorphe et le silicium polycristallin. Toutes ces étapes consistent à :

- Une étude sur le design technologique des composants électroniques et la réalisation des jeux de masques de lithographie.
- Une description des technologies en salle blanche pour la réalisation des composants.
- Des études sur la caractérisation et sur l'extraction des paramètres importants dans le but de confirmer et d'améliorer la performance des composants réalisés ainsi que d'échanger des "feedback" avec d'autres équipes de travail.
- Des études sur les propriétés physiques du matériau qui mènent à la construction du modèle comportemental type Spice du transistor.
- Des simulations de circuits utilisant le silicium microcristallin dans les applications pixel OLED ainsi que d'autres fonctions électroniques pour prévoir leurs performances lors d'une utilisation future.
- Des études sur la caractérisation et la modélisation Spice de l'OLED.

Design de masques et technologie salle blanche

Nous avons réalisé nos propres masques pour fabriquer et étudier proprement les influences des paramètres technologiques sur le fonctionnement des composants. Les dessins

de masques se focalisent sur :

- Les variations des paramètres géométriques comme la taille de transistors.
- Les composants contrôlant la qualité technologique (les résistances TLM, l'alignement, les vérifications de la gravure, ...).
- Les circuits de tests comme le driver ligne, les inverseurs, les circuits pixels OLED.

Les masques sont principalement conçus pour réaliser des transistors en bottom gate mais nous pouvons également réaliser des transistors en top gate avec le même jeu de masques. La technologie est réalisée dans la salle blanche de Thales TRT qui comprend tous les outils de lithographie et de gravure. Les transistors sur les substrats souples tels que le polyimide et l'acier ont été aussi réalisés avec des résultats prometteurs.

Caractérisation et extraction des paramètres

Les transistors en couches minces TFTs en silicium microcristallin sont réalisés et sont caractérisés par notre système de mesure sous pointes Keithley 4200 avec ses modules complémentaires. La caractérisation se fait sous plusieurs conditions de fonctionnement : la température du substrat, l'humidité contrôlée via un vide primaire, le stress en appliquant une tension élevée. Nous avons ainsi obtenu des transistors ayant des performances intéressantes. L'extraction des paramètres se base sur le modèle existant du transistor monocristallin et du transistor en silicium amorphe. Nous avons également réalisé des extractions de paramètres plus fines avec le modèle de transistor construit en utilisant les outils d'ICCAPP ou bien de la toolbox "traitement du signal" de Matlab.

Modélisation Spice de TFT et OLED

Un modèle statique et dynamique type Spice de transistor en silicium microcristallin type N est proposé, se basant sur les propriétés physiques du matériau. Le modèle statique proposé divise en trois régimes le comportement du transistor :

- Régime de fuite qui représente le courant de surface, la conductivité intrinsèque de la couche active et le courant de jonctions P-N (courant de trous) lorsque la tension grille – source appliquée devient très négative.
- Régime sous le seuil qui représente le remplissage des états de défauts dans le semi-conducteur, principalement les états profonds. Un comportement en loi exponentielle est proposé.

- Régime au-dessus du seuil qui représente une contribution dominante des états de queues de bande dans le profil du champ électrostatique dans le semiconducteur. La mobilité à effet de champ des porteurs de charge dans le canal dépend d'une loi en puissance de la tension grille – source appliquée.

Un modèle Spice de l'OLED est également proposé. Le circuit équivalent de l'OLED est constitué de composants classiques comme des diodes, des résistances et un condensateur.

Tous ces modèles sont intégrés via le langage Verilog-A dans le simulateur Spectre de Cadence et sont validés par nos outils de caractérisation.

Simulation de circuits d'applications OLED

La simulation du circuit pixel OLED et du driver ligne a été réalisée. Nous avons démontré la possibilité d'utiliser des transistors en silicium microcristallin dans les applications OLED. Les inverseurs ainsi que les oscillateurs en anneau ("ring oscillator") sont également étudiés et leur faisabilité démontrée. Il est à noter que le modèle intégré dans l'environnement Verilog-A est finalement optimisé pour assurer la convergence du simulateur Spectre.

Au point de vue des perspectives, il nous reste de multiples choses à réaliser et/ou à optimiser comme :

- La réalisation et la modélisation de transistor de type P.
- L'optimisation de la structure du TFT pour améliorer encore les performances et la stabilité.
- La réalisation des transistors de structure top gate.
- De la vérification expérimentale des circuits simulés (circuit pixel OLED, les inverseurs et les oscillateur en anneau).
- D'envisager d'autres fonctions électroniques à base de transistors en silicium microcristallin.
- D'étudier et de réaliser avec de meilleures performances des transistors sur des substrats souples.

RÉFÉRENCES

- [1] H. S. Philip Wong, “*Beyond the conventional transistor*”, Solid-State Electronics, Vol. 49, p. 755, 2005.
- [2] R. E. I. Schropp, B. Stannowski and J. K. Rath, “*New challenges in thin film transistor (TFT) research*”, Journal of Non-Crystalline Solids, Vol. 299, p. 1304, 2002.
- [3] Your source for OLED information :
[http ://www.oled-info.com/devices](http://www.oled-info.com/devices).
- [4] M. Rosfelder, “*Circuits analogiques en silicium polycristallin. Dessins et simulations d’amplificateurs opérationnels en transistors en couches minces*”, Thomson-CSF.
- [5] A. Yumoto, M. Asano, H. Hasegawa and M. Sekiya, “*Pixel-driving methods for large-sized poly-Si AM-OLED displays*”, Asia Display/IDW’01, p. 1395-1398, 2001.
- [6] Y. Hong, J. Kaniki, and R. Hattori, “*Novel poly-Si TFT pixel electrode circuits and current programmed active-matrix driving methods for AM-OLEDs*” SID’02 Digest, p. 618-621, 2002.
- [7] R.M.A. Dawson, Z. Shen, D.A. Furst, S. Connor, J. Hsu, M.G. Kane, R.G. Stewart, A. Ipri, C.N. King, P.J. Green, R.T. Flegal, S. Pearson, W.A. Barrow, E. Dickey, K. Ping, S. Robinson, C.W. Tang, S. Van Slyke, F. Chen, J. Shi, M.H. Lu, and J.C. Sturm, “*The impact of the transient response of organic light emitting diodes on the design of active matrix OLED displays*”, IEDM 1998, p. 875-878, 1998.
- [8] Billel Kalache, thèse de doctorat, Ecole Polytechnique, 2003.
- [9] H. Tourir and P. Roca i Cabarrocas, “*Optical dispersion relations for crystalline and microcrystalline silicon*”, Physical review B, Vol. 65, p. 155330, 2002.
- [10] Samir Kasouit, thèse de doctorat, Ecole Polytechnique, 2003.

- [11] T. Unold, R. Brüggemann, J.P. Kleider, C. Longeaud, “*Anisotropy in the transport of microcrystalline silicon*”, Journal of Non-Crystalline Solids 266–269 p. 325–330, 2000.
- [12] P. Roca i Cabarrocas, “*Science des matériaux et technique du réacteur dans le dépôt par procédé plasma RF de photopiles et d’autres dispositifs en silicium amorphe hydrogéné*”.
- [13] N. Layadi, P. Roca i Cabarrocas, B. Drévillon, “*Real-time spectroscopic ellipsometry study of the growth of amorphous and microcrystalline silicon thin films prepared by alternating silicon deposition and hydrogen plasma treatment*”, Physical Review B, Vol. 52, No. 7, p. 5136.
- [14] P. Roca i Cabarrocas, A. Fontcuberta i Morral, B. Kalache, S. Kasouit, “*Microcrystalline Silicon thin films grown by PECVD. Growth mechanisms and grain size control*”, invited talk, Proceedings of PolySE, 2002.
- [15] Hajime Watakabe and Toshiyuki Sameshima, “*High-Pressure H₂O Vapor Heat Treatment Used to Fabricate Poly-Si Thin Film Transistors*”, Japanese Journal of Applied Physics, Vol. 41, p. L974, 2002.
- [16] Maher Oudwan, CEA Leti, Grenoble.
- [17] R.B.Min and S. Wangner, “*Nanocrystalline silicon thin-film transistor with 50-nm-thick deposited channel layer, 10 cm²V⁻¹s⁻¹ electron mobility and 10⁸ on/off current ratio*”, Applied Physics A, Vol. 74, p. 541, 2002.
- [18] I-Chun Cheng, Sigurd Wargner and Mercelo Mulato, “*Thin film transistors with electron mobility of 40 cm²V⁻¹s⁻¹ made from directly deposited intrinsic microcrystalline silicon*”, Materials Research Society Symposium Proceedings, Vol. 609, 2000.
- [19] Micheal J. Felton, “*Thinner lighter better brighter*”, Today’s chemist at work, Vol. 10, No. 11, p. 30-34, November 2001.
- [20] Nir Tessler, “*Why organics*”.
- [21] J.M. Shaw, P.F. Seidler, “*Organic electronics : Introduction*”.
- [22] W. Riess, “*Organic light emitting display*”, IBM Zurich Research Laboratory.
- [23] Chengfeng Qiu, Haiying Chen, Man Wong, and Hoi S. Kwok, “*Dependence of the Current and Power Efficiencies of Organic Light-Emitting Diode on the Thickness of the Constituent Organic Layers*”, IEEE Transactions on electron devices, Vol. 48, No. 9, p. 2131, September 2001.

- [24] Discussion avec Christophe Pinot Thomson Rennes.
- [25] W. Riess, H. Riel, T. Beierlein, W. Brütting, P. Müller and P. F. Seidler, “*Influence of trapped and interfacial charges in organic multilayer light-emitting devices*”, IBM Journal of Research and Development, Vol. 45, 2001.
- [26] I. Thurzo, S. Teramura, R. Durný, V. NádaImagedy, M. Kumeda and T. Shimizu, “*Determination of the flatband voltage and the electron threshold voltage of a-Si :H based MIS structures by the feedback charge C-V method*”, Journal of Non-Crystalline Solids, Vol. 227, p. 1226, 1998.
- [27] S. G. Kang, S. C. Bae and S. Y. Choi, “*The effect of back channel hydrogen plasma treatment on the electrical characteristics of amorphous thin film transistors*”, Applied Physics Letters, Vol. 77, p. 1188, 2000.
- [28] Simon M. Sze, “*Physics of Semiconductor Devices*”, Wiley-Interscience, 2 edition, 1981.
- [29] Michael S. Shur, “*Introduction to Electronic Devices*”, John Wiley & Sons, Inc, 1995.
- [30] Martin J. Powell, “*The physics of amorphous-silicon thin-film transistors*”, IEEE transactions on electron devices, Vol. 36, p. 2753, 1989.
- [31] AIM-Spice (Automatic Integrated Circuit Modeling Spice) sur le site web : [http ://www.aimspice.com](http://www.aimspice.com).
- [32] M. Estrada, A. Cerdeira, A. Ortiz-Conde, F. J. García, B. Iñiguez, “*Unified extraction method for amorphous and polycrystalline TFT above threshold model parameters*”, Fourth IEEE International Caracas Conference on Devices, Circuits and Systems, Aruba, April 17-19, 2002.
- [33] Dosi Dosev, thèse doctorat de l’Universitat Politècnica de Catalunya.
- [34] Y. Kuo, K. Okajima and M. Takeichi, “*Plasma processing in the fabrication of amorphous silicon thin-film-transistor arrays*”, IBM journal of research and development, 1998.
- [35] V. D. Bui, “*Conception et Modélisation de type Spice de TFTs et OLEDs pour les écrans plats électroluminescents organiques*”, Rapport DEA Electronique Paris 7.
- [36] M. Shur and M. Hack, “*Physics of amorphous silicon based alloy field-effect transistors*”, Journal of Applied Physics, Vol. 55, p. 3831, 1984.

- [37] D. Dosev, T. Ytterdal, J. Pallares, L. F. Marsal, B. Iñíguez, “*DC SPICE model for nano-crystalline and microcrystalline silicon TFTs*”, IEEE transactions on Electron Devices, Vol. 49, p. 1979, 2002.
- [38] M. J. Powell, B. C. Easton and O. F. Hill, “*Amorphous silicon-silicon nitride thin-film transistors*”, Applied Physics Letters, Vol. 38, p. 794, 1981.
- [39] F. Lemmi, R.A Street, “*Temperature dependent transient leakage currents in amorphous silicon thin film transistor*”, Materials Research Society Symposium Proceedings, 1999.
- [40] L. Colalongo, “*A new analytical model for amorphous-silicon thin-film transistors including tail and deep states*”, Solid-State Electronics, Vol. 45, p. 1525, 2001.
- [41] K. Khakzar and Ernst H. Lueder, “*Modeling of amorphous-silicon thin-film transistors for circuit simulation with Spice*”, IEEE transactions on electron devices, Vol. 39, No. 6, 1992.
- [42] Francis Petinot, thèse de doctorat, Université de Paris sud.
- [43] G. Fortunato, “*Polycrystalline silicon thin-film transistors : A continuous evolving technology*”, Thin Solid Films, Vol. 296, p. 82, 1997.
- [44] Michael Hack, Michael S. Shur, “*Physical models for amorphous-silicon thin-film transistors and their implementation in a circuit simulation program*”, IEEE transactions on electron devices, Vol. 36, No. 12, p. 2764, December 1989.
- [45] T. Leroux, “*Static and dynamic analysis of amorphous-silicon field-effect transistors*”, Solid-State Electronics, Vol. 29, p. 47, 1986.
- [46] F. R. Libsch and J. Kanicki, “*Bias-stress-induced stretched exponential time dependence of charge injection and trapping in amorphous thin-film transistors*”, Applied Physics Letter, Vol. 62, No. 11, p. 1286-1288, Mar. 1993.
- [47] W. B. Jackson and M. D. Moyer, “*Creation of near-interface defects in hydrogenated amorphous silicon-silicon nitride heterojunctions : The role of hydrogen*”, Physical Review B, Vol. 36, No. 11, Oct. 1987.
- [48] S. C. Deane, R. B. Wehrspohn, and M. J. Powell, “*Unification of the time and temperature dependence of dangling-bond-defect creation and removal in amorphous-silicon thin-film transistors*”, Physical Review B, Vol. 58, p. 12625-12628, 1998.

- [49] A. Valletta, L. Mariucci, G. Fortunato and S. D. Brotherton “*Surface-scattering effects in polycrystalline silicon thin-film transistors*”, Applied Physics Letters, Vol. 82, p. 3119, 2003.
- [50] Trond Ytterdal, Yuhua Cheng, Tor A. Fjeldly, “*Device Modeling for Analog and RF CMOS Circuit Design*”, John Wiley & Sons, May 23, 2003.
- [51] Naoki Wakita and Naoyuki Shigyo, “*Verification of overlap and fringing capacitance models for MOSFETs*”, Solid-State Electronics, Vol. 44, p. 1105, 2000.
- [52] Naftali Lustig and Jerzy Kanicki, “*Gate dielectric and contact effects in hydrogenated amorphous silicon-silicon nitride thin-film transistors*”, Journal of Applied Physics, Vol. 65, p. 3951, 1989.
- [53] L. Mariucci, A. Pecora, S. Giovannini, R. Carluccio, F. Massussi and G. Fortunato, “*Hot carrier effects in polycrystalline silicon thin-film transistors : analysis of electrical characteristics and noise performance modifications*”, Microelectronics and reliability, Vol. 39, p. 45, 1999.
- [54] M. J. Powel, “*Charge trapping instabilities in amorphous silicon-silicon nitride thin-film transistors*”, Applied Physics Letters, Vol. 43, p. 597, 1983.
- [55] R. A. Street and C. C. Tsai, “*Fast and slow states at the interface of amorphous silicon and silicon nitride*”, Applied Physics Letters, Vol. 56, p. 1672, 1986.
- [56] A. R. Hepburn, J. M. Marshall, C. Main, M. J. Powell and C. van Berkel, “*Metastable defects in amorphous-silicon thin-film transistors*”, Physical Review Letter, Vol. 56, p. 2215, 1986.
- [57] M. J. Powell, S. C. Deane and R. B. Wehrspohn, “*Microscopic mechanisms for creation and removal of metastable dangling bonds in hydrogenated amorphous silicon*”, Physical Review B, Vol. 66, p. 155212, 2002.
- [58] R. E. I. Schropp and J. F. Verwey “*Instability mechanism in hydrogenated amorphous silicon thin-film transistors*”, Applied Physics Letters, Vol. 50, p. 185, 1987.
- [59] P. Roca i Cabarrocas, R. Brenot, P. Bulkin, R. Vanderhaghen, and B. Drevillon, “*Stable microcrystalline silicon thin-film transistors produced by the layer-by-layer technique*”, Journal of Applied Physics, Vol. 86, p. 7079, 1999.
- [60] R.B.Wehrspohn, S.C.Deane, I.D.French and M.J. Powell, “*Stability of plasma deposited thin film transistors – comparison of amorphous and microcrystalline silicon*”, Thin Solid Films, Vol. 383, p. 117, 2001.

- [61] W. Benzarti, F. Plais, S. Doucet, D. Pribat, “*Compact physical modeling of LTPS TFT for AMLCD drivers design and simulation*”, Thales TRT.
- [62] Discussion avec Dr. Walid Benzarti, CEA.
- [63] Jung Hun Lee, Seong Hyun Kim, Gi Heon Kim, Sang Chul Lim, Hyoyoung Lee, Jin Jang, Taehyoung Zyung, “*Pentacene thin film transistors fabricated on plastic substrates*”, Synthetic Metals, Vol. 139, p. 445, 2003.
- [64] http://en.wikipedia.org/wiki/Reactive_ion_etching.
- [65] Nigel Young, David McCulloch, Michael Trainor, David Fish and Sandra Godfrey, “*LTPS on Passivated Stainless Steel Substrates for AMOLEDs and Other Applications*”, Philips Research Laboratories.
- [66] Y. Djeridane, V. D. Bui, H. Jae Kim, Y. Bonnassieux and P. Roca i Cabarrocas, “*Growth of microcrystalline silicon on flexible substrates*”, EuroDisplay 2005.
- [67] Réalisation de transistors sur le substrat acier en collaboration avec LFB, Université Stuttgart.
- [68] V. D. Bui, Y. Bonnassieux, “*OLED Spice modeling in a passive matrix of pixels*”, SID’03.

FICHIERS DE MODÉLISATION ET SIMULATION

La modélisation est effectuée par Verilog-A, Spice, Spectre et Matlab.

A.1 Modélisation de TFTs avec Matlab

```
% isimul
%
% paraab=[W,L,OL,vto,gam,lambd,muo,asat,m,rs,delt,vmin,vaa,mub,eta,vfb]
% muo entered by cm2/Vs
% paraf=[sigo,iol,vdsl,vgs1];
% sigo = W*sigo_a / iol=W*iol_a
% para=[paraab,paraf];

function [ids ia ib ifuite cgs cgd]=sim_tftmicro(vgs,vds,parameters)
    % convert vgs et vds to colones,
    if size(vds,1)==1 % ligne or one element
        vds=vds';
    end
    if size(vgs,1)==1 % ligne or only one element
        vgs=vgs';
    end
    paraab=parameters(1:16);
    paraf=parameters([1 17:end]);

    % initialisation
    ids=zeros(length(vgs),length(vds));
    ia=ids;ib=ids;ifuite=ids;
```

```

for j=1:length(vds)
    vds1=vds(j) ;
    if vds1==0
        ids(:,j)=0 ; ia(:,j)=0 ; ib(:,j)=0 ; ifuite(:,j)=0 ;
    else
        [iab1 ia1 ib1 cgs1 cgd1]=sim_iab(vgs,vds1,paraab) ;
        ifuite1=sim_fuite(vgs,vds1,paraf) ;
        ids(:,j)=ifuite1+iab1 ;
        cgs(:,j)=cgs1 ; cgd(:,j)=cgd1 ;
        ia(:,j)=ia1 ; ib(:,j)=ib1 ; ifuite(:,j)=ifuite1 ;
    end
end

% sub
% simul ia ib d'un seul vds
function [iab ia ib cgs cgd]=sim_iab(vgs,vds,parameters)
    if vds==0 % length(vds) has to be 1
        ia=0 ; return
    end
    % para
    W=parameters(1) ; L=parameters(2) ; OL=parameters(3) ;
    vto=parameters(4) ; gam=parameters(5) ;
    lambd=parameters(6) ; muo=1E-4*parameters(7) ;
    asat=parameters(8) ; m=parameters(9) ;
    rs=parameters(10) ; delt=parameters(11) ;
    vmin=parameters(12) ; vaa=parameters(13) ;

    mub=1E-4*10^parameters(14) ;
    eta=parameters(15) ; vfb=parameters(16) ;

    epsi=4 ; epsio=8.85E-12 ; tox=345E-9 ; ev=1.6E-19 ; kb=1.38E-23 ; T=300 ;
    vth=kb*T/ev ; cox=epsi*epsio/tox ;

    vgte=sim_vgte(vgs,vto,delt,vmin) ;
    vdse=sim_vdse(vds,vgte,asat,m) ;

    gchia=(W/L)*cox*muo*vgte.^(gam+1)/vaa^gam ;
    gcha=gchia./(1+2*rs*gchia) ; %rs = rd
    ia=gcha.*vdse*(1+lambd*vds) ;

```

```

exp12=exp(ev*(vgs-vfb)/(eta*kb*T)) * (1-exp(-ev*vds/(eta*kb*T)));
ibo=(W/L)*cox*mub*vth*vth*exp12;
gchib=ibo./vdse;
gchb=gchib./(1+gchib*2*rs);
ib=gchb.*vdse*(1+lambd*vds);

iab=ia.*ib ./ (ia+ib);

% dynamique
cf=0.5*epsi*epsio*W;
col=epsi*epsio*W*OL/tox;
cgca=epsi*epsio*W*L/tox;
cgcb=W*L*cox*(mub/muo)*(vth/eta)*exp12./vdse;
cgc=cgca*cgcb./(cgca+cgcb);
vdsat=asat*vgte;
fcs=[];fcd=[];
for j=1:length(vgte)
    fcs=[fcs;1-((vdsat(j)-vdse(j))/(2*vdsat(j)-vdse(j)))^2];
    fcd=[fcd;1-(vdsat(j)/(2*vdsat(j)-vdse(j)))^2];
end
cgs=col+cf+2*fcs.*cgc/3;
cgd=col+cf+2*fcd.*cgc/3;

% SUB
% ifuite
% attention, sigo, iol sont en log10

function ifuite=sim_fuite(vgs,vds,parameters)
%
W=parameters(1);
sigo=10^parameters(2); iol=10^parameters(3);
vdsl=parameters(4); vgs1=parameters(5);
iin=W*sigo*vds;
i2=W*iol*(exp(vds/vdsl)-1)*exp(-vgs/vgs1);
ifuite=iin+i2;

% SUB
function vdse=sim_vdse(vds,vgte,asat,m)
vsate= asat*vgte;
vdse = vds./(1+(vds./vsate).^m).^ (1/m);

```

```
% SUB
function vgte=sim_vgte(vgs,vt,delt,vmin)
    vgt=vgs-vt;
    vgte = (vmin/2)*(1 + vgt/vmin + sqrt(delt^2+(vgt/vmin-1).^2));
```

A.2 Modélisation de TFTs avec Verilog-A

```
// VerilogA for micro, tftmicro, veriloga

#include "constants.h"
#include "discipline.h"

module tftmicro(grille, drain, source);
    inout grille, drain,source;
    electrical grille, drain,source;

    ////////// modeling parameters //////////
    //paramètres physiques
    parameter real w=100e-6;
    parameter real l=20e-6;
    parameter real tox=3450e-10;
    parameter real t=300;

    //paramètres constants
    parameter real epsi=4;
    parameter real epsis=11;

    //régime de fuite
    parameter real iol=7.94E-11;
    parameter real vdsl=20;
    parameter real vgsl=0.979;
    parameter real sig0=6.92E-10;
    parameter real vfb=-3;

    //au dessus de seuil
    parameter real vt0=4.01;
    parameter real gam=0.294;
    parameter real lambd=0.00537;
    parameter real alphasat=0.485;
```

```

parameter real m=1.89;
parameter real vaa=7.5e3;
parameter real rs=1000;
parameter real rd=1000;
parameter real muo=2.34;

//transition
parameter real mub=6.115e-9;
parameter real eta=11.6;

//smoothing
parameter real delta1=1;
parameter real vmin1=0.812;

//dynamic comportment
parameter real olap=2.5E-6;

////////// local variables //////////
//constants
real kb,q,epsio;

//voltage, current
real vds, vd, vg, id, vgt, vgfb,
ia, ib, iab, ifuite, vdsat, vdse, vgte, vgfbe;

real qgs, qgd, igs, igd,
cf, colap, cgca, cgcb, cgc,
cgs, cgd, fcs, fcd;

//intermediate variables
real expl2, beta1,vth, a, b, cox,
nsa, gchia, gcha, nsb, gchib, gchb, ibb;

////////// caculation //////////
analog begin
kb=1.38e-23;q=1.6e-19;epsio=8.85e-12;vth=kb*t/q;cox=epsi*epsio/tox;
vds=V(drain,source);

if (vds>0)
begin
vg=V(grille,source);

```

```

        vd=vds ;
    end
else
    begin
        vg=V(grille,drain) ;
        vd=-vds ;
    end
    beta1=q/(eta*kb*t) ;
    vgfb=vg-vfb ;
    exp12=(exp(vgfb*beta1))*(1-exp(-beta1*vd)) ;
    b=delta1*delta1+(vgfb/vmin1-1)*(vgfb/vmin1-1) ;
    vgfbe=(vmin1/2)*(1+vgfb/vmin1+pow(b,0.5)) ;
    vgt=vg-vt0 ;//régime au dessus du seuil
    a=delta1*delta1+(vgt/vmin1-1)*(vgt/vmin1-1) ;
    vgte=(vmin1/2)*(1+vgt/vmin1+pow(a,0.5)) ;
    vdsat=alphasat*vgte ;
    ////////////statique
    vdse=vd/pow(1+pow(vd/vdsat,m),1/m) ;
    if (vd==0)
        begin
            ia=0 ;ib=0 ;ifuite=0 ;
            id=0 ;
        end
    else
        begin
            nsa=pow(vgte,gam+1)*cox/(q*pow(vaa,gam)) ;
            gchia=q*nsa*w*muo*1E-4/l ;
            gcha=gchia/(1+gchia*(rs+rd)) ;
            ia=gcha*vdse*(1+lambd*vd) ;

            ibb=(w/l)*(cox*mub*1e-4*vth*vth)*exp12 ;

            gchib=ibb/vdse ;
            gchb=gchib/(1+gchib*(rs+rd)) ;
            ib=gchb*vdse*(1+lambd*vd) ;
            ifuite=w*iol*(exp(vd/vdsl)-1)*exp(-vg/vgsl)+w*(sig0*vd) ;
            iab=1/(1/ia+1/ib) ;
            id=iab+ifuite ;
        end
    end
end

```

```

//////////dynamique//////////
cf=0.5*epsi*epsio*w;
colap=cox*w*olap;
cgca=w*l*cox;
cgcb=w*l*cox*(mub/muo)*(vth/eta)*exp12/vdse;
cgc=1e-18+cgca*cgcb/(cgca+cgcb);
fcs=1-pow((vdsat-vdse)/(2*vdsat-vdse),2);
fcd=1-pow(vdsat/(2*vdsat-vdse),2);
if (vds>0)
    begin
        cgs=colap+cf+2*fcs*cgc/3;
        cgd=colap+cf+2*fcd*cgc/3;
    end
else //vds<0
    begin
        cgd=colap+cf+2*fcs*cgc/3;
        cgs=colap+cf+2*fcd*cgc/3;
    end
qgs=cgs*V(grille,source);
qgd=cgd*V(grille,drain);
//////////
igs=ddt(qgs);
igd=ddt(qgd);
//////////all together
if (vds>0)
    begin
        I(drain)<+id-igd;
        I(grille)<+igs+igd;
        I(source)<+-id-igs;
    end
else //vds<0
    begin
        I(drain)<+-id-igd;
        I(grille)<+igs+igd;
        I(source)<+id-igs;
    end
end
endmodule

```


A.3 OLED sous Verilog-A

```
// VerilogA for oled
#include "constants.h"
#include "discipline.h"

module oled(a,k);
  inout a,k;
  electrical a,k;
  electrical m,n,o;

  parameter real is=1e-25;
  parameter real iss=1e-4;
  parameter real isp=1e-20;
  parameter real n=3.23;
  parameter real ns=7;
  parameter real np=10;
  parameter real rs=16.9;
  parameter real rsp=500;
  parameter real rp=1E9;

  real kb, q, temp, xd, xds, xdp;

  analog begin
    kb=1.38e-23;temp=300;q=1.6e-19;
    begin
      xd=exp(q*V(a,m)/(n*kb*temp));
      xds=exp(q*V(m,n)/(ns*kb*temp));
      xdp=exp(q*V(a,o)/(np*kb*temp));
      I(a,m)<+is*(xd-1);
      I(m,n)<+iss*(xds-1);
      I(a,o)<+isp*(xdp-1);
      V(n,k)<+rs*I(n,k);
      V(o,k)<+rsp*I(o,k);
      I(a,k)<+ (I(n,k)+I(o,k)+V(a,k)/rp);
    end
  end
endmodule
```

A.4 Simulation des circuits pixels sous Spectre Cadence

A.4.1 Circuit pixel à deux transistors

```
// Circuit pixel à deux transistors

// TFT
global gnd
simulator lang=spectre

ahdl_include "tftmicro.va"
ahdl_include "oled.va"
ahdl_include "cap.va"
ahdl_include "resist.va"

// Devices
parameters sigo=1E-11
Mtft1 sl dt m tftmicro w=15u l=2.5u olap=1E-6 sig0=sigo
Mtft2 m n gnd tftmicro w=30u l=5u olap=1E-6 sig0=sigo
Moled dd n oled
Mcap m gnd cap c=0.9E-12
Mres m gnd resist res=1E20

simulatorOptions options gmin=1e-30

// Sources
Vdd dd gnd vsource dc=12
//data = 6.53 => 300.2 microA
Vdt dt gnd vsource type=pulse delay=30u val0=4 val1=7.5 period=20m \
    rise=2u fall=2u width=35u
Vsl sl gnd vsource type=pulse delay=10u val0=4 val1=20 period=20m \
    rise=2u fall=2u width=50u

//Time for start stop display
parameters stt=0m stp=20.1m dsp=20m

sigo1 alter param=sigo value=1E-11
transweep1 tran start=stt stop=stp outputstart=dsp

sigo2 alter param=sigo value=1E-10
```

```

transweep2 tran start=stt stop=stp outputstart=dsp

sigo3 alter param=sigo value=1E-9
transweep3 tran start=stt stop=stp outputstart=dsp

sigo4 alter param=sigo value=1E-8
transweep4 tran start=stt stop=stp outputstart=dsp

sigo5 alter param=sigo value=2E-8
transweep5 tran start=stt stop=stp outputstart=dsp

sigo6 alter param=sigo value=5E-8
transweep6 tran start=stt stop=stp outputstart=dsp

sigo7 alter param=sigo value=1E-7
transweep7 tran start=stt stop=stp outputstart=dsp

sigo8 alter param=sigo value=2E-7
transweep8 tran start=stt stop=stp outputstart=dsp

sigo9 alter param=sigo value=5E-7
transweep9 tran start=stt stop=stp outputstart=dsp

sigo10 alter param=sigo value=1E-6
transweep10 tran start=stt stop=stp outputstart=dsp

save Mtft2:drain dt sl m n

```

A.4.2 Driver ligne

```

// Driver ligne
global gnd
simulator lang=spectre

ahdl_include "tftmicro.va"
ahdl_include "resist.va"
ahdl_include "cap.va"

// Subcircuit
parameters vt=2
subckt driver (set reset clk out)

```

```

Mt1 set set d tftmicro w=80u l=3u vt0=vt
Mt2 reset reset e tftmicro w=500u l=5u vt0=vt
Mt3 e d f tftmicro w=50u l=5u vt0=vt
Mt4 set e f tftmicro w=60u l=5u vt0=vt
Mt5 d clk out tftmicro w=1000u l=3u vt0=vt
Mt6 e out f tftmicro w=100u l=5u vt0=vt
Mcc d gnd cap c=0.5p
Mce e gnd cap c=1p
Mro out gnd resist res=1E25
Mrd d gnd resist res=1E25
Mre e gnd resist res=1E25
Vf f gnd vsource dc=0
ends

// Description du circuit
Driver1 set1 out3 clk1 out1 driver
Driver2 out1 out4 clk2 out2 driver
Driver3 out2 out5 clk3 out3 driver
Driver4 out3 reset4 clk1 out4 driver
Driver5 out4 reset5 clk2 out5 driver

Cout1 out1 gnd cap c=2p
Cout2 out2 gnd cap c=2p
Cout3 out3 gnd cap c=2p
Cout4 out4 gnd cap c=5p
Cout5 out5 gnd cap c=10p

simulatorOptions options gmin=1e-20

// Sources
parameters fact=1E-5 updown=0.5
parameters nv0=0 nv1=12
Vset1 set1 gnd vsource type=pulse delay=10*fact val0=nv0 val1=nv1 \
    period=500*fact rise=updown*fact fall=updown*fact width=19*fact
Vreset4 reset4 gnd vsource type=pulse delay=130*fact val0=nv0 val1=nv1 \
    period=500*fact rise=updown*fact fall=updown*fact width=19*fact
Vreset5 reset5 gnd vsource type=pulse delay=150*fact val0=nv0 val1=nv1 \
    period=500*fact rise=updown*fact fall=updown*fact width=19*fact
Vclk1 clk1 gnd vsource type=pulse delay=30*fact val0=nv0 val1=nv1 \
    period=60*fact rise=updown*fact fall=updown*fact width=19*fact

```

```

Vclk2 clk2 gnd vsource type=pulse delay=50*fact val0=nv0 val1=nv1 \
    period=60*fact rise=updown*fact fall=updown*fact width=19*fact
Vclk3 clk3 gnd vsource type=pulse delay=70*fact val0=nv0 val1=nv1 \
    period=60*fact rise=updown*fact fall=updown*fact width=19*fact

//Time for start stop display
parameters stt=0 stp=160*fact dsp=0

transweep1 tran start=stt stop=stp
//step=1*fact

save set1 reset4 reset5 clk1 clk2 clk3 out1 out2 out3 out4 out5

```

A.4.3 Oscillateur en anneau

```

// INVERSEUR SIMPLE
global gnd
simulator lang=spectre

ahdl_include "tftmicro.va"
ahdl_include "resist.va"
ahdl_include "cap.va"

// sub circuit
subckt inv (entree sortie dd gg)
Mt1 gg dd sortie tftmicro w=10u l=5u
Mt2 entree sortie gnd tftmicro w=100u l=5u
Mro sortie gnd resist res=1e25
ends

// Description du circuit
inverseur1 a1 a2 dd gg inv
inverseur2 a2 a3 dd gg inv
inverseur3 a3 a4 dd gg inv
inverseur4 a4 a5 dd gg inv
inverseur5 a5 a6 dd gg inv
inverseur6 a6 a7 dd gg inv
inverseur7 a7 a8 dd gg inv
inverseur8 a8 a9 dd gg inv

```

```
inverseur9 a9 a10 dd gg inv
inverseur10 a10 a11 dd gg inv
inverseur11 a11 a12 dd gg inv
inverseur12 a12 a13 dd gg inv
inverseur13 a13 a14 dd gg inv
inverseur14 a14 a15 dd gg inv
inverseur15 a15 a1 dd gg inv

// Sources
Vdd dd gnd vsource dc=15
Vgg gg gnd vsource dc=18

parameters nv0=0 nv1=15
parameters stt=0m stp=1m

trans1 tran start=stt stop=stp outputstart=0m maxstep=5u

save a1 a2 a3 a4 a5 a6 a7 a8 a9 a10 a11 a12 a13 a14 a15
```


MODÈLE DU A-TFT DANS LA LITTÉRATURE

B.1 Modèle statique

La caractéristique de transistor en silicium amorphe est modélisée par trois régimes : régime de fuite, régime sous le seuil et régime au dessus de seuil. Les deux régimes sous le seuil et au-dessus du seuil sont groupés en régime “ab”.

Régime de fuite

$$I_{fuite} = I_{min} + I_{hl} \quad (B.1)$$

Dans laquelle :

$$I_{min} = \sigma V_{DS}$$

$$I_{hl} = I_{OL} \left[\exp\left(\frac{V_{DS}}{V_{DSL}}\right) - 1 \right] \exp\left(-\frac{V_{GS}}{V_{GSL}}\right) \exp\left[\frac{EL}{q} \left(\frac{1}{V_{tho}} - \frac{1}{V_{th}}\right)\right]$$

Régime sous le seuil et au-dessus du seuil

$$I_{ab} = g_{ch} V_{dse} (1 + \lambda V_{DS}) \quad (B.2)$$

Avec :

$$V_{dse} = \frac{V_{DS}}{[1 + (V_{DS}/V_{sate})^m]^{1/m}} \quad \text{et} \quad V_{sate} = \alpha_{sat} V_{gte} \quad (B.3)$$

$$g_{ch} = \frac{g_{chi}}{1 + g_{chi}(R_S + R_D)} \quad \text{et} \quad g_{chi} = \frac{W}{L} q n_s \mu \quad (B.4)$$

La densité n_s :

$$n_s = \frac{n_{sa}n_{sb}}{n_{sa} + n_{sb}} \quad (\text{B.5})$$

Avec :

$$n_{sa} = \frac{\epsilon V_{gte}}{q tox} \left(\frac{V_{gte}}{V_{aa}} \right)^\gamma \quad \text{et} \quad n_{sb} = n_{so} \left(\frac{t_m}{tox} \frac{V_{gfbe}}{V_0} \frac{\epsilon}{\epsilon_s} \right)^{\frac{2V_0}{V_e}} \quad (\text{B.6})$$

$$n_{so} = N_C t_m \frac{V_e}{V_0} \exp \left(-\frac{DEFO}{V_{th}} \right)$$

$$t_m = \sqrt{\frac{\epsilon_s}{2q \cdot GMIN}}$$

$$V_e = \frac{2V_0 V_{tho}}{2V_0 - V_{tho}}$$

B.2 Modèle dynamique

Capacité C_{GS} et C_{GD} :

$$C_{GS} = C_f + \frac{2}{3} C_{gc} \left[1 - \left(\frac{V_{sate} - V_{dse}}{2V_{sate} - V_{dse}} \right)^2 \right] \quad (\text{B.7})$$

$$C_{GD} = C_f + \frac{2}{3} C_{gc} \left[1 - \left(\frac{V_{sate}}{2V_{sate} - V_{dse}} \right)^2 \right] \quad (\text{B.8})$$

Dans lesquelles :

$$C_f = \frac{1}{2} \epsilon_s W \quad \text{et} \quad C_{gc} = q \frac{dn_{sc}}{dV_{GS}}$$

$$n_{sc} = \frac{n_{sca}n_{scb}}{n_{sca} + n_{scb}}$$

$$n_{sca} = \frac{\epsilon V_{gte}}{q tox} \quad \text{et} \quad n_{scb} = n_{sb}$$

Le zoom sur une cellule de masques est représenté sur la figure précédente. Nous pouvons trouver du haut en bas les composants :

- Les résistances TLM $\rightarrow$ Les motifs de vérification de gravure $\rightarrow$ Les croix d'alignement (deux tailles différentes).
- Les transistors de grille commune $\rightarrow$ Les capacités MIM et MOS avec différents type de recouvrement $\rightarrow$ Les transistors en parallèle avec l'axe x et y .
- Les transistors avec $W/L = 4, L = 10\mu m, L = 20\mu m \rightarrow$ Les transistors avec variations de A, B et OL .
- Oscillateur en anneau consistant à 15 inverseurs.
- Les groupes de 4 inverseurs en série.

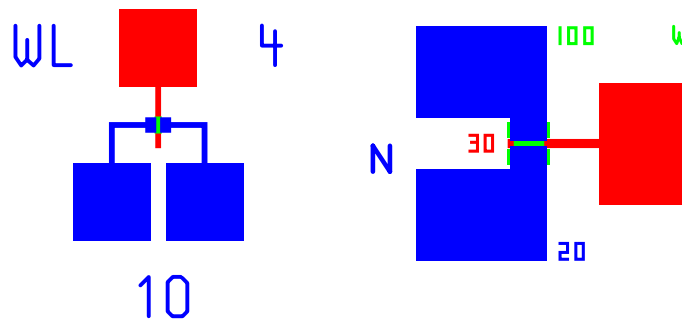


Figure C.1 – Les exemples de transistors.

Et les pixels OLED sont représentés dans la figure C.2.

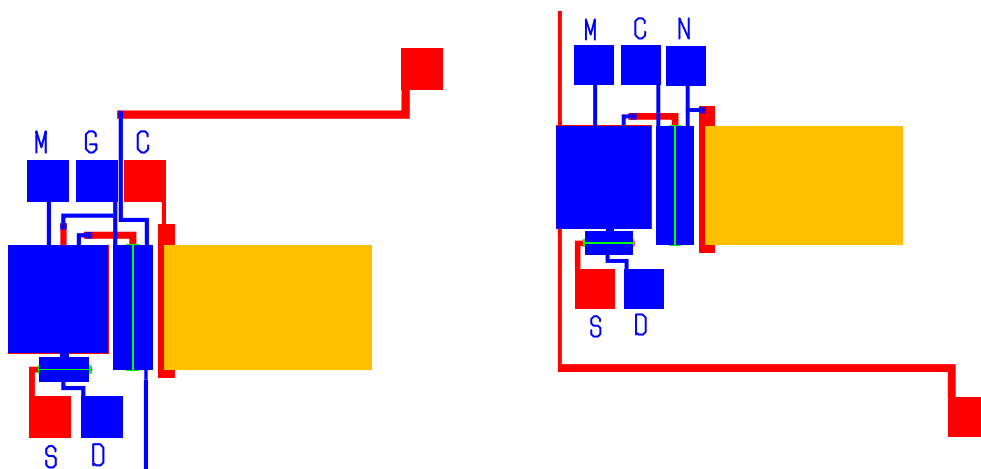


Figure C.2 – Les circuits pixels OLED (source fixe et source flottante).

