



HAL
open science

Etude des architectures échantillonnées de réception radio en technologies CMOS submicroniques avancées

Rayan Mina

► **To cite this version:**

Rayan Mina. Etude des architectures échantillonnées de réception radio en technologies CMOS submicroniques avancées. domain_other. Télécom ParisTech, 2008. Français. NNT : 2008 E 063 . pastel-00005928

HAL Id: pastel-00005928

<https://pastel.hal.science/pastel-00005928>

Submitted on 24 Mar 2010

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Etude des architectures échantillonnées de réception radio en technologies CMOS submicroniques avancées

Rayan MINA

ENST-Paris

STMicroelectronics-Grenoble

Je tiens d'abord à remercier mon directeur de thèse Jean-François Naviner, professeur à l'Ecole Nationale Supérieure des Télécommunications de Paris ainsi que mon encadrant industriel chez STMicroelectronics, Jean-Charles Grasset, d'avoir acceptés de diriger ce travail de thèse. Leurs conseils précieux et appuis continus m'ont énormément aidé pendant les trois dernières années jusqu'à l'élaboration de ce manuscrit.

J'exprime ma reconnaissance à Patrick Loumeau, professeur à l'Ecole Nationale Supérieure des Télécommunications de Paris, pour l'honneur qu'il m'a fait en acceptant de présider le jury de cette thèse de doctorat.

Je remercie Dominique Dallet, professeur à l'Ecole Nationale Supérieure d'Electronique, Informatique et Radiocommunications de Bordeaux, et Andreas Kaiser, professeur à l'Institut Supérieure de l'Electronique et du Numérique de Lille, d'avoir acceptés de juger ce travail de thèse en tant que rapporteurs.

Je remercie Rachid Bouchakour, directeur du pôle CNFM PACA et encore une fois Patrick Loumeau d'avoir acceptés de juger ce travail de thèse en tant qu'examineurs.

Je tiens à remercier tous les gens avec qui j'ai eu la chance et le plaisir de travailler : Christophe, Pascal, Philippe, Jorge, Stéphane, Jocelyn, Julien, Vincent, Frédéric, Mounir, Daniel, Loic, Mathilde, Laurence, Lucio, Bruno, Eric, Malal, Isabelle, Van-Tam, Anis, Sandrine, Emmanuel, Frédéric, Carlo, Alessandro et Sébastien.

Je tiens à remercier mon ami Florent de son aide, son soutien et son rare esprit collectif.

Je tiens à saluer et remercier mon ami Alexandre avec qui j'ai partagé beaucoup d'inoubliables aventures en France et ailleurs.

Je tiens à remercier Daniel et Loic pour les inoubliables moments de discussions professionnelles et personnelles. Je leur souhaite le meilleur pour l'avenir.

Je tiens à remercier fortement Denis pour son esprit collectif hors du commun.

Je tiens à remercier Pascale de son aide continu pendant mes trois ans à Crolles.

Je tiens à remercier Frédéric Paillardet, Pascal Triaire, Andras Pozsgays et Thierry Arnaud pour leur soutien à moi à la fin de ce travail de thèse.

Je tiens à remercier tous les membres de l'équipe 45nm avec qui j'ai travaillé pour la réalisation du circuit : Jérôme, Valérie, Sarah, David et Alexandre.

Je tiens à saluer et remercier fortement Christian de son aide pour la réalisation de la carte de test et pour les mesures au laboratoire.

Une mention particulière à Franck qui m'a aidé et avec qui j'ai appris beaucoup.

Résumé

Avec l'arrivée des systèmes radio mobiles de troisième et de quatrième génération, les standards de communications ont tendance à occuper plus de bande pour pouvoir assurer des services de voix, de données et de multimédia. En parallèle, le terminal mobile doit être reconfigurable pour couvrir à la fois le service cellulaire et la connectivité de données. Dans ce contexte, la tendance est d'intégrer les fonctions radio et bandes de base sur le même substrat en utilisant la technologie CMOS afin de réduire la surface, le coût de fabrication et la consommation des terminaux sans fils.

Récemment, de nouvelles architectures de réception radio dites « échantillonnées » sont apparues (TexasInstruments, STMicroelectronics, UCLA). Dans ce cas, l'échantillonnage est fait directement sur le signal RF et la majorité du traitement de signal se fait en temps-discret par des capacités commutées.

L'évolution de la technologie CMOS et la miniaturisation des transistors rendent la conception analogique de plus en plus difficile (capacités parasites, bruit, linéarité, etc.). De nouveaux effets parasites apparaissent comme la fuite de grille qui inquiète désormais les technologues et les concepteurs de circuits. D'un autre côté, des contraintes de dynamique surgissent avec la diminution des tensions d'alimentation et le bruit des circuits numériques de plus en plus denses augmente considérablement.

Le but de ce travail de thèse est de répondre à la question de la portabilité de la solution échantillonnée, en étudiant l'impact des différents effets parasites cités précédemment sur les performances radio de la solution. Ainsi, les critères de portabilité qui sont considérés sont la reconfigurabilité, l'immunité aux effets parasites, l'adaptation à la baisse des tensions d'alimentation, la surface, la consommation et la facilité de conception.

Ce travail de thèse a été basé sur des études théoriques et sur des simulations d'une solution échantillonnée de réception radio. Afin d'affronter réellement les problématiques de portabilité, un portage d'une chaîne de réception échantillonnée Wi-Fi/WiMAX de CMOS 65nm à 45nm a été réalisé. Les résultats de mesures obtenus sur ce circuit donnent une grande confiance vis-à-vis des performances radio de la solution échantillonnée et constituent un premier élément de réponse concret à la question de portabilité étudiée.

Table des matières

Résumé I

Table des matières III

Chapitre 1 Introduction : récepteurs radio et portabilité technologique

I. Architectures de réception Radio	3
A. Contexte	3
1. De la 3 ^{ème} à la 4 ^{ème} génération de systèmes de communications sans fil ..	3
2. Récepteurs Radio sans fil et enjeux technologiques	4
B. Motivations et naissance de l'architecture échantillonnée	6
1. La radio logicielle	6
2. L'architecture échantillonnée	6
3. Objectif de la thèse	7
II. Technologie CMOS et portabilité	8
A. Evolution de la technologie CMOS	8
B. Définition de la portabilité	11
C. Motivations de l'étude de la portabilité	12
1. Robustesse vis-à-vis de l'évolution de la technologie de fabrication	14
2. Viabilité économique	14

Chapitre2 Portabilité en technologie CMOS et état de l'art

I. Identification des effets parasites liés à la portabilité CMOS	17
A. Réduction de la tension d'alimentation	17
1. Applications analogiques du transistor en régime de saturation	19
2. Applications analogiques du transistor en régime linéaire	21
B. Les effets du canal court ou SCE	27
1. La fuite par effet DIBL	27
2. La fuite par effet « Punch-Through »	28
3. La fuite à travers l'oxyde de grille par effet « Tunnel »	29
C. Le bruit	33
1. Le bruit thermique N_{TH}	33
2. Le bruit 1/f	36
D. Les capacités parasites	38
E. La linéarité	38
F. La pollution numérique	38
G. Les effets spécifiques de la solution étudiée	38
II. Etat de l'art et comparaison	41

Chapitre 3 Architecture échantillonnée de réception radio

I. Principe de fonctionnement	47
A. Nouveau concept	47
B. Filtrage anti-repliement	47
C. Mélange	53
D. Filtrage de canal	54
E. Filtrage global et gain total	58
F. Reconfigurabilité	59
1. Reconfigurabilité des largeurs de canaux	60
2. Reconfigurabilité des bandes de fréquence	61
3. Reconfigurabilité des standards de communication	61
II. Points critiques de la solution	62
A. Capacités parasites	62
1. Capacité parasite de C_S	63
2. Capacité parasite de C_{IIR}	63
3. Capacité parasite de la partie RF	64
B. L'injection de charges	64

Chapitre 4 Impact des effets parasites sur l'architecture échantillonnée

I. Effet de l'injection de charges	67
A. Contexte	67
B. Définition de l'injection de charges	67
1. Echantillonnage d'un signal	67
2. Modélisation de l'injection de charges dans la littérature	69
3. L'injection de charges en mode différentiel	70
4. Les techniques de réduction de l'erreur d'injection	72
C. Modélisation du transistor	74
1. Construction du modèle	75
2. Validation du modèle et simulations électriques	78
D. Impact de l'injection de charges sur l'architecture échantillonnée	80
1. Le filtre de sélection de canal	80
2. Le filtre anti-repliement	82
3. Le gain global de la chaîne	82
4. La non-linéarité due à l'injection de charges	83
E. Evolution de l'injection de charges en fonction de la technologie	85
F. Conclusion	87
II. Effet des capacités parasites	87
A. Les objectifs	87
B. Les capacités parasites de l'architecture échantillonnée	87
C. Impact des capacités parasites sur l'architecture échantillonnée	89
1. Modélisation	89
2. Origine du problème	89
3. Calcul de la fonction de transfert globale en fonction des capacités parasites	90
D. Correction de l'effet des capacités parasites	94
1. Présentation de la solution	94

2. Calcul de la fonction de transfert corrigée	95
3. Simulations électriques	99
E. Evolution avec la technologie	101
F. Conclusion	103
III. Réduction des tensions d'alimentation	103
A. Contexte et importance de l'étude	103
B. Impact de la baisse de V_{DD} sur les performances de l'architecture	105
C. Conclusion	107
IV. Effet de la fuite de grille	107
V. Conclusion générale	109

Chapitre 5 Conception / portage d'un récepteur échantillonné en 45nm

I. Introduction	113
II. Objectifs	113
A. Le Wi-Fi ou IEEE 802.11	113
B. Le « mobile WiMAX » ou IEEE 802.16e	114
III. Dimensionnement du récepteur et simulations « système »	114
A. Les spécifications de la norme	114
1. Le Wi-Fi	114
2. Le « mobile WiMAX »	116
B. Les spécifications de la chaîne de réception	118
1. Les spécifications globales et le convertisseur analogique-numérique	118
2. Le plan de fréquence et le filtrage	120
3. Le « front-end » RF	123
4. Le suiveur de tension	124
5. Le bilan	125
C. Simulations	126
1. Méthodologie des simulations « système »	126
2. « Corners » de fonctionnement	127
IV. Conception de la chaîne de réception	129
A. L'approche du portage	129
B. Le « front-end » RF	129
1. Le LNA	129
2. Le mélangeur	130
C. La partie analogique-basse-fréquence	132
1. Le filtre IIR	132
2. Le suiveur de tension	135
D. Le convertisseur analogique-numérique	138
E. La couronne des plots	140
1. La couronne	140
2. Le buffer numérique de sortie	140
F. La génération des signaux d'horloge	141

G. Les simulations d'intégration du circuit et bilan	141
V. Mesures	143
A. La carte de test et le banc de mesure	143
B. Le gain	144
1. Adaptation de l'impédance d'entrée	144
2. Mesure du gain global du récepteur	145
3. Politique de gain	146
C. Le bruit	146
D. Le filtre analogique de sélection de canal	147
1. La calibration de la capacité IIR	147
2. Mesure de la fonction de transfert et de la reconfigurabilité	148
E. Le filtre anti-repliement	148
F. La linéarité	149
G. Comparaison et bilan du portage	150
1. Bilan	150
2. Comparaison à l'état de l'art	151
VI. Conclusion	151
Chapitre 6 Conclusions et perspectives	155
Annexes	
Annexe I	159
I. Equation caractéristique de l'échantillonneur à intégration de charges	159
II. Fonction de transfert du filtre Sinc	160
III. Calcul du gain autour de la fréquence zéro	160
IV. Calcul de la fréquence de coupure à 3dB du sinus cardinal	160
V. Calcul de l'atténuation en bord de bande du sinus cardinal	161
VI. Calcul de la fonction de transfert du filtre IIR	162
VII. Calcul de la fréquence de coupure du filtre IIR dans le cas général	164
VIII. Calcul de la relation qui lie l'atténuation du filtre IIR à la fréquence	165
IX. Calcul du gain fondamental d'un mélangeur passif à horloge carrée	166
X. Calcul de la fonction de transfert globale	167
Annexe II Calcul de l'erreur de d'injection dans le cas d'un S&H différentiel	168
Annexe III	170
I. Calcul de la fonction de transfert en fonction des parasites	170
II. Calcul de la fonction de transfert corrigée en fonction des parasites	172
Annexe IV	174
I. Calcul de l'erreur de recopie pour un amplificateur rebouclé en entrée	174
Références	175

Chapitre 1

I. Architectures de réception Radio

A. Contexte

1. De la 3^{ème} à la 4^{ème} génération de systèmes de communications sans fils

Avec l'arrivée des systèmes radio mobiles de 3^{ème} et de 4^{ème} génération, les standards de communications ont tendance à occuper plus de bande dans le spectre pour pouvoir assurer des services de voix, données et multimédia. Parmi les systèmes de 3^{ème} génération (3G), l'UMTS (*Universal Mobile Telecommunications System*), basé sur la technologie W-CDMA (*Wideband Code Division Multiple Access*), assure déjà des débits de données de 384 kbps (en milieu urbain) sur un canal de communication de largeur spectrale 3,84MHz [23 3GPP] et bien au-delà grâce à son évolution HSDPA/HSUPA. Entre le GSM et l'UMTS, par exemple, les canaux ont augmenté de 20 fois environ. Le LTE (*Long-Term Evolution*) est l'évolution du système UMTS pour la 4^{ème} génération (4G) où on s'attend à avoir une connectivité de données en réception avec des débits pouvant atteindre 100Mbps [24 3GPP] (dans les meilleures conditions de propagation et d'allocations de canaux). On entend par connectivité de données, la capacité d'un terminal mobile à assurer une communication de données à des débits semblables à ceux d'un ordinateur connecté sur un réseau haut débit. En parallèle au développement du LTE, de nouveaux standards basés sur la modulation OFDM voient le jour. Grâce à la technologie OFDM, des débits de données élevés sont atteints grâce à une meilleure efficacité spectrale [25 Bahai]. Parmi les systèmes 4G basés sur l'OFDM, le WiMAX (*Wireless Interoperability for Microwave Access*) est l'un des plus prometteurs concurrents du LTE [26 WiMAX]. La vision 4G est d'assurer un service de connectivité de données pour les communications vocales et multimédia. La communication vocale sera assurée grâce à des protocoles spécifiques comme VoIP (*Voice over IP*) par exemple. Cette vision est pour l'instant loin d'être déployée. En effet le réseau GSM massivement déployé reste le support principal des communications vocales sans fils. La grande partie des terminaux mobiles 3G actuels contient deux chaînes de transmission/réception GSM/W-CDMA juxtaposées dans une puce unique. La chaîne radio GSM reste donc le support principal des communications vocales dans les terminaux sans fils 3G. Il est clair que cette tendance restera vraie à court et moyen termes pour des raisons économiques d'infrastructure et de déploiement. Une reconfiguration totale du standard de communication est exigée dans ce contexte. En revanche, à long terme, le terminal mobile WiMAX ou LTE sera capable d'assurer les services de voix, données et multimédia (données à haut débit) sur la même puce. Dans ce cas, la reconfigurabilité du standard dans un terminal mobile sera moins exigée si, bien évidemment, le standard en question sera disponible partout. La majorité des standards sans fils de connectivité de données occupe deux bandes de fréquences différentes, une bande basse et une bande haute. Par exemple, le Wi-Fi ou 802.11 est un système à faible portée qui fonctionne dans les deux bandes suivantes : 2,4 – 2,5GHz et 5,2 – 5,3GHz [27 IEEE]. Egalement, le WiMAX, toujours en cours de définition, occupe également deux bandes de fréquences différentes : 2,5 – 2,7GHz et 3,3 – 3,8GHz [28 Gray]. Par conséquent, les terminaux mobiles 4G doivent être forcément reconfigurables en termes de bandes de fréquences pour couvrir toutes les bandes du standard visé. En outre, les systèmes utilisant la technologie OFDM ont tendance à occuper des largeurs de canaux différentes avec un rapport de largeur pouvant atteindre 16 [28 Gray]. La reconfigurabilité en termes de largeurs de canaux sera donc indispensable. Dans ce cas, on parle de reconfigurabilité à la volée. Le terminal mobile doit pouvoir fonctionner simultanément avec plusieurs largeurs de canaux. Dans ce contexte de multitude de standards et de manque de visibilité en termes de

déploiement pour la 4G, nous pouvons conclure qu'à court et moyen termes le réseau GSM restera l'épine dorsale des communications vocales sans fil et que les trois types de reconfigurabilité (standards, bandes de fréquence, largeurs de canaux) seront exigés. Cependant, à long terme, le LTE ou le WiMAX mobile seront les standards assurant tout type de communications sans fil. La reconfigurabilité en termes de standards de communications sera alors moins exigée.

2. Récepteurs Radio sans fil et enjeux technologiques

Le passage du 3G au 4G est une raison majeure pour repenser les architectures des terminaux sans fils. Destinés au grand public et adressant des standards de communications de voix, de données et de multimédia, ces terminaux contiennent de plus en plus de fonctionnalités et doivent forcément augmenter en taille et consommer plus à technologie identique. L'objectif est de pouvoir assurer toutes ces fonctionnalités tout en réduisant la taille et la consommation, deux contraintes critiques pour les terminaux sans fils. Dans cette perspective de réduction de la taille, de la consommation et du coût de fabrication des terminaux sans fils, la tendance est d'intégrer les fonctions radiofréquences, analogiques et bande de base sur la même puce en utilisant la même technologie de fabrication. L'objectif des fabricants de terminaux 4G est de trouver des solutions innovantes au niveau de l'architecture et de la conception pour atteindre les trois exigences précédentes. La technologie CMOS s'est imposée comme la technologie de fabrication des circuits numériques et des fonctions bande de base. D'autre part, le CMOS occupe une place non négligeable dans la réalisation de beaucoup de fonctions analogiques basse fréquence et concurrence depuis la moitié des années 90 en RF les technologies bipolaires [29 Abidi]. Ce n'est donc que depuis seulement une dizaine d'années que des récepteurs radio en CMOS pur voient le jour, permettant ainsi à des fabricants de semi-conducteurs de produire des solutions de terminaux sans fils en SoC (système sur puce). Dans une perspective d'intégration des fonctions radiofréquences, analogiques et bande de base sur la même puce, le choix de la technologie CMOS est indispensable.

Jusqu'à 2001, la grande majorité des fabricants de terminaux sans fils et des équipementiers radio offraient des solutions de récepteurs multipuces souvent en technologie BiCMOS [29 Abidi]. Pour la plupart, la partie RF était séparée de la partie analogique, elle-même séparée de la partie numérique. Historiquement, l'architecture de réception superhétérodyne a été souvent utilisée parce qu'elle offre les meilleures performances radio [30 Saïdi]. Son inconvénient majeur est le nombre de composants externes utilisés et sa forte hétérogénéité technologique. Elle est caractérisée par la présence de deux ou trois composants externes ainsi que la coexistence d'au minimum deux technologies de fabrication différente. L'architecture superhétérodyne ne peut donc pas répondre aux contraintes de coût, de surface et de reconfigurabilité qui accompagnent les objectifs de conception des terminaux 4G.

D'un autre côté, depuis la moitié des années 90, des réalisations de chaînes de réception basées sur l'architecture Zéro-IF ou ZIF voient le jour [29 Abidi]. La ZIF, qui consiste à transposer le signal RF directement en bande de base, offre plusieurs avantages au niveau technologique et en termes de complexité de conception. En effet, beaucoup moins de composants externes sont nécessaires (uniquement le filtre RF juste après l'antenne) et il est envisageable de fabriquer les fonctions RF et bande de base en utilisant la même technologie (Fig. 1.1). Elle est considérée plus homogène du point de vue technologique et permet de réaliser des récepteurs entièrement CMOS en intégrant toutes les fonctions sur la même puce. Cependant, plusieurs effets parasites sont créés principalement par le fonctionnement à la fréquence porteuse : une forte disparité apparaît entre les voies I et Q du récepteur ; un décalage en continu (*offset* DC) est dû aux fuites de l'oscillateur en entrée suivi d'un auto mélange. D'autres problèmes sont liés au fait que le canal utile est ramené autour de la

fréquence zéro. Notamment le bruit basse fréquence (1/f) de la technologie CMOS dégrade ainsi directement le rapport signal sur bruit (SNR) dans la bande utile.

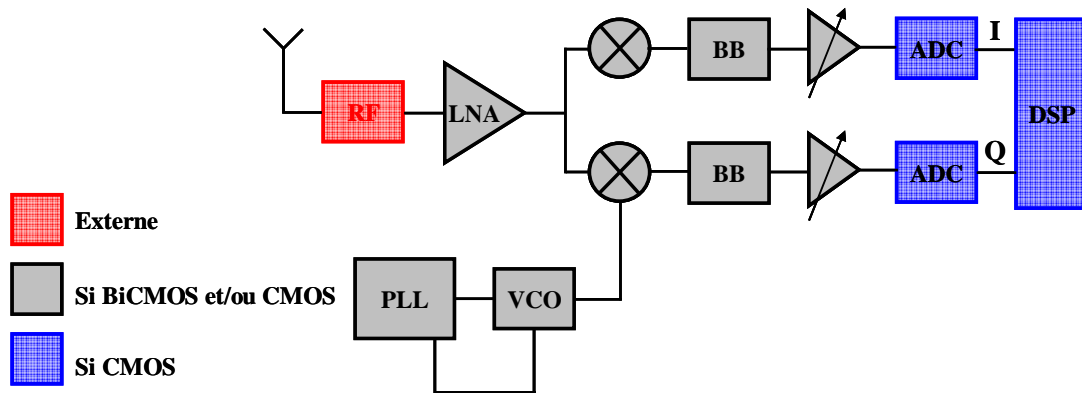


Fig. 1.1 : Récepteur Zéro-IF ou ZIF

La ZIF est très prometteuse en termes de coût de fabrication. Elle permet d’atteindre un degré de reconfigurabilité important et d’intégrer le récepteur sur SoC. Pour cela, beaucoup de techniques de traitement numérique du signal ont vu le jour ces dernières années pour corriger les principaux problèmes déjà cités. Notamment, il existe des algorithmes dédiés à la correction des disparités entre les voies I et Q et le DC offset [31 Gerven]. Un autre type d’architecture de réception a également vu le jour au milieu des années 90, c’est la Low-IF. Cette architecture permet de transposer le canal à une fréquence intermédiaire très basse mais non nulle. Ainsi, les problèmes de la ZIF sont évités tout en réduisant le nombre de composants externes. Cependant, le nombre d’étages de filtrage nécessaires reste important et ne permet pas d’atteindre le degré d’intégration et de reconfigurabilité offert par la ZIF. Un comparatif qualitatif entre les trois classes de base d’architecture de réception radio est représenté sur le tableau 1.1.

Il est clair que l’architecture ZIF est la plus adaptée aux contraintes d’intégration, de coût de fabrication et de consommation. De plus, avec le développement des techniques de correction numérique de l’offset DC et de la disparité IQ, les inconvénients sont pratiquement éliminés. La ZIF est l’architecture la plus prometteuse pour la conception des terminaux 4G sans fils.

	Avantages	Inconvénients
Hétérodyne	<ul style="list-style-type: none"> • Relâche la conception des filtres • Relâche la conception des oscillateurs • Très bonnes performances radio 	<ul style="list-style-type: none"> • Problème de la fréquence image • Beaucoup de composants externes • Beaucoup d’étages de filtrage
Zéro-IF	<ul style="list-style-type: none"> • Suppression de la fréquence image • Moins de composants externes • Moins d’étages de filtrage 	<ul style="list-style-type: none"> • DC offset • Bruit 1/f • Disparité IQ
Low-IF	<ul style="list-style-type: none"> • DC offset atténué • Bruit 1/f atténué • Moins de composants externes 	<ul style="list-style-type: none"> • Réapparition de l’image • Plusieurs étages de filtrage

Tab. 1.1 : Comparatif de différentes architectures de réception radio

B. Motivations et naissance de l'architecture échantillonnée

1. La radio logicielle

Le contexte actuel et la tendance exigée par l'arrivée des standards 3G et 4G fait que reconfigurabilité, réduction du coût de fabrication et intégration sur la même puce de toutes les fonctions de réception sont devenues des critères indispensables pour le développement des architectures futures de réception radio. C'est dans ce contexte que le concept de la radio logicielle a pris naissance. L'idée initiale remonte à 1995 et elle est due principalement à J. Mitola [32 Mitola] qui donne une première définition publiée du concept. Une radio logicielle ou *Software Radio* (SR) est capable de s'adapter à n'importe quelle bande de fréquence, n'importe quelle largeur de canal et est capable de recevoir en même temps plusieurs canaux de communications. Ainsi, idéalement, les futurs récepteurs radio mobiles auront un seul composant externe, l'antenne (Fig. 1.2).

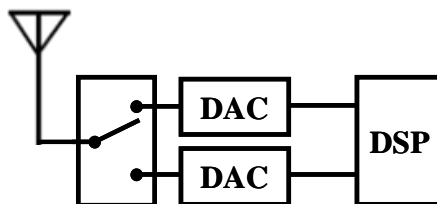


Fig. 1.2 : Radio logicielle de Joseph Mitola

Cependant, l'état de l'art des convertisseurs analogique numérique [33 Walden] démontre l'impossibilité et le caractère non réaliste de l'approche [32 Mitola] au moins dans les prochaines années.

2. L'architecture échantillonnée

Récemment, des architectures de réception radio traitant le signal en analogique temps discret ont vu le jour [34 Jakonis], [35 Staszewski] et [36 Muhammad]. Dans ces chaînes de réception, l'échantillonnage du signal RF est fait par un mélangeur échantillonneur qui assure une double fonction de mélange et d'échantillonnage. Le traitement est réalisé par des circuits formés uniquement de capacités commutées, le signal d'entrée restant analogique mais sur une base de temps discrète. Dans des architectures classiques, le signal analogique reste sur une base de temps continue jusqu'à sa quantification dans le convertisseur analogique numérique. La nature temps discret du traitement de signal ne met en jeu que des capacités et des interrupteurs MOS et semble donc prometteuse d'une conception simple, d'une intégration totale en CMOS, d'une portabilité d'une technologie à une autre et d'une flexibilité vis-à-vis des standards et des largeurs de canaux. En ce sens, les architectures échantillonnées semblent répondre aux exigences de coût, de surface et de reconfigurabilité évoquées précédemment.

Cependant, le développement des architectures échantillonnées est toujours en phase de démarrage, nous ne disposons pas encore de données claires sur les performances obtenues avec ces récepteurs. De plus, la conception et la maturité de ces solutions restent encore loin d'atteindre un état de mise en production. Des émetteurs-récepteurs entièrement CMOS (Fig. 1.3) existent depuis 2001 [29 Abidi], surtout pour des standards sans fils comme Bluetooth et Wi-Fi. Il est évident que le même niveau d'intégration sera garanti avec les architectures échantillonnées, mais nous espérons en plus assurer une conception plus simple, une

meilleure reconfigurabilité et une portabilité (facilité et rapidité de portage) pour les nœuds CMOS submicroniques futurs. La place de l'architecture échantillonnée doit être vue dans le cadre de cette tendance qui s'impose en conception radio.

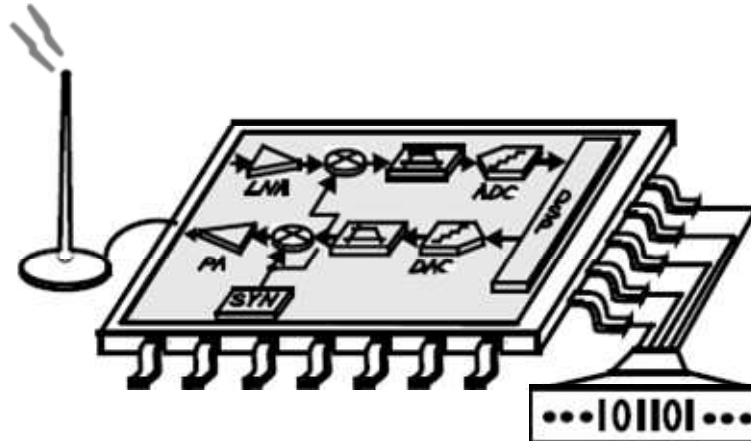


Fig. 1.3 : Récepteur radio CMOS en SoC

En résumé, quatre points caractérisent l'architecture échantillonnée :

1. L'homogénéité technologique qui facilite la réalisation en SoC ;
2. Des structures facilement et rapidement portables d'une technologie CMOS à une autre ;
3. Une conception plus simple comparée à une architecture radio classique ;
4. Une reconfigurabilité en standards, en largeurs de canaux et en bandes de fréquence.

3. Objectif de la thèse

L'architecture échantillonnée semble plus prometteuse que les architectures de réception radio classiques (temps continu). Pour cela, nous cherchons dans ce travail de thèse à évaluer sa capacité d'adaptation à l'évolution de la technologie CMOS. L'objectif est de comprendre comment évoluent ses performances en fonction de la miniaturisation et lors du portage d'un nœud technologique au nœud suivant. Une fois cette évaluation réalisée, elle nous permettra de répondre à la fois à la question de viabilité technique et économique de la solution échantillonnée.

Le premier chapitre de ce manuscrit est consacré à la définition de la notion de « portabilité » dans le contexte de l'évolution de la technologie CMOS. Nous expliquerons les motivations de l'étude de portabilité et l'importance de cette notion dans le cadre de la conception des circuits intégrés destinés à la réception radio en technologies CMOS avancées.

Le deuxième chapitre est consacré à l'identification des différents critères de portabilité d'un nœud CMOS au nœud suivant. Nous détaillerons les effets parasites liés à la technologie, leur impact sur la conception analogique et leur évolution en fonction de la technologie. Nous montrerons également les différentes études de portabilité qui existent en littérature et nous comparerons notre approche par rapport à l'état de l'art.

Le chapitre 3 présente les principes généraux et le concept de l'architecture échantillonnée de réception radio. L'échantillonnage, le filtrage anti-repliement, le filtrage de sélection de canal, le gain global de la chaîne de réception et la conversion analogique-numérique seront expliqués.

Au chapitre 4, nous exposerons nos résultats de simulation dans le cadre de l'étude de l'impact des effets parasites, identifiés au chapitre 2, sur l'architecture échantillonnée. Les

effets parasites suivants seront étudiés : l’injection de charges, les capacités parasites, la réduction des tensions d’alimentation, la fuite de grille et la pollution numérique. Ce chapitre exposera également les conclusions de notre étude de portabilité.

Le chapitre 5 est dédié à la réalisation sur silicium d’un circuit de réception basée sur l’architecture échantillonnée. Un portage d’une chaîne de réception entière (de l’antenne jusqu’au convertisseur analogique numérique) de la technologie CMOS 65nm à 45nm sera détaillé. Nous présenterons les points critiques de ce portage ainsi que les grandes lignes de conception de l’architecture échantillonnée en technologies CMOS submicroniques avancées. Ce chapitre présentera aussi les résultats de mesures et de validation du circuit ainsi que les conclusions de l’évolution des performances de l’architecture échantillonnée en fonction de la technologie.

II. Technologie CMOS et Portabilité

A. Evolution de la technologie CMOS

Le passage d’un nœud technologique CMOS au nœud suivant est basé sur la miniaturisation des dimensions. Cependant, cette dernière ne se réduit pas à la seule réduction de la longueur du canal du transistor [7 Iwai]. En effet, elle est souvent accompagnée de changements au niveau du procédé de fabrication du composant d’une part et d’apparition de nouveaux effets parasites d’autre part.

Dans les applications numériques et analogiques échantillonnées (capacités commutées), le transistor MOS fonctionne en interrupteur. Dans ce mode, plusieurs caractéristiques sont indispensables au bon fonctionnement du composant : un courant de fuite à l’état « OFF » négligeable, une très faible résistance à l’état « ON » et un minimum de capacités parasites pour commuter des signaux de très haute fréquence. Or, même à l’état « OFF », en diminuant la longueur du canal d’un transistor MOS, la zone de charges d’espace (ZCE) du côté drain touche quasiment la source. Cela a lieu en surface au niveau du canal (qui n’existe plus) ainsi qu’en profondeur dans le substrat là où la grille ne peut plus contrôler correctement le potentiel. Par conséquent des courants de fuite entre la source et le drain se créent à travers la ZCE (Fig. 1.4). Les technologues CMOS connaissent bien ces phénomènes de fuite, ils les nomment « effets du canal court » ou en anglais « Short Channel Effects » (SCE).

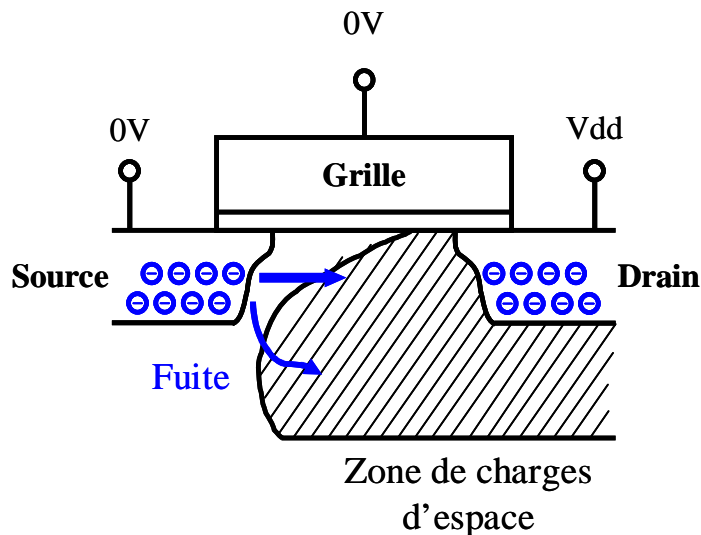


Fig. 1.4 : Fuite source - drain dans un transistor MOS à canal court à l’état « OFF »

Afin de poursuivre la miniaturisation sans dégrader les performances intrinsèques du transistor MOS, il est indispensable de supprimer ces effets. Probablement, les fuites dues aux SCE constituent l'un des défis les plus importants de la tendance actuelle dans la fabrication de la technologie CMOS. D'un autre côté, la diminution de la longueur de canal du transistor va dans le bon sens pour la réduction de la résistance à l'état « ON » (qui est inversement proportionnelle à la longueur L). Cependant, on ne peut pas gagner indéfiniment car les résistances d'accès drain et source limitent la résistance totale du composant. Elles ont même tendance à augmenter dans les nouvelles technologies pour notamment réduire l'effet de fuite dues aux SCE [7 Iwai]. De même, les capacités parasites ont tendance à diminuer légèrement entre deux nœuds technologiques. Cependant, les composantes latérales ou « Fringe » des capacités parasites ne diminuent pas forcément mettant ainsi une limite à cette légère amélioration (paragraphe I.D du chapitre 2).

En conclusion, la miniaturisation imposée par l'objectif d'augmentation de la densité d'intégration doit être absolument accompagnée d'une suppression des SCE ainsi que d'une amélioration des résistances et des capacités parasites. Dans le cas contraire, l'évolution de la technologie se fera au prix d'une dégradation de performance du transistor. Une méthode a été proposée par [37 Dennard] pour diminuer les dimensions du transistor d'un nœud technologique au nœud suivant tout en supprimant les SCE. Le tableau 1.2 montre l'évolution de certains paramètres caractéristiques du transistor et de la technologie selon [37 Dennard] :

Paramètre	Tendance
Longueur de canal (L)	$1 / K$
Epaisseur d'oxyde de grille (T_{ox})	$1 / K$
Tension de seuil (V_T)	$1 / K$
Tension d'alimentation (V_{DD})	$1 / K$

Tab. 1.2 : Evolution originelle des paramètres de fabrication en technologie CMOS

Cette méthode définit un facteur d'évolution K comme le montre le tableau 1.2. Les tendances définies par [37 Dennard] sont basées sur l'objectif de miniaturisation, mais aussi sur des considérations de performance du composant : en effet, la réduction de la longueur de canal doit être accompagnée d'une réduction de l'épaisseur d'oxyde (T_{ox}) pour permettre à la grille de garder le contrôle des charges du canal. En parallèle, afin de gagner en consommation (car les circuits augmentent de taille [9 Moore]), la tension d'alimentation doit baisser. Cette baisse nécessite une diminution de la tension de seuil (V_T) afin de garder une dynamique acceptable ($[V_{GS}-V_T]$ constant). Cependant, la méthode n'a pas été respectée complètement et les avancées actuelles de la technologie CMOS montrent que le facteur de réduction K , défini par [37 Dennard], n'a pas été appliqué sur tous les paramètres. Par exemple, la tension d'alimentation n'a pas été réduite au début, afin de profiter de l'augmentation du champ électrique à travers l'oxyde de grille (T_{ox} diminue à V_{DD} constant) et faire fonctionner le transistor à des vitesses élevées. La tension d'alimentation n'a commencé à diminuer qu'à partir des années 90 (nœud $0.5\mu m$) quand le champ électrique avait atteint la limite maximale de 4 MV/cm [7 Iwai]. D'autre part, la diminution de la tension de seuil V_T s'accompagne d'une augmentation du courant de fuite à l'état « OFF », ce qui altère considérablement les performances du transistor en commutation. Même si on arrive à contrôler cette fuite, V_T n'est jamais constante et augmente en fonction de la tension source-substrat V_{SB} . Il est donc difficile de réduire V_T au rythme de la longueur de canal, et donc de réduire au même rythme la tension d'alimentation. Aux nœuds CMOS submicroniques (Fig. 1.5), [38 Taur] montre que le rythme de diminution de V_T n'a quasiment pas progressé.

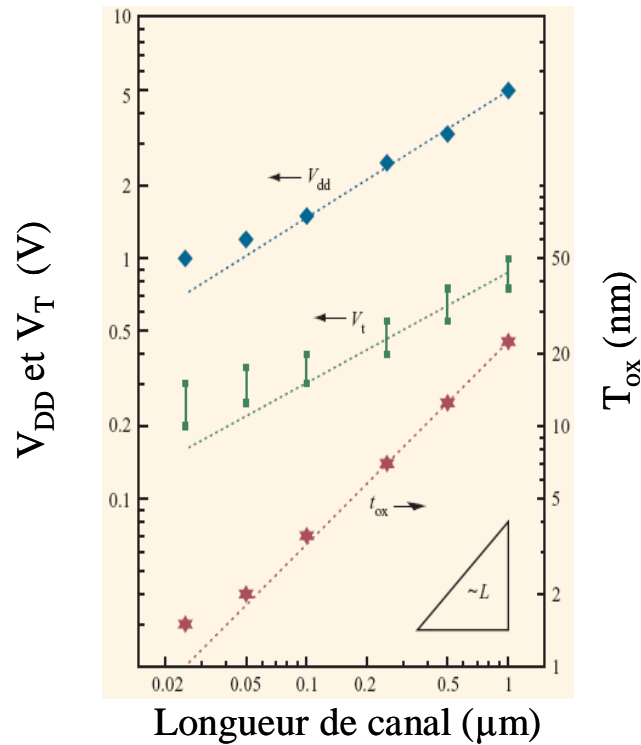


Fig. 1.5 : Evolution de V_T et V_{DD} en fonction de la technologie CMOS

Les solutions technologiques qui ont accompagnées la miniaturisation des transistors et l'évolution de la technologie ont permis une réduction de la tension d'alimentation à un rythme plus faible que celui prévu par [37 Dennard] comme le montre la figure 1.6.

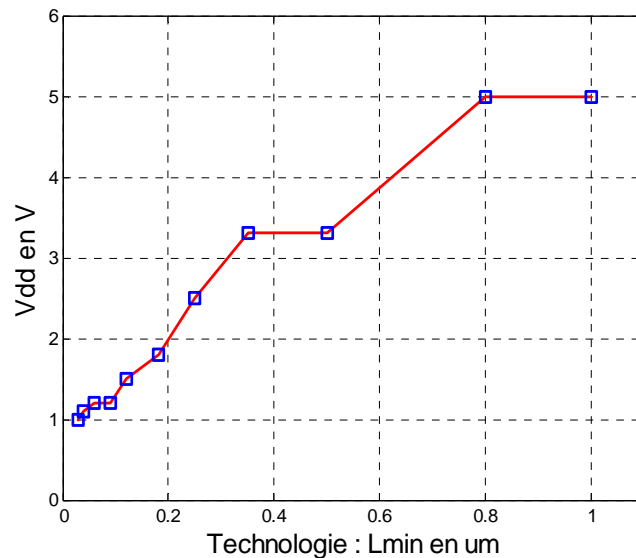


Fig. 1.6 : Evolution de la tension d'alimentation en fonction de la technologie CMOS

Actuellement, les technologies submicroniques avancées (90nm et en deçà) fonctionnent sous 1.2 et 1.1V seulement. La consommation des circuits CMOS n'a donc pas été réduite au rythme souhaité initialement.

L'épaisseur de l'oxyde de grille (T_{ox}) a pu, quant à elle, suivre un rythme de diminution linéaire (1/K) jusqu'aux technologies submicroniques (Fig. 1.5). En effet, pour que la grille garde plus de contrôle que le drain, sur les charges du canal, T_{ox} doit être réduite au même rythme que L. Pour des transistors de longueur de canal de 0.1 μm , il est nécessaire d'utiliser un oxyde d'épaisseur inférieure à 3 nm [38 Taur]. Or, le courant de fuite de grille par effet tunnel augmente dramatiquement quand on s'approche de cette limite, il est multiplié par 10 à chaque réduction de 0.2 nm de T_{ox} à partir de 3nm [39 Lo].

Sur la figure 1.7 nous montrons le courant de fuite de grille mesuré et simulé par unité de surface en fonction de la tension de polarisation de la grille (V_G) et pour différentes épaisseurs d'oxyde allant de 3.6 nm jusqu'à 1 nm [39 Lo]. On note que pour une tension de polarisation de grille donnée, le passage d'une épaisseur d'oxyde de 2.6 nm à 2.2 nm multiplie le courant de fuite par 100 qui passe alors de 0.1 mA/cm² à 10mA/cm² (valeurs obtenues pour l'oxyde de silicium SiO₂).

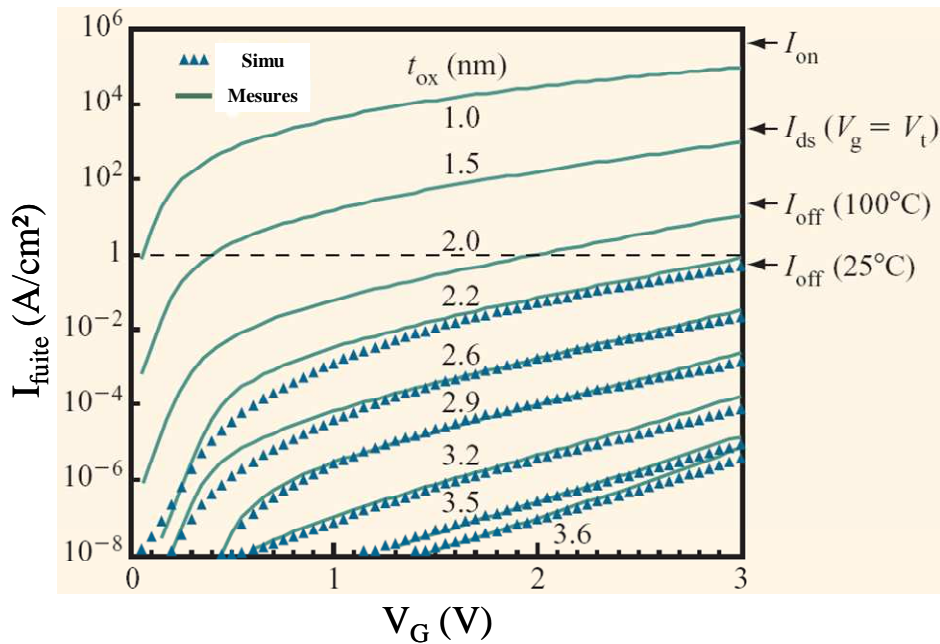


Fig. 1.7 : Courant de fuite de grille en fonction de V_G et T_{ox}

On note également, d'après les courbes obtenues, que la diminution de V_G réduit le champ électrique à travers l'oxyde mais ne réduit pas énormément la fuite. La tendance de réduction de l'épaisseur d'oxyde a été maintenue pour des raisons liées au bon fonctionnement du transistor et pour compenser les effets indésirables apparus au cours de la miniaturisation. Cependant, à partir du nœud 90 nm, on ne peut continuer au même rythme (à cause de l'augmentation de la fuite de grille). Des solutions prévoient l'utilisation de matériaux à haute permittivité diélectrique à la place de l'oxyde de silicium SiO₂ [40 Thompson].

B. Définition de la portabilité

Dans le contexte actuel de l'évolution de la technologie CMOS, la question de passage d'un nœud technologique au suivant se pose par rapport à la performance du circuit à « porter ». Cette question a amené les concepteurs de circuits intégrés et les technologues à définir la notion de « portabilité ». La portabilité désigne d'une part la capacité d'adaptation d'une solution vis-à-vis des effets parasites de la technologie et de leurs évolutions et d'autre part la

rapidité de portage d'une solution d'un nœud technologique au nœud suivant. Partant de cette définition, on peut dire que l'étude de portabilité d'une solution consiste en l'ensemble des études théoriques et expérimentales au niveau composant, circuit et système, permettant de quantifier la portabilité d'une solution donnée vis-à-vis de la technologie de fabrication.

L'évolution des performances intrinsèques du composant (le transistor MOS dans le cas de la technologie CMOS), ne représente en effet qu'une partie de l'étude de portabilité. Pour cela, l'aspect « circuit » doit faire partie de l'étude de portabilité car c'est à ce niveau là que nous décelons concrètement l'impact des effets parasites. De même, à l'échelle d'une solution complexe faisant intervenir un ensemble de circuits, c'est l'impact au niveau « système » qui donne une réponse à la question de portabilité. La figure 1.8 montre comment la notion de portabilité est rapportée aux trois niveaux que nous venons de définir.

Depuis la domination de la technologie CMOS sur le marché des semi-conducteurs, la miniaturisation s'est accélérée rapidement dans le but de gagner en surface, en consommation et en coût de fabrication. Mais ce gain ne sera pas possible s'il n'est pas accompagné d'une amélioration ou du moins d'une « non dégradation » des performances des circuits.

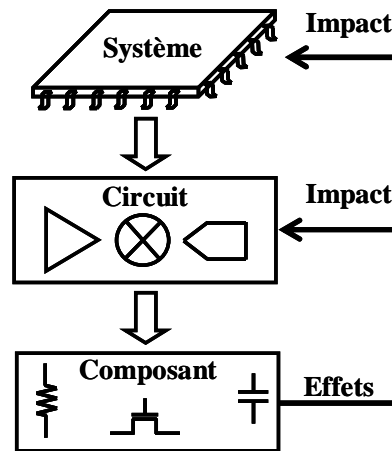


Fig. 1.8 : Etude de portabilité des systèmes

Or l'évolution des performances d'une solution donnée en fonction de l'évolution de la technologie de fabrication n'a jamais été objet d'une étude à part. Souvent, on étudiait les dispersions de performance d'un système vis-à-vis d'un nœud technologique et on proposait des solutions au niveau « circuit » pour compenser ces dispersions. En fait, la question de portabilité n'a pas été critique auparavant, mais de nos jours elle commence à occuper une place de plus en plus importante dans la recherche et le développement des nouvelles solutions en micro et surtout en nanoélectronique.

Le paragraphe suivant explique les motivations derrière l'étude de portabilité d'un circuit ou d'une solution donnée en montrant l'intérêt et l'avantage que peuvent apporter les réponses à la question de portabilité.

C. Motivations de l'étude de la portabilité

En microélectronique, une solution doit franchir plusieurs étapes de validation avant de devenir apte à une production massive. En général, on part d'une idée qui sert de base à la définition de l'architecture du système, ensuite on réalise le circuit qui implémente physiquement la solution pour en arriver à un prototype concret. Mais, pour passer du prototype au produit, le circuit doit passer par plusieurs étapes de validation représentées sur l'organigramme de la figure 1.9 (gauche).

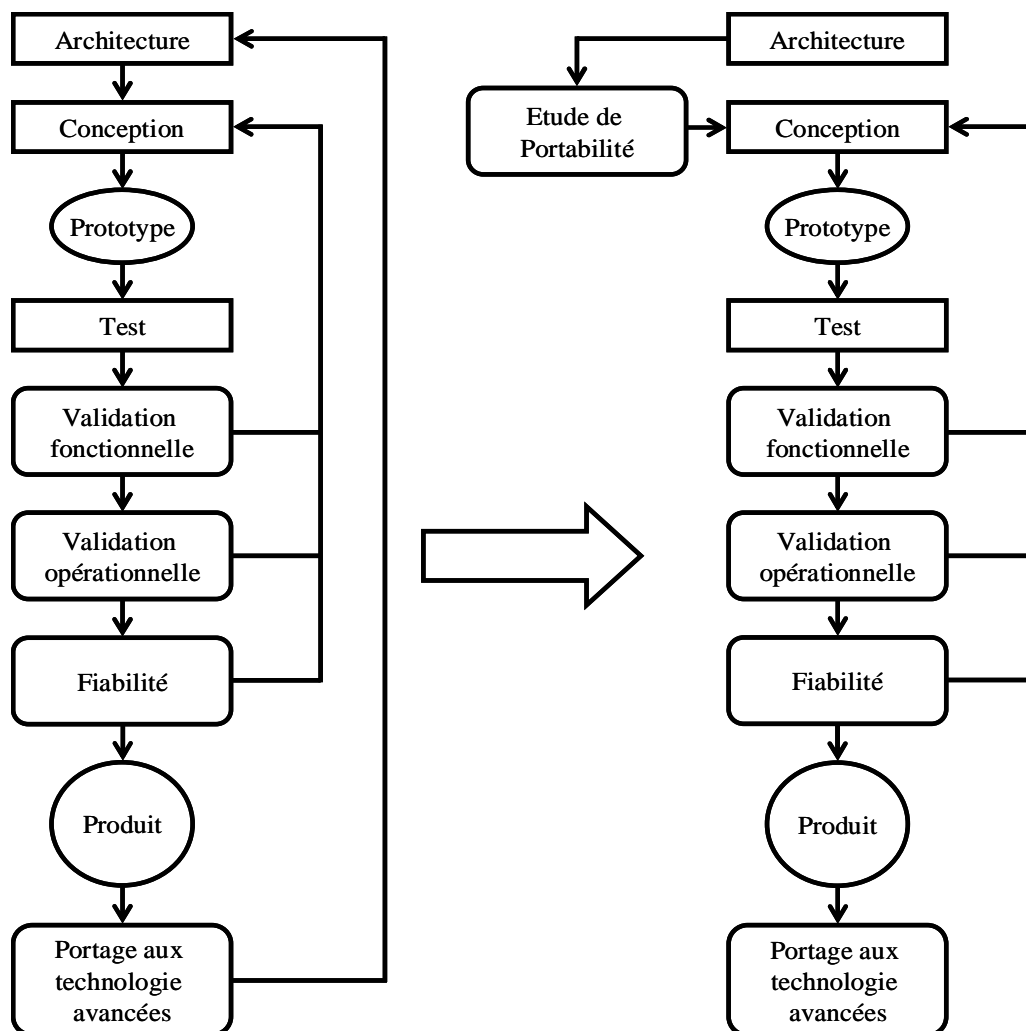


Fig. 1.9 : Importance de l'étude de portabilité d'une solution en microélectronique

Ces étapes sont la validation fonctionnelle qui consiste à montrer qu'il réalise la fonction demandée ; la validation opérationnelle qui consiste à vérifier que les performances mesurées dans les conditions réelles de l'application correspondent aux spécifications ; la mesure de fiabilité qui consiste à lancer une série de mesures sur un grand nombre de pièces pour voir la robustesse du circuit vis-à-vis des dispersions de la technologie.

Si le système franchit avec succès toutes les étapes précédentes, il est apte à une commercialisation et donc à une production en masse. Cependant, la commercialisation d'un prototype peut se heurter à de nouveaux problèmes techniques et économiques. En effet, la tendance de tout intégrer en technologie CMOS devient omniprésente en microélectronique et tout semble confirmer que ce choix restera valable à court et moyen termes [8 ITRS]. Dans ce contexte, un produit peut s'avérer non intéressant si, au fur et à mesure de l'avancement vers des nœuds technologiques submicroniques avancés, il doit faire face à des problèmes d'ordre technologique. Ainsi, la vision future en nanoélectronique montre que toute solution qui n'est pas robuste vis-à-vis de la technologie de fabrication ou qui n'est pas rapidement et facilement portable d'une technologie à une autre, n'est plus rentable. Pour cela, une nouvelle étape de validation vient se greffer sur l'organigramme de la figure 1.9 : c'est l'étape d'étude de portabilité qui permet de quantifier la capacité d'une solution ou d'un prototype à passer à

l'étape de portage aux technologies avancées (Fig. 1.9). Elle permet de donner des réponses concrètes sur les plans technique et économique et aura un poids important quant au choix de la solution à adopter pour une application donnée : en effet, entre deux solutions pertinentes techniquement, c'est celle qui s'adapte le mieux et le plus rapidement possible au portage vers de nouvelles technologies, qui sera choisie. Dans le paragraphe suivant, nous allons expliciter les deux aspects, technique et économique, de l'étude de portabilité.

1. Robustesse vis-à-vis de l'évolution de la technologie de fabrication

Toute technologie de fabrication est sensible à des effets parasites qui, au cours de son évolution, peuvent évoluer de manière différente. Par exemple, pour la technologie CMOS, les capacités parasites et le bruit thermique (NF) d'un transistor ont tendance à s'améliorer lors du passage d'un nœud au nœud suivant, alors que la linéarité (IP_3) [41 Hassan], [42 Woerlee] et le gain intrinsèque (g_m/g_{ds}) se dégradent [43 Garg]. De plus, comme il a été expliqué au paragraphe II.A., les fuites du transistor MOS à l'état « OFF » ainsi que la fuite de grille par effet tunnel ne font que s'amplifier dans les nœuds CMOS submicroniques [7 Iwai], [38 Taur] et [40 Thompson]. Tous ces effets parasites qui se manifestent à l'échelle du composant ont un impact sur les circuits et les systèmes. L'objectif principal de l'étude de portabilité consiste à quantifier cet impact aussi bien au niveau « circuit » qu'au niveau « système », pour estimer l'évolution des performances d'un système en fonction de l'évolution des effets parasites de la technologie de fabrication. Cette étude permettra alors de savoir le degré de robustesse et d'adaptation de la solution étudiée vis-à-vis de la technologie. D'autre part, certains effets parasites sont spécifiques à une architecture ou à une classe de circuits. Par exemple, les circuits à base de capacités commutées sont sensibles aux injections de charges [44 Sheu]. Dans ce cas, l'étude de portabilité doit intégrer l'impact de ces effets spécifiques, en plus des effets d'ordre général liés à la technologie de fabrication.

2. Viabilité économique

Comme il a été expliqué au paragraphe I.1), la miniaturisation est l'objectif principal de tout fournisseur de solutions CMOS, et ce pour gagner en coût de fabrication. En général, la production d'une solution commence dans une technologie stable qui a atteint un niveau de maturité et de stabilité en termes de performances, de parasites et de dispersion. Mais le but final est de porter la même solution aux technologies avancées profitant ainsi du gain en surface qui en découle pour accéder au marché avec un prix compétitif. La durée qui s'écoule entre la définition de l'architecture d'une solution et sa production est communément appelée en anglais « Time to Market ». Depuis l'accélération de la miniaturisation en CMOS, cette définition va jusqu'à l'étape de portage aux technologies avancées (Fig. 1.9) et le coût de fabrication est désormais calculé en fonction du « Time to Market ». Si le portage d'un produit nécessite beaucoup de temps, il ne pourra pas accéder au marché à temps et par conséquent ne pourra pas être commercialisée au bon moment. Cette dimension est appelée « rapidité de portage » et constitue un élément de portabilité aussi important que la capacité de portage vu au paragraphe précédent. On peut, par exemple, imaginer qu'une solution soit robuste vis-à-vis des effets parasites de la technologie mais que son portage aux technologies submicroniques nécessite un travail de conception considérable en ressources et temps. Dans ce cas, cette solution n'est pas facilement ou rapidement portable, son coût de fabrication n'est pas compétitif et par conséquent son temps d'accès sur le marché ne correspond pas à la demande. C'est ici que se manifeste l'intérêt de l'étude de portabilité qui apporte une réponse claire au point précédent et contribue au choix stratégique d'une solution donnée. C'est la dimension de viabilité économique que l'étude de portabilité est capable d'en donner.

Chapitre 2

I. Identification des effets parasites liés à la portabilité CMOS

A. Réduction de la tension d'alimentation

Pour des raisons de fiabilité et de durée de vie le passage d'une technologie CMOS à la suivante s'accompagne, en général, d'une réduction de la tension d'alimentation [7]. D'autre part, la densité d'intégration augmente rapidement et la surface moyenne d'une puce CMOS double tous les 3 ans [9]. Par conséquent, à tension d'alimentation constante, la consommation augmente considérablement d'un nœud technologique à un autre. En effet, la consommation des circuits numériques CMOS est décrite par l'équation 2.1 [7] :

$$P_{\text{conso}} = 0.5f \cdot N \cdot C_L \cdot V_{\text{DD}}^2 \quad (\text{Eq.2.1})$$

où N est le nombre de transistor MOS dans une puce donnée, f la fréquence de fonctionnement du circuit, C_L la capacité de charge et V_{DD} la tension d'alimentation. Or, nous avons vu au paragraphe III.A. du chapitre 1 (Fig. 1.7) que la tendance de réduction de V_{DD} au même rythme que la longueur du transistor n'a pas été respectée. La plage des valeurs de tension utilisées jusqu'à présent se situe entre 5V (ou plus) pour les premiers circuits CMOS et 1.1V pour les circuits fabriqués en 45nm. Dans les années prochaines, de nouveaux nœuds technologiques vont voir le jour : le 32nm avec 1.1V de tension d'alimentation et les derniers nœuds 22nm et 12nm qui fonctionneront sous 1V. Au total, en 40 ans, la tension d'alimentation a été divisée par 5.

Toutes les fonctions CMOS numériques bénéficient directement de la réduction de la tension d'alimentation, car la puissance consommée est proportionnelle au carré de cette dernière (Eq. 2.1). Cependant, la consommation des fonctions CMOS analogiques et RF ne suit pas cette tendance [45], [46]. En effet, les performances des circuits analogiques sont plus liées à des contraintes technologiques et des contraintes de conception comme le bruit et la dynamique. Plusieurs études ont été faites à ce sujet. Par exemple, [45] dérive une expression approximative de la consommation en puissance minimum (P_{min}) nécessaire pour obtenir un rapport signal sur bruit (SNR) dans une bande passante donnée. Cette expression est dérivée pour différentes classes de circuits analogiques (en termes de polarisation) mais n'inclut pas la contribution en bruit due à la distorsion, aux circuits de polarisation, aux parasites et à la variation de la technologie. Elle est, en ce sens, un peu loin de la réalité de la conception analogique mais a l'intérêt de montrer la relation qui lie la performance à la puissance consommée pour la réaliser. [46] dérive une autre expression dans laquelle la distorsion harmonique est prise en compte dans le calcul de [45]. Cette fois la relation permet de déterminer la puissance minimum pour un rapport signal sur [bruit + distorsion] (SINAD) donné dans une bande passante donnée. L'expression de [46] montre bien que la baisse de la tension d'alimentation fait augmenter P_{min} . Cette augmentation est d'autant plus grande si la dynamique du signal est inférieure à V_{DD} . Pour mieux voir cet effet, [46] propose de faire la conception d'un suiveur de tension dans plusieurs technologies CMOS et en utilisant un large spectre de tensions d'alimentation. L'idée est de réaliser ce suiveur pour qu'il ait les mêmes performances analogiques quelles que soient la technologie et la tension d'alimentation. Afin de pouvoir comparer concrètement les différents circuits. Les courbes représentées sur la figure 2.1 montrent les résultats obtenus.

La consommation en puissance minimum (P_{min}) augmente en fonction de l'évolution de la technologie à cause de la réduction de la tension d'alimentation nominale. Ceci est clair sur les « chapeaux » représentés sur la figure 2.1 pour quatre technologies submicroniques différentes.

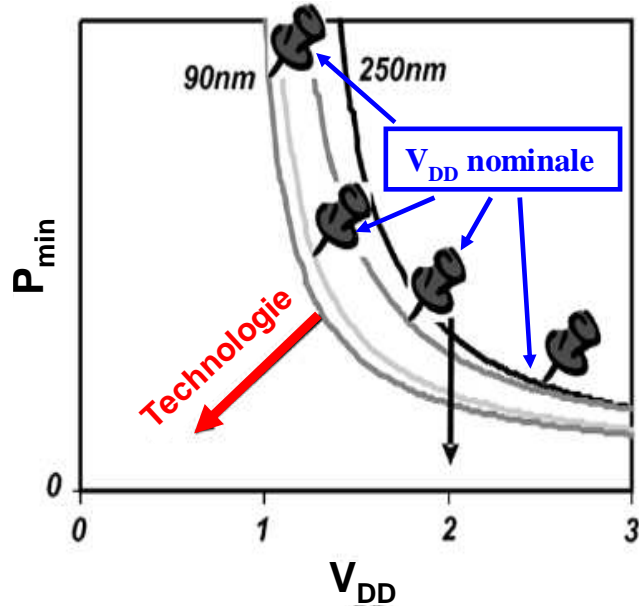


Fig. 2.1 : Consommation minimum en fonction de V_{DD} nominale et de la technologie

En parallèle, à tension d'alimentation constante, le portage d'un circuit d'une technologie CMOS à la suivante réduit sa consommation minimum. Même si cette étude a été menée sur un bloc analogique particulier (amplificateur opérationnel rebouclé en suiveur de tension [46]), on peut conclure, que de manière générale, la baisse des tensions d'alimentation peut rendre la conception analogique plus difficile. Pour garder une consommation en puissance constante ou pour l'améliorer, il est inévitable de changer l'architecture du circuit en question moyennant de nouvelles techniques de conception.

Cependant, l'exemple pris par [46] est particulier, pour cela afin de mieux comprendre l'effet de la réduction de V_{DD} sur les performances analogiques en général, nous représentons sur la figure 2.2, les expressions approchées des performances de certaines fonctions RF et analogiques en fonction de la tension d'alimentation [47]. Par exemple, le bruit de phase représente une spécification analogique importante pour la conception des systèmes de transmissions et de réception radio. Sur la figure 2.2, l'expression approchée de ce bruit montre qu'il est inversement proportionnel au carré de V_{DD} . Par conséquent, la baisse des tensions d'alimentation qui accompagne l'évolution de la technologie CMOS conduit à une augmentation du bruit de phase des oscillateurs ce qui conduit à une augmentation du facteur de bruit (NF) global du circuit. De même, la puissance de sortie (P_{out}) fournie par un amplificateur de puissance, en tête d'un émetteur radio, est directement proportionnelle au carré de V_{DD} . Ainsi, la conception de ce bloc RF devient de plus en plus difficile car elle doit compenser la diminution de P_{out} due à la baisse de V_{DD} . La figure 2.2 donne également des expressions de grandeurs analogiques échantillonnées. Par exemple, la dynamique d'un intégrateur à base d'amplificateur opérationnel diminue avec l'évolution de V_{DD} , ce qui limite le spectre d'applications futures possibles de l'intégrateur. Aussi, la résistance à l'état « ON » d'un interrupteur MOS (R_{on}) augmente ce qui crée des problèmes de temps d'établissement (constante RC) dans les circuits à base de capacités commutées.

En conclusion, la baisse des tensions d'alimentation a un impact considérable sur la performance des circuits RF et analogiques aussi bien pour les applications temps continu qu'échantillonnées. Beaucoup de performances analogiques se dégradent et cela ne peut être

négligé dans le contexte actuel de réalisation des systèmes mixtes où des blocs RF, analogiques et numériques coexistent sur la même puce et dans une même technologie.

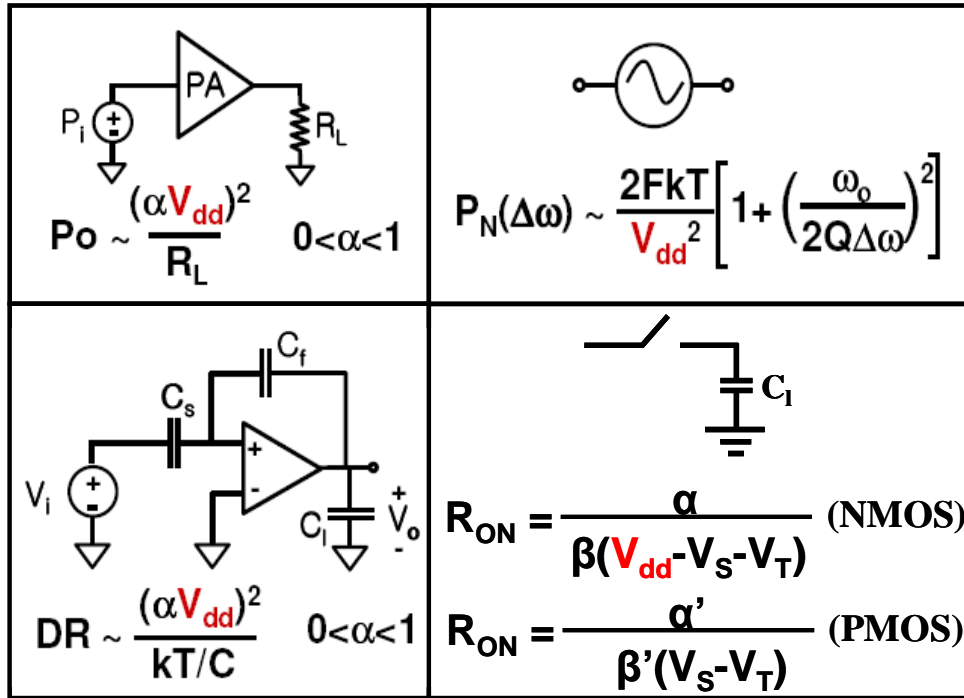


Fig. 2.2 : Impact de la tension d'alimentation sur les performances analogiques

Bien que la réduction de la tension d'alimentation ait été réalisée à un rythme moins rapide que celui prévu par la méthode de miniaturisation de [37], la conséquence a été positive pour la conception CMOS numérique car elle a permis une réduction considérable de la puissance consommée. Cependant, pour les applications RF et analogiques, elle a conduit à une dégradation des performances. La baisse continue des tensions d'alimentation constitue l'un des effets principaux liés à la problématique de portabilité d'une solution donnée. L'étude de son impact sur la performance de cette solution est indispensable pour évaluer la capacité d'adaptation de celle-ci à l'évolution de la technologie.

Nous allons maintenant montrer comment cet impact se manifeste à l'échelle des applications analogiques temps continu et commutées tout en montrant les techniques de conception les plus répandues pour compenser cette dégradation de performances.

1. Applications analogiques du transistor MOS en régime de saturation

Dans les applications analogiques où le transistor MOS fonctionne en régime de saturation (amplification, filtrage, etc), la diminution de la tension d'alimentation a des conséquences directes sur la dynamique du signal en sortie. Pour mieux comprendre cela, considérons le cas d'un amplificateur opérationnel (AO). La théorie des amplificateurs en électronique montre que le gain en tension intrinsèque est donné par la relation suivante : $A_V = G_m \times R_{out}$ avec G_m le gain de transconductance global et R_{out} la résistance de sortie de l'amplificateur. Ainsi, pour une technologie de fabrication donnée, augmenter R_{out} est la solution la plus directe pour obtenir plus de gain avec le même amplificateur. L'augmentation de la résistance de sortie est souvent réalisée par le montage « cascode » comme représenté sur la figure 2.3 :

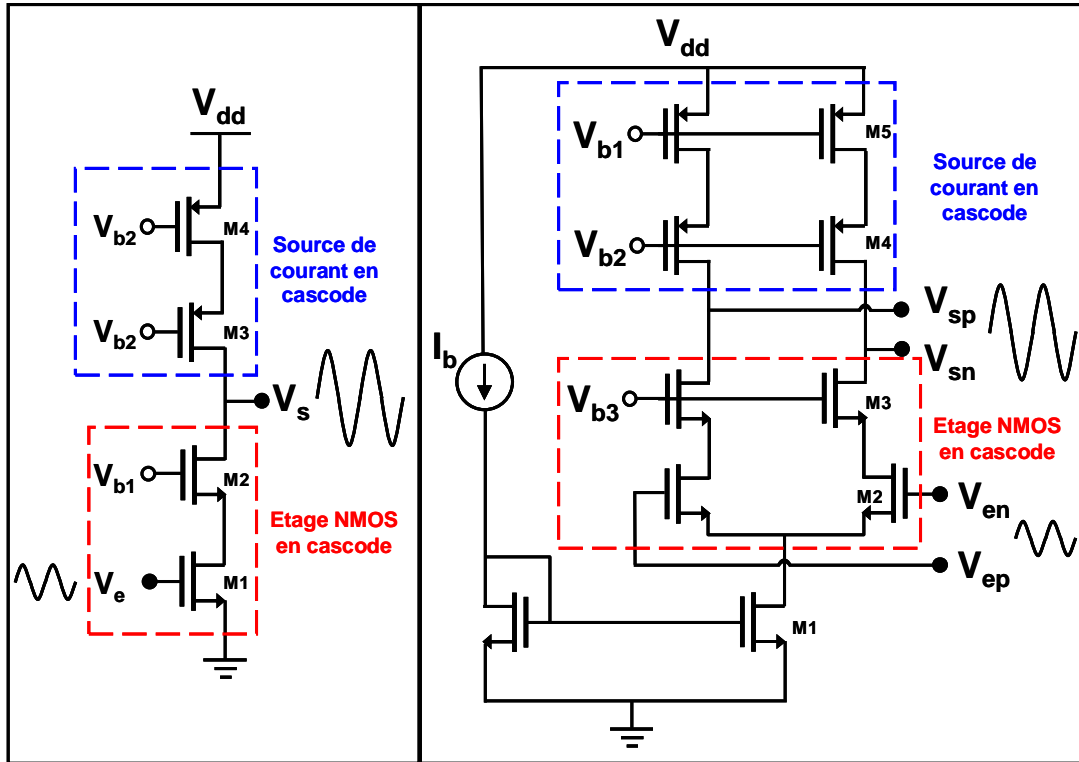


Fig. 2.3 : Amplificateur NMOS en cascode et source de courant PMOS en cascode

Pour comprendre l'impact d'une réduction de la tension d'alimentation sur la conception analogique d'amplificateurs, prenons le cas de la figure 2.3. Le calcul des tensions de polarisation et de saturation des transistors, de l'étage d'amplification NMOS et de source de courant PMOS, nous conduit à l'expression de la dynamique en sortie (DR_{sortie}). Ainsi pour l'amplificateur à entrée et sortie simples, cette expression est donnée par la relation suivante :

$$DR_{\text{sortie}} = V_{DD} - V_{SD4,SAT} - V_{SD3,SAT} - V_{DS2,SAT} - V_{DS1,SAT}$$

$$DR_{\text{sortie}} \approx V_{DD} - 4 \times |V_{DS,SAT}| \quad (\text{Eq.2.2})$$

Par exemple, en technologie CMOS 45nm et pour une tension $V_{DS,SAT}$ typique de 200mV, on se retrouve avec 300mV de tension disponible pour toute l'excursion en sortie. Pour le cas de l'amplificateur différentiel (Fig. 2.3) l'expression de DR_{sortie} devient :

$$DR_{\text{sortie}} \approx V_{DD} - 5 \times |V_{DS,SAT}| \quad (\text{Eq.2.3})$$

Et en reprenant le même exemple, on se retrouve avec 100mV d'excursion en sortie. Cette réduction de dynamique en sortie a un impact négatif sur l'utilisation de ce genre d'architecture d'amplificateurs pour certains types d'applications. En effet, des tensions d'alimentations d'environ 1V seulement (et moins) sont utilisées dans les nœuds CMOS submicroniques avancées (90nm et en deçà). Par conséquent, très peu de dynamique est alors possible avec ces montages. Dans le but de pallier à ce problème, des travaux ont été menés et consistent à remplacer l'étage « cascode » par plusieurs étages d'amplification. Dans ce cas, le gain n'est plus obtenu par l'augmentation de la résistance de sortie mais plutôt par l'effet cumulé de plusieurs étages de gain [48 Fattarusio]. Cependant, la mise en cascade d'étages nécessite un travail supplémentaire pour s'assurer de la stabilité (en cas de contre-réaction)

des amplificateurs et pour compenser l'effet Miller [48 Fattaruso], [49 Gray tutorial], [50 Eschauzier], [51 Fan You], [52 Ziazadeh]. Cette technique semble donc complexe et ne garantit pas toujours un bon résultat final. Pour cela, dans la perspective de faire une conception analogique avec des tensions d'alimentation de plus en plus réduites, [53 Chatterjee] propose en 2005, une structure d'amplificateur opérationnel qui fonctionne avec $V_{DD} = 0.5V$, soit la moitié de ce qui est prévu pour les noeuds technologies 32 et 22nm. La technique employée consiste à attaquer le transistor par un signal d'entrée appliqué sur le substrat et non plus sur la grille ou le drain d'un MOS. Cette technique semble être prometteuse mais connaît également certains inconvénients qui sont expliqués en détails dans [53 Chatterjee].

En conclusion, pour les applications analogiques où le transistor MOS fonctionne en régime de saturation, la diminution des tensions d'alimentation a un impact négatif sur les performances de bruit, de gain et de dynamique de signal possible.

2. Applications analogiques du transistor MOS en régime linéaire

Dans le cadre de ce travail de thèse, nous sommes concernés par les applications analogiques échantillonnées où le transistor MOS fonctionne en régime linéaire comme interrupteur. C'est par exemple le cas de circuits comme l'échantillonneur bloqueur et les filtres à capacités commutées. L'une des caractéristiques les plus importantes du transistor dans ce genre d'applications, est la résistance à l'état « ON » qui définit, avec les capacités de charge, les temps d'établissements des tensions donc des échantillons. Deux points importants sont à indiquer à ce sujet : d'une part, R_{on} augmente avec la baisse des tensions d'alimentation et d'autre part elle dépend de l'amplitude du signal à échantillonner (V_S) ce qui est source de non linéarité (Fig. 2.2).

Une autre caractéristique importante, pour ce genre d'applications, est la dynamique du signal, autrement dit la plage des valeurs du signal dans laquelle l'interrupteur MOS fonctionne normalement. Dans cette plage, il faut assurer une tension [$V_{GS} - V_T$] positive à l'état « ON », ce qui conduit donc à une limitation de la dynamique due à la baisse de la tension d'alimentation.

La linéarité, la résistance à l'état « ON » et la dynamique du signal sont donc les trois paramètres critiques liés à l'évolution continue des tensions d'alimentation. Plusieurs techniques ont été utilisées pour pallier à ces problèmes : l'utilisation d'interrupteurs à un seul transistor avec mode commun adapté, la fabrication de transistors MOS « low- V_{TH} », la conception de «switched-opamp » et le « clock-voltage boosting ». Nous allons maintenant expliquer chacune de ces techniques pour montrer comment elles peuvent améliorer la performance dans le cas de tensions d'alimentation réduites.

Interrupteurs MOS à transistor unique avec mode commun adapté

Dans l'expression de R_{on} des interrupteurs N et PMOS (Fig. 2.2), la tension d'alimentation V_{DD} apparaît directement au niveau de la grille pour le transistor NMOS et indirectement au niveau de la valeur maximale acceptable de V_S pour le transistor PMOS. Ainsi, la résistance à l'état « ON » d'un interrupteur MOS augmente avec la diminution de V_{DD} . Dans beaucoup d'applications de systèmes commutés où il est indispensable d'avoir une grande dynamique en entrée, on utilise un interrupteur CMOS constitué d'un transistor PMOS en parallèle avec un transistor NMOS comme le montre la figure 2.4. Le principe de fonctionnement est simple : à faibles amplitudes du signal d'entrée (par rapport à V_{DD}), l'interrupteur NMOS conduit le signal avec une faible résistance puisque la tension [$V_{GS} - V_T$] à ses bornes est grande. A fortes amplitudes, c'est l'interrupteur PMOS qui conduit le signal avec une faible

résistance puisque la tension $[V_{GS} - V_T]$ à ses bornes est grande. Entre les deux valeurs extrêmes d'amplitudes du signal d'entrée, il existe une zone où les résistances des deux interrupteurs sont à peu près égales (mais de valeurs importantes) et tous deux conduisent le signal.

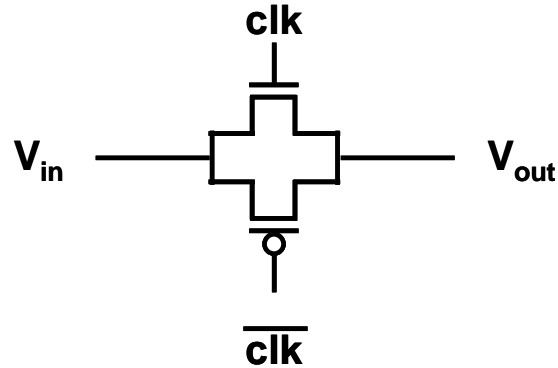


Fig. 2.4 : Interrupteur CMOS commandé par deux horloges opposées

L'avantage de l'interrupteur CMOS est qu'il permet de travailler avec une dynamique d'entrée maximale qui s'étend de zéro à la tension d'alimentation. Pour un mode commun égal à $V_{DD}/2$ et un signal de dynamique $\pm V_{DD}/2$, l'interrupteur CMOS assure une conduction continue du signal. Par conséquent, il est indispensable pour les applications où une grande dynamique est demandée. Cependant, le principal inconvénient de l'interrupteur CMOS est la distorsion introduite sur le signal de sortie due à la modulation de R_{on} par le signal d'entrée. Sur la figure 2.5 [48 Fattarusi], les valeurs de R_{on} sont tracées pour un interrupteur CMOS donné en fonction de l'amplitude du signal d'entrée et ce, pour différentes valeurs de tension d'alimentation.

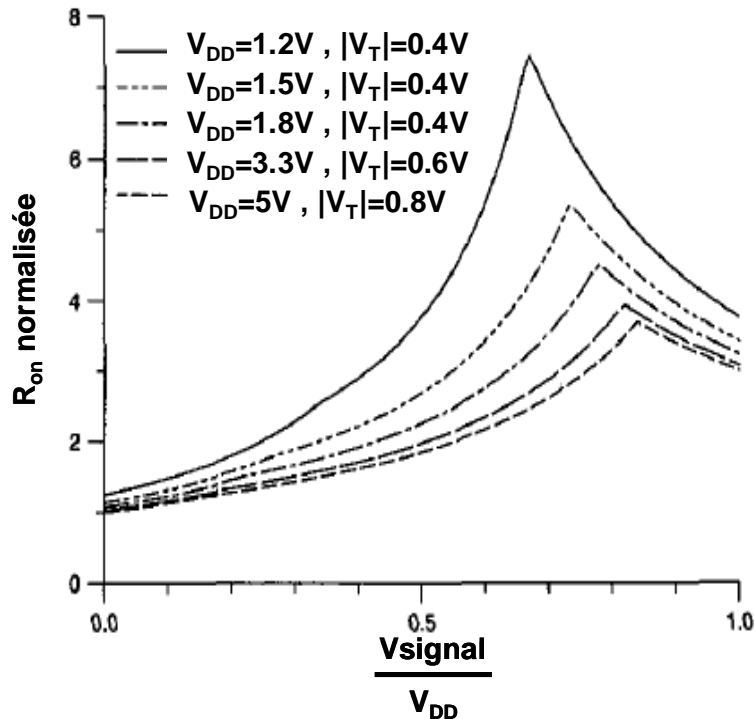


Fig. 2.5: Résistance de l'interrupteur CMOS en fonction du signal et de V_{DD}

A faibles et fortes amplitudes, le signal passe à travers la faible résistance offerte par l'un des interrupteurs. Pour des amplitudes légèrement plus grandes que la moitié de la dynamique ($V_{DD}/2$), toutes les courbes passent par un maximum. Ce maximum est d'autant plus grand que la tension d'alimentation est plus petite. La dépendance de R_{on} vis-à-vis de l'amplitude du signal d'entrée est alors source de non linéarité et de distorsion qui limite la performance de ce circuit.

Avec l'évolution de la technologie CMOS et la réduction de la tension d'alimentation, on ne peut plus garder une bonne linéarité à grande dynamique du signal d'entrée. Un compromis devient forcément indispensable pour conserver les performances des circuits à base de capacités commutées.

Cette dégradation de performance pousse les concepteurs des systèmes commutés à privilégier l'utilisation d'interrupteurs P ou NMOS à la place de l'interrupteur CMOS. Les interrupteurs à base d'un seul transistor ne permettent pas de fonctionner avec une grande dynamique de signaux d'entrée car ils doivent maintenir un R_{on} assez faible. Cependant, pour des dynamiques d'entrée (DR) petites, la commutation peut être très linéaire si on polarise le transistor MOS par une tension de mode commun dans une zone qui s'approche de zéro (resp. V_{DD}) pour le NMOS (resp. PMOS). La figure 2.6 montre le principe de fonctionnement pour les deux cas :

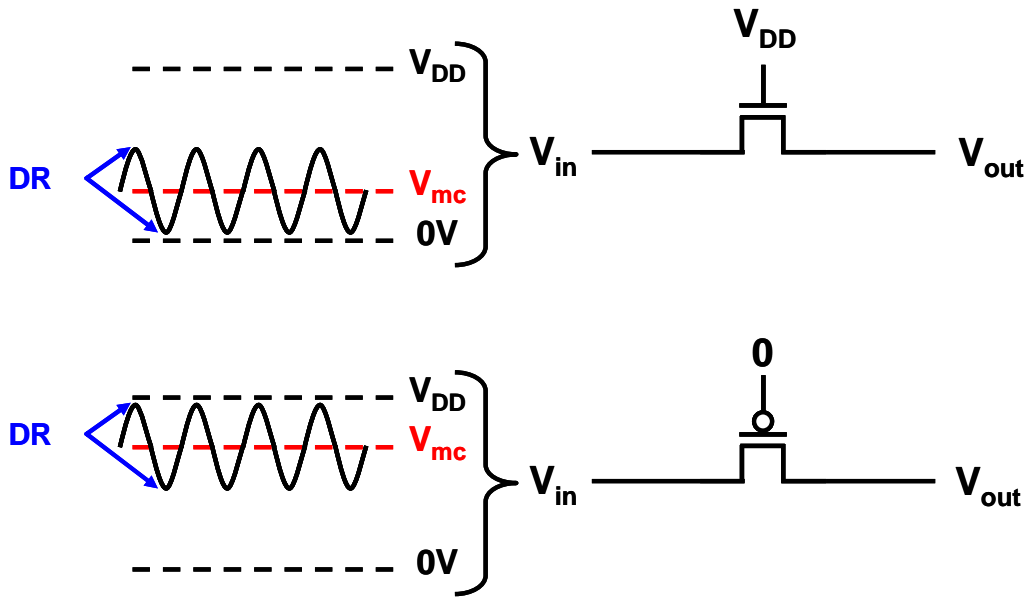


Fig. 2.6 : Utilisation des interrupteurs P et NMOS à faible V_{DD} et faible dynamique

Prenons maintenant l'exemple d'un interrupteur NMOS (pour simplicité) et étudions l'effet de la baisse des tensions d'alimentation sur le fonctionnement en mode de commutation (régime linéaire) : Soient des signaux d'entrée définis par une dynamique DR et par une tension de mode commun V_{mc} . Pour une conduction normale du transistor NMOS, il faut remplir la condition suivante :

$$V_{GS} - V_T = V_{DD} - [V_{mc} + DR \times \sin(\omega t)] - V_T > 0 \quad (\text{Eq. 2.4})$$

Si $[V_{DD} - V_T] = \alpha$, la condition précédente devient : $[V_{mc} + DR \times \sin(\omega t)] < \alpha$. Or, α diminue en fonction de la technologie (Fig. 1.6 du chapitre 1), ce qui veut dire que la plage de

variation du signal doit être réduite. En effet, le faible mode commun assure une résistance à l'état « ON » de faible valeur moyenne et la dynamique réduite assure une bonne linéarité puisque la dépendance de R_{on} vis-à-vis de l'amplitude du signal d'entrée est faible aussi. En conclusion, pour les applications commutées où le transistor MOS fonctionne comme interrupteur, la réduction de la tension d'alimentation impose une réduction de la dynamique des signaux et l'utilisation d'interrupteurs à transistor unique.

Les interrupteurs MOS « low- V_T »

Les fondeurs de circuits intégrés CMOS fournissent une option sur leurs transistors MOS en fabriquant des composants avec des tensions de seuil (V_T) de faibles valeurs [55 Bazarjani]. Le but est de faire en sorte que des valeurs de tensions [$V_{GS} - V_T$], plus grandes que celles obtenues avec la technologie de base, soient possibles. Si on reprend les expressions des résistances à l'état « ON » des interrupteur P et NMOS (Fig. 2.2), on remarque que toute diminution de V_T entraîne directement une diminution de R_{on} . Un autre avantage consiste à donner le plus de dynamique possible au signal d'entrée en augmentant le facteur $\alpha = [V_{DD} - V_T]$ défini précédemment et permettre donc de travailler avec plus de dynamique à tension d'alimentation réduite et avec des interrupteurs à transistors uniques.

Cependant, cette technique connaît certains inconvénients : elle nécessite souvent un masque supplémentaire lors de la fabrication, ce qui augmente le coût et le temps de conception [56 Bult] ; le contrôle des valeurs de la tension de seuil est très difficile en fonction des variations du procédé de fabrication et de la température [57 Moon] ; finalement, la faible valeur de V_T augmente le courant de fuite à l'état « OFF » de ces transistors [55], [56 Bult] et [57 Moon].

L'amplificateur commuté ou « switched-opamp »

Cette technique s'applique dans le cas des filtres actifs à base de capacités commutées, c.à.d mettant en jeu l'utilisation d'un amplificateur opérationnel (AO). En général, ces circuits doivent assurer une dynamique importante en sortie, ce qui crée forcément des problèmes de linéarité sur les transistors. Sur la figure 2.7, on représente symboliquement le concept :

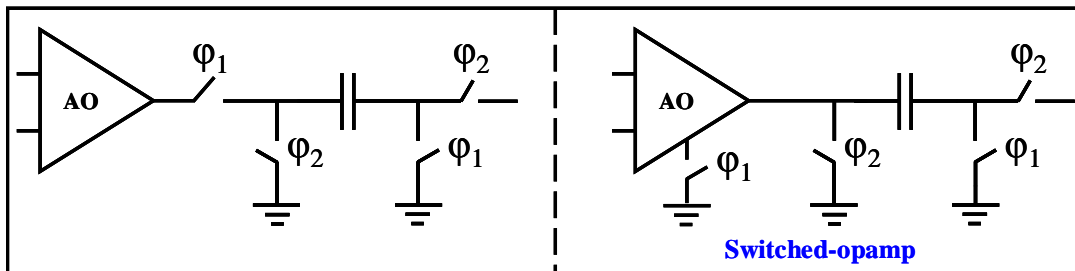


Fig. 2.7 : Filtre actif à capacités commutées et la technique « switched opamp »

L'interrupteur commandé par ϕ_1 de la figure 2.7 (à gauche) a pour rôle de couper la sortie de l'AO du reste du circuit et ce, pendant la phase où le signal ϕ_2 est actif.

Or, ce même rôle peut être réalisé en coupant l'étage de sortie de l'AO en interne [58 Crols] (Fig. 2.8) sans utiliser donc un interrupteur MOS (non linéaire) en série avec la capacité de charge.

L'inconvénient de cette technique de conception analogique réside dans le temps d'établissement nécessaire après reconnexion de l'étage de sortie de l'amplificateur opérationnel sur le système de capacités commutées. Ce temps d'établissements limite la vitesse de fonctionnement de ce type de circuits [56 Bult] et [57 Moon].

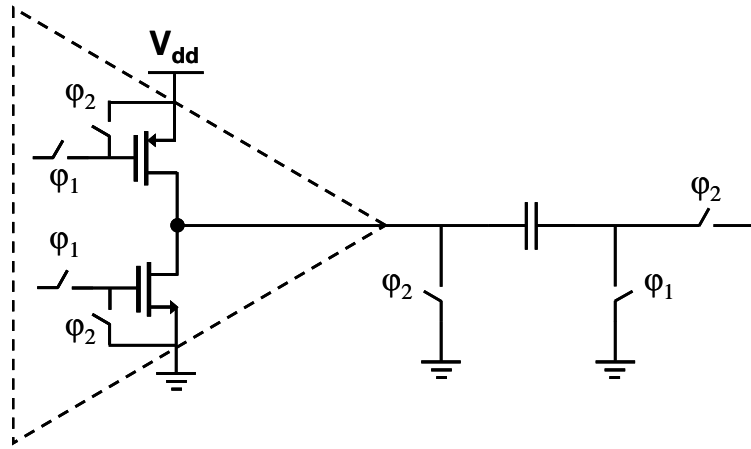


Fig. 2.8 : Filtre actif à capacités commutées avec la technique « switched opamp »

Le clock-boosting

Cette technique consiste à augmenter le niveau logique “1” de l’horloge sans utiliser de tension d’alimentation supérieure à V_{DD} nominale de la technologie. Par exemple, [59 Wu] implémente cette technique pour doubler le niveau “1” de l’horloge. De cette façon on arrive à de très faibles valeurs de R_{on} (pour l’interrupteur qui est « boosté ») tout en allouant une marge de dynamique du signal d’entrée ($V_{GS} - V_T$) plus grande. Ce qui résout les deux problèmes liés à la baisse des tensions d’alimentation pour les circuits commutés. Cependant, chaque interrupteur « boosté » nécessite son propre circuit de « boosting » comme la figure 2.9, ce qui complexifie la structure du circuit :

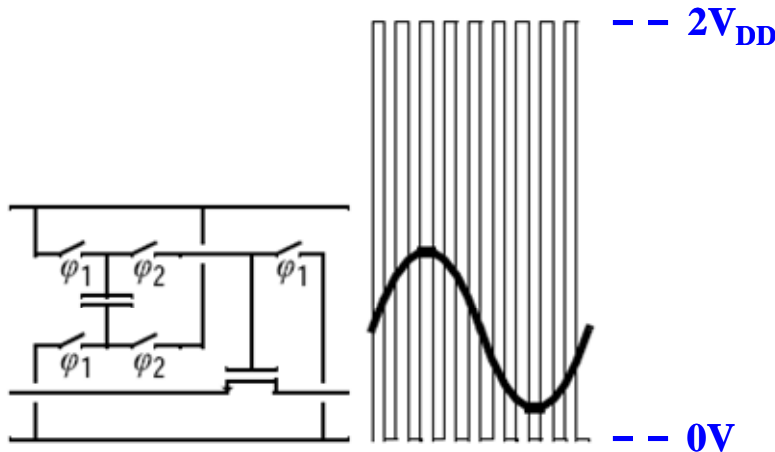


Fig. 2.9 : Circuit de boost à $2V_{DD}$ de l’horloge d’un interrupteur MOS

Un autre point critique de cette solution est la capacité de l’oxyde de grille à supporter un champ électrique qui est deux fois plus fort que le champ nominal ($2 \times V_{DD}$). Cela est d’autant plus critique que nous avançons vers les technologies submicroniques avancées où aussi bien, l’épaisseur que la tolérance de l’oxyde de grille, deviennent de plus en plus faible.

Une variante plus linéaire de cette technique est représentée sur la figure 2.10. Ici, on ne double pas le niveau logique “1” de l’horloge), mais on l’augmente au niveau $[V_{DD} + V_{sig}]$. En faisant de la sorte, la tension $[V_{GS} - V_T]$ reste constante quel que soit l’amplitude du signal d’entrée. Ceci améliore encore plus la linéarité de l’interrupteur.

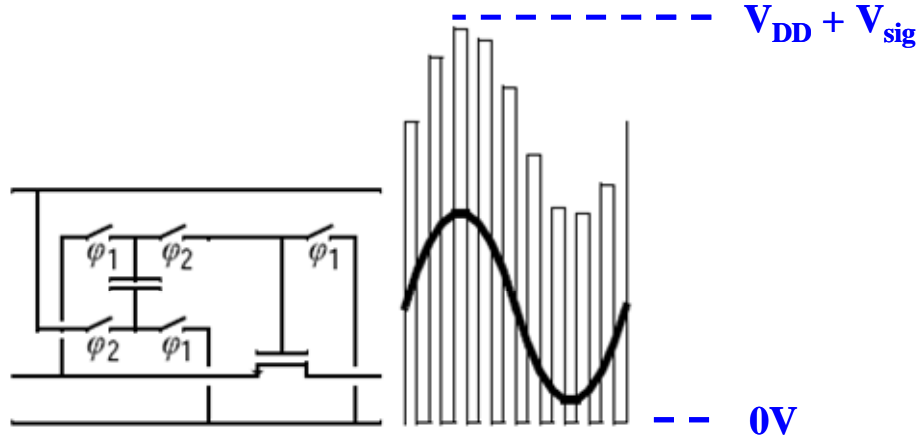


Fig. 2.10 : Circuit de boost à $[V_{DD} + V_{sig}]$ de l'horloge d'un interrupteur MOS

Dans l'exposition du problème de l'évolution de la tension d'alimentation et de son impact sur la conception des circuits CMOS, nous avons jusqu'à présent considéré la tension de seuil V_T constante dans une technologie donnée. Or, ce n'est pas le cas réellement : en effet, elle est toujours modulée par la différence de potentiel entre le substrat et la source du transistor [60 Gray] et varie dans une technologie donnée et même au sein de la même application. L'expression complète de la tension de seuil d'un transistor NMOS est donnée par l'équation 2.2 :

$$V_T = V_{T0} + \gamma(\sqrt{2\Phi_f + V_{SB}} - \sqrt{2\Phi_f}) \quad (\text{Eq.2.5})$$

avec V_{SB} la tension source-substrat, Φ_f est le niveau de Fermi et γ un facteur qui vaut $\gamma = C_{ox}^{-1} \sqrt{2q\epsilon N_A}$ où N_A représente la densité de dopage utilisée et ϵ la permittivité diélectrique du silicium.

La polarisation du substrat vis-à-vis de la source fait que V_T augmente en fonction de V_{SB} . Par conséquent, la résistance à l'état « ON » augmente et la dynamique du signal sera réduite. L'une des techniques les plus utilisées pour pallier à ce problème consiste à connecter la source au substrat annulant ainsi toute différence de potentiel possible entre les deux. A $V_{SB} = 0V$, V_T reste constante quelque soit l'état de polarisation de la source. Cependant, les capacités parasites ramenées par le substrat sur la source sont l'inconvénient majeur de cette solution [47 Rudell] et [55 Bazarjani].

D'autre part, la dépendance de V_T vis-à-vis de la température (T) est négative [61 Gray] :

$$\frac{dV_T}{dT} \approx -2mV/^{\circ}C \quad (\text{Eq.2.6})$$

Ainsi, toute diminution de la température conduit à une augmentation de V_T ce qui amplifie davantage le problème de modulation de V_T . En parallèle, toute augmentation de T améliore la commutation d'un interrupteur MOS en diminuant R_{on} et en donnant plus de marge de dynamique pour le signal.

En conclusion, l'analyse de l'évolution de la tension d'alimentation V_{DD} dans le cadre de l'évolution de la technologie CMOS a montré l'impact non négligeable sur tous les circuits et quelle que soit l'application visée. L'importance et la criticité de ce paramètre conduit à la

conclusion évidente de la nécessité d'en étudier l'impact dans le cadre de toute étude de portabilité d'une solution en microélectronique.

B. Les effets du canal court ou SCE

Dans le paragraphe III.A du chapitre 1, nous avons expliqué l'apparition des effets du canal court ou SCE dans le contexte de la miniaturisation. Les effets SCE sont des effets parasites submicroniques qui sont apparus au cours de l'évolution de la technologie CMOS poussée par la réduction des dimensions du canal du transistor.

Dans ce paragraphe, nous allons expliquer tous les effets qui sont liés à la miniaturisation sous le nom de SCE : la fuite drain-source à l'état « OFF » sous ses différentes formes à savoir le DIBL (Drain Induce Barrier Lowering) de surface et le « Punch-Through » ; la fuite par effet « Tunnel » également sous ses différentes composantes à savoir la fuite à travers l'oxyde de grille et la fuite à travers le canal par effet quantique.

Nous allons maintenant expliquer chacun de ces effets et montrer leur évolution et leur impact en fonction de l'évolution de la technologie.

1. La fuite par effet DIBL

Le phénomène de DIBL est pris en compte lorsque le transistor travaille en régime sous le seuil (état « OFF ») et concerne directement le potentiel de surface. A l'état « OFF », le potentiel de surface dans le canal est à peu près constant, pour des transistors à canal long et le courant I_{DS} est dû à la diffusion des porteurs minoritaires par effet du gradient de concentration longitudinal aux jonctions. Il existe également une barrière de potentiel à la jonction entre la source et le canal qui est similaire à une jonction PN à l'équilibre. Même à tension de grille nulle, si la tension de drain augmente, la couche de déplétion s'étend de plus en plus dans le canal vers la source et il se produit un abaissement de la barrière source-canal (Fig. 2.11).

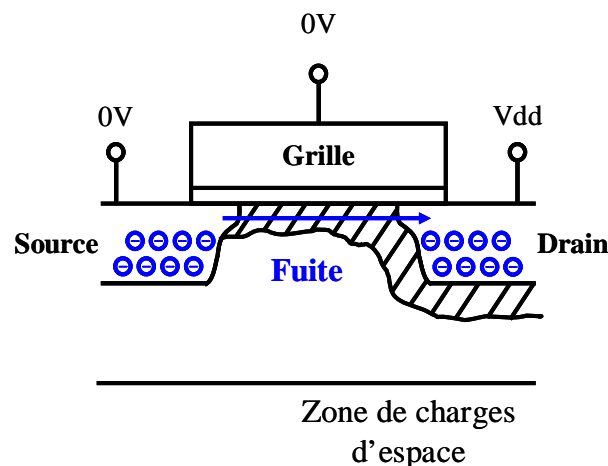


Fig. 2.11 : Courant de fuite par effet DIBL à tension de grille nulle

Cet abaissement permet l'injection de porteurs au travers du canal (en surface) et conduit donc à un courant sous le seuil indépendamment de la tension de grille (en particulier à l'état « OFF »). Ce phénomène est pour cela appelé DIBL de surface.

Par conséquent, la grille perd le contrôle des charges du canal et un courant en régime de sous-seuil est détecté pour des transistors de longueurs inférieures à $15\mu\text{m}$.

La miniaturisation ne fait qu’amplifier ce courant de fuite qui, pour des circuits numériques contenant plusieurs dizaines de millions de transistors, devient source de consommation non négligeable. Ainsi, la consommation de repos des circuits CMOS futurs augmentera considérablement, et l’avantage historique de la technologie CMOS pour les applications numériques est en cours de disparition avec l’arrivée des nœuds submicroniques avancées.

Dans une approximation au premier ordre et pour $V_{DS} \gg kT/q$ (25mV à 300K), l’expression du courant de fuite par effet DIBL est donnée par l’équation suivante :

$$I_{DS,seuil} = \mu C_{ox} \frac{W}{L} \left(\frac{kT}{q} \right) \exp \left(\frac{q[V_{GS} - (V_T - \eta V_{DS})]}{nkT} \right) \quad (\text{Eq. 2.7})$$

avec μ la mobilité des porteurs majoritaires, C_{ox} la capacité d’oxyde de grille par unité de surface, k la constante universelle de Boltzmann, q la charge électrique unitaire, T la température et η un facteur supérieure à 1 qui dépend de la capacité de la couche de déplétion qui a conduit à l’abaissement de la barrière de potentiel [60 Gray].

Le facteur ηV_{DS} décrit l’effet DIBL et montre la diminution de la valeur effective de V_T qui fait augmenter le courant de fuite. En réalité, l’expression de ce courant est plus complexe car V_T dépend elle-même de la longueur du transistor et de la température.

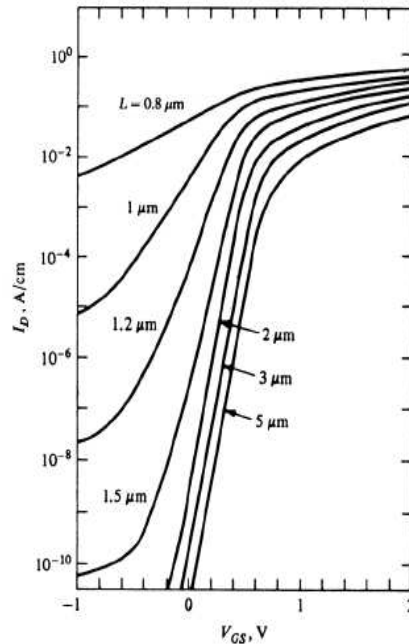


Fig. 2.12 : Courant de fuite sous le seuil de transistors NMOS en fonction de V_{GS}

Sur la figure 2.12, nous traçons le courant de drain d’un transistor NMOS pour différentes technologies en fonction de la tension grille–source. On remarque que pour les technologies submicroniques, ce courant augmente exponentiellement. Sur la figure 2.12, à $V_{GS} = -0.5V$ seulement, le courant est quasiment multiplié par 10^5 quand on passe de la technologie CMOS $1.5\mu m$ à $0.8\mu m$, soit la moitié de la longueur. Dans les technologies submicroniques avancées, il contribue en partie non négligeable à la consommation de repos des circuits numériques [62 Mendoza].

2. La fuite par effet « Punch-Through »

Le courant de drain en régime sous le seuil peut augmenter lorsqu’il trouve un « passage » entre la source et le drain plus en profondeur dans le substrat. Et plus ce courant est localisé en profondeur dans le substrat, moins la grille pourra le contrôler. Ce courant non seulement altère les caractéristiques de transfert sous le seuil, mais également engendre une consommation de puissance non négligeable [62 Mendoza]. L’intensité du courant de « Punch-Through » dépend principalement de la distribution du potentiel sous le canal et par conséquent des zones de déplétion.

Si la surface de déplétion à proximité du drain s’étend trop près de la source (Fig. 2.13), la barrière de potentiel à la source décroît et des porteurs sont injectés de la source vers le drain en profondeur dans le substrat. Il dépend donc fortement de la tension appliquée au drain et de l’épaisseur ou hauteur des jonctions du composant.

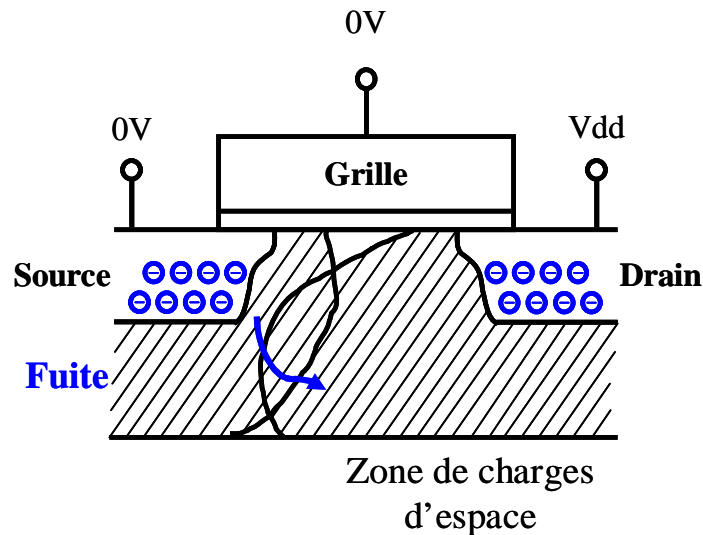


Fig. 2.13 : Courant de fuite par effet Punch-Through à tension de grille nulle

3. La fuite à travers l’oxyde de grille par effet « Tunnel »

Pour continuer la miniaturisation en technologie CMOS tout en gardant un bon contrôle des charges dans le canal, l’épaisseur de l’oxyde de grille doit diminuer au même rythme (Tab. 1.2 du chapitre 1) que la longueur de canal L [37 Dennard].

Cette diminution permet de contrôler les effets SCE déjà vus et aussi de limiter l’augmentation de la fuite par effet tunnel entre le drain et la source dont l’expression est donnée par la relation suivante :

$$I_{DS,Fuite} = A \cdot \exp\left(-\alpha \sqrt{\frac{V_{ox}}{T_{ox}}} \cdot L\right) \quad (\text{Eq.2.8})$$

avec α et A des constantes positives.

Cependant, pour des transistors de longueur de canal de $0.1 \mu\text{m}$, il est nécessaire d’utiliser un oxyde d’épaisseur inférieure à 3 nm [38], ce qui conduit à d’importants courants de fuite à travers la grille par effet « Tunnel ». La fuite par effet « Tunnel » est un phénomène purement quantique qui se manifeste lorsque des porteurs, arrivant à l’interface Silicium-Oxyde, franchissent directement la barrière de potentiel sans acquérir aucune énergie supplémentaire. Ce passage n’est pas un événement déterministe et il existe, en effet, une probabilité de passage mesurable par le coefficient de transmission quantique d’une particule à travers une barrière de potentiel [63 Weinberg].

Suivant le type de barrière de potentiel, on distingue deux types de fuite par effet « Tunnel » : la fuite Fowler-Nordheim et la fuite directe. La figure 2.14 explique les conditions qui correspondent à chacune de ces fuites en prenant le cas du transistor MOS.

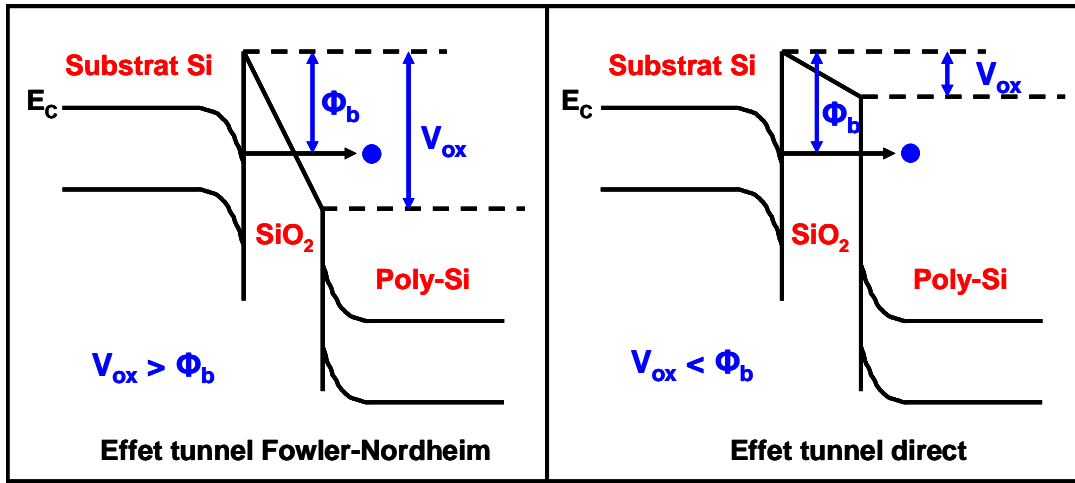


Fig. 2.14 : Les fuite de grille par effet Tunnel Fowler-Nordheim et directe

Les expressions mathématiques des deux courants de fuite sont données par les équations 2.6 [63 Weinberg] et 2.7 [64 van Langevelde]. Quel que soit le type de fuite, la diminution de l'épaisseur d'oxyde T_{ox} fait augmenter le champ électrique E_{ox} et par conséquent l'amplitude du courant correspondant.

Fowler-Nordheim :

$$J_g = \alpha \cdot E_{ox}^2 \cdot e^{-\frac{\beta}{E_{ox}}} \quad (\text{Eq.2.9})$$

Directe :

$$J_g = \alpha \cdot E_{ox}^2 \cdot e^{-\frac{\beta}{E_{ox}} \left[1 - \left(1 - \frac{V_{ox}}{\Phi_b} \right)^{\frac{3}{2}} \right]} \quad (\text{Eq.2.10})$$

Dans les équations précédentes, J_g représente la densité de courant de fuite par unité de surface de la grille d'un transistor MOS et Φ_b la hauteur de la barrière de potentiel de l'interface Silicium-oxyde. La dépendance de la densité du courant de fuite de grille à l'épaisseur de l'oxyde (T_{ox}) est exponentielle, ce qui explique les augmentations observées à $T_{ox} < 3\text{nm}$ (Fig. 1.8, chapitre 1).

Vu la nature quantique (probabiliste) de la fuite de grille, le courant qui en découle peut exister quel que soit la polarisation du transistor. Ainsi, on le retrouve en régime de forte inversion, de faible inversion et même en régime d'accumulation [64 van Langevelde]. Il sera plus ou moins fort selon le champ électrique à travers l'oxyde et selon la densité de porteurs qui se trouvent tout au long de l'interface Silicium-Oxyde.

En régime de forte inversion, toute l'interface contribue au courant de fuite sous l'effet de polarisation de la grille, et l'on obtient le maximum de fuite dans ces conditions. En faible inversion, seulement les porteurs des zones de recouvrement des côtés drain et source peuvent créer un courant de fuite et l'amplitude est bien moindre que celle obtenue en régime de forte inversion. Ainsi, en régime d'accumulation et grâce au champ électrique, des porteurs au niveau de la grille traversent la barrière de potentiel vers le substrat créant un courant de fuite. D'autre part, le courant de fuite de grille pour les transistors PMOS est toujours 2.5 à 3 fois plus faible que celui des transistors NMOS. En effet, la mobilité des trous est inférieure à

celle des électrons, la hauteur de la barrière de potentiel pour un PMOS est plus grande que celle d'un NMOS et le coefficient de transmission quantique des trous est plus faible que celui des électrons [39 Lo]. Ces trois facteurs ensemble, font que l'on obtient moins de fuite par effet « Tunnel » avec les transistors PMOS qu'avec les NMOS. Ce point est important pour les gros circuits numériques qui contiennent des millions de transistors en technologies CMOS. En général, la moitié de ces transistors sont des dispositifs PMOS ce qui réduit, d'un facteur non négligeable, la consommation due à la fuite par effet « Tunnel ». Sur la figure 2.15 nous montrons les différentes composantes du courant de fuite de grille que l'on trouve dans les modèles PSP et BSIM4 du transistor MOS, utilisés en simulation :

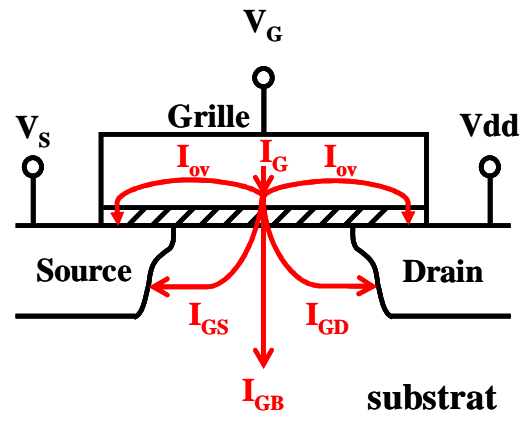


Fig. 2.15 : Les composantes du courant de fuite de grille dans un modèle électrique

Nous pouvons constater sur la figure 2.15 la décomposition du courant de fuite de grille en plusieurs composantes. Cette décomposition prend en compte l'état de polarisation du transistor et les différentes zones de l'interface Silicium-Oxyde à savoir les deux zones de recouvrement et du canal. Certes, parmi les 5 composantes, les deux qui sont les plus importantes en amplitude sont I_{GS} et I_{GD} , ensuite vient I_{ov} et en dernier I_{GB} [64 van Langevelde]. Les composantes de recouvrement I_{ov} sont 8 à 10 fois plus faible que I_{GS} et I_{GD} , par contre elles contribuent à la fuite aussi bien à l'état « ON » que « OFF ».

L'estimation du courant de fuite de grille dépend forcément de chaque fondeur qui applique des solutions et des optimisations différentes à son procédé de fabrication. Des mesures expérimentales sur des transistors à l'état « ON » ($V_G = V_{DD}$, $V_S = V_D = V_B = 0$) fabriquées en technologie CMOS sont regroupées dans le tableau 2.1. C'est une fusion des données obtenues chez plusieurs fondeurs comme ST Microelectronics, TSMC et IBM pour les quatre technologies CMOS submicroniques avancées de nos jours :

Famille	Techno	90nm	65nm	45nm	32nm
NMOS	$J_g(mA/cm^2)$	5	20	100	250
PMOS	$J_g(mA/cm^2)$	2	8	40	100

Tab. 2.1 : Estimation du courant de fuite de grille en technologies CMOS avancées

D'après le tableau précédent, en technologie 45nm, chaque $1mm^2$ de surface active en CMOS consomme 1mA de courant de fuite par effet « Tunnel ».

L'une des premières conséquences de l'existence de ce courant de fuite est le changement de l'impédance d'entrée d'un transistor MOS. En effet, pour modéliser l'effet de cette fuite au niveau de la grille [54 Annema] propose la définition d'une fréquence de coupure f_{gate} à partir de laquelle l'impédance d'entrée d'un dispositif MOS peut être considérée comme purement capacitive. L'expression de cette fréquence de coupure vient de la modélisation de la fuite par

une résistance de grille R_{tunnel} (semblable à la résistance de la base d'un transistor bipolaire). L'expression de f_{gate} est donnée par l'équation 2.8 :

$$f_{\text{gate}} = \frac{1}{2\pi C_{\text{in}} R_{\text{tunnel}}} \cong 1.5 \times 10^{16} \times V_{\text{GS}}^2 \exp^{T_{\text{ox}}(V_{\text{GS}} - 13.6)} \quad (\text{Eq. 2.11})$$

avec V_{GS} en Volts et T_{ox} en nm.

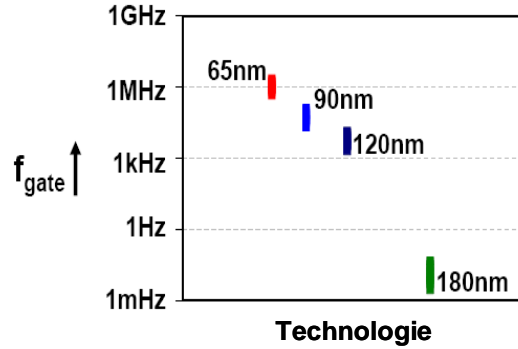


Fig. 2.16 : Fréquence de coupure de grille f_{gate} pour 4 technologies CMOS

Pour $f < f_{\text{gate}}$ l'impédance est purement résistive et traduit l'effet de la fuite par effet « Tunnel ». A cette fréquence, on ne « voit » plus la capacité d'entrée C_{in} du MOS. Pour $f > f_{\text{gate}}$ l'impédance est plutôt capacitive et vaut C_{in} . Quand on passe d'une technologie à la suivante la diminution de T_{ox} fait augmenter f_{gate} . Sur la figure 2.16 nous représentons l'estimation de f_{gate} pour 4 technologies CMOS submicroniques avancées [65 Nauta].

On remarque que f_{gate} augmente considérablement à partir du nœud 0.12 μm . Entre les nœuds 180nm et 65nm, on passe de 0.1 Hz à 1MHz qui commence à peser en conception numérique basse fréquence. En technologie 45 et 32nm, on s'attend à des fréquences f_{gate} de plusieurs dizaines et centaines de MégaHertz, ce qui constitue un facteur critique pour la conception CMOS future. Dans certains circuits où l'on utilise les transistors MOS comme capacités de stockage d'information, f_{gate} nous donne la limite inférieure de la fréquence d'utilisation de ces circuits. A $f < f_{\text{gate}}$ l'impédance d'entrée est résistive et le courant de fuite décharge partiellement la capacité MOS et par conséquent détruit l'information stockée.

Pour les applications numériques et analogiques échantillonnées où le transistor MOS fonctionne comme interrupteur, le courant de fuite de grille par effet « Tunnel » contribue à l'augmentation de la consommation de repos de manière considérable [66 Henson]. Quantitativement, une puce numérique ne doit pas consommer plus de 100mW pour une surface active de 0.1cm² [39 Lo]. Ce qui implique que le courant de fuite de grille ne doit pas dépasser 1A/cm² sous 1V. Si on reprend les valeurs du tableau 2.1, on remarque que pour le nœud technologique 32nm, la densité de courant de grille est estimée à 0.25A/cm² pour les NMOS et 0.1A/cm² pour les PMOS. On commence à voir l'impact énorme de la consommation de fuite de grille sur la consommation totale à l'état « OFF ». En technologie 32nm, par exemple, 20% de la consommation de repos d'un circuit numérique sera due à la fuite par effet « Tunnel », ce qui impose plus de contraintes sur les autres composantes de courant de fuite (fuite source-drain sous le seuil, fuites de diode, fuite « Tunnel » drain-substrat).

D'autre part, la conception de la logique CMOS s'approche de la conception de la logique bipolaire avec un courant de grille statique qui peut-être assimilé au courant de base d'un transistor bipolaire [65 Nauta]. Ici, l'impact peut être vu comme un retour aux techniques de

compensation utilisées auparavant par les concepteurs des circuits bipolaires, pour compenser le courant de base d'un transistor bipolaire.

En conclusion, la fuite de grille par effet « Tunnel » est un phénomène quantique incontrôlable qui s'amplifie au fur et à mesure que la technologie CMOS avance malgré l'existence de plusieurs solutions à l'échelle du procédé de fabrication [40 Thompson]. Son impact est double : d'une part, il contribue à une augmentation de la consommation de repos des circuits numériques et d'autre part il altère les caractéristiques fondamentales de la conception CMOS ($I_{\text{grille}} \neq 0$).

Dans le cadre de l'étude de portabilité d'une solution de réception radio et surtout dans le contexte actuel de l'intégration des fonctions RF, analogiques et bande de base sur la même puce en technologie CMOS, il est devenu indispensable de comprendre et de quantifier l'impact de la fuite de grille sur les performances aussi bien analogiques que numériques de la solution en question.

C. Le bruit

Le bruit est un paramètre omniprésent dans la conception et dans l'évaluation de la performance de tout système intégré. En microélectronique, les signaux sont altérés par deux types de bruit : électronique et environnemental. La première catégorie contient les bruits 1/f (basse fréquence) et thermique. La deuxième catégorie provient du couplage par le substrat du semiconducteur ainsi que par les lignes d'alimentation et de masse. Dans ce paragraphe, nous allons présenter le bruit d'origine électronique, celui d'origine environnementale sera traité au paragraphe F.

En technologie CMOS, le niveau de bruit est plus important que celui de son homologue bipolaire. En effet, la résistance de bruit thermique équivalente d'un transistor MOS est plus grande que celle d'un transistor bipolaire (à courant de polarisation drain/collecteur équivalent [67 Gray]). De plus, à basses fréquences, l'interface Silicium-Oxyde de la technologie CMOS est le siège de phénomènes de libération et de piégeage de porteurs de manière aléatoire (paragraphe 2.). Cette fluctuation du nombre de porteurs de charges est source de bruit supplémentaire qui augmente la puissance de bruit totale. Ainsi, aussi bien à basses qu'à hautes fréquences, le niveau de bruit de la technologie CMOS est toujours supérieur à celui de la technologie bipolaire.

Dans le cadre de l'étude de portabilité d'une solution en microélectronique, il est important de comprendre l'évolution du bruit (à basses et hautes fréquences) en fonction de la technologie d'une part, et son impact sur les performances de la solution d'autre part. Nous allons maintenant expliquer ces deux points dans les paragraphes suivants.

1. Le bruit thermique N_{th}

Tout dispositif électronique génère du bruit par la simple agitation (mouvement) de ses électrons. Cette agitation aléatoire est à l'origine de fluctuations de tension même si aucun courant ne circule dans le dispositif. Les fluctuations de tension génèrent un bruit dont l'amplitude est d'autant plus importante que l'agitation des électrons est grande et donc d'autant plus que la température est élevée. Pour cela, on dit qu'il existe intrinsèquement, dans tout dispositif, un bruit dit « thermique ».

Pour une résistance, le composant le plus abondant en électronique, le bruit thermique peut être modélisé par une source de tension en série avec la résistance (Fig. 2.17) et dont la densité spectrale de puissance vaut [68 Razavi] :

$$S_v(f) = 4kTR, f \geq 0 \quad (\text{Eq.2.12})$$

avec $S_v(f)$ en V^2/Hz , k la constante universelle de Boltzmann (1.38×10^{-23} J/K), T la température en Kelvin et R la valeur de la résistance en Ohms.

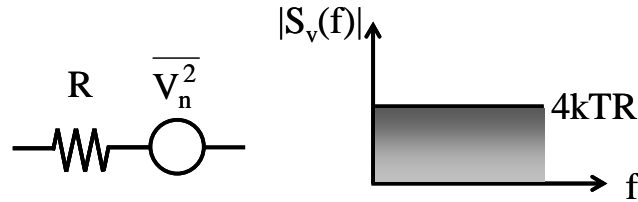


Fig. 2.17 : Source de tension pour modéliser le bruit thermique dans une résistance

D’après la figure 2.17, on voit bien que le bruit thermique est un bruit blanc dont la densité spectrale de puissance reste constante quelle que soit la fréquence. La source de tension en série avec la résistance indique la puissance du bruit thermique (en V^2) dans une bande de fréquence Δf :

$$\overline{V_n^2} = 4kTR\Delta f = S_v(f)\Delta f \quad (\text{Eq.2.13})$$

Les transistors MOS manifestent eux aussi un bruit thermique qui est dû principalement au mouvement des électrons (ou trous) dans le canal de conduction. Des études ont été menées pour quantifier la puissance de ce bruit. [69 van Der Ziel] propose un modèle pour les transistors MOS à canaux longs en régime de saturation. Le modèle est basé sur une source de courant connectée entre le drain et la source avec une densité spectrale de puissance qui vaut :

$$\overline{I_n^2} = 4kT\gamma g_{ds} \quad (\text{Eq.2.14})$$

avec g_{ds} la conductance de sortie à $V_{DS}=0$ et γ une variable appelée coefficient de bruit.

D’après [70 Wang], en régime de saturation $\gamma = 2/3$ (et $g_{ds} = g_m$) et en régime de commutation $2/3 < \gamma < 1$. Ce modèle répond bien aux besoins de la conception analogique mais n’est pas précis pour les transistors à canaux courts [71 Razavi]. Dans ce cas, d’autres expressions sont calculées en introduisant les effets de la réduction de longueur effective du canal, de la saturation de la vitesse des porteurs et d’autres phénomènes encore [70 Wang] et [72 Brederlow].

Dans les applications à base de capacités commutées (analogique échantillonné), le bruit thermique d’une capacité de charge sur laquelle on vient échantillonner un signal puis lire sa valeur discrète est très important. Pour mieux comprendre la problématique, considérons le circuit de la figure 2.18. Il s’agit d’un simple filtre passe-bas classique avec une résistance et une capacité. Le circuit peut aussi être vu comme une partie d’un système à capacités commutées où la résistance R n’est autre que la résistance à l’état « ON » (R_{on}) d’un transistor MOS servant d’interrupteur (Fig. 2.18). Evidemment, l’équivalence entre les deux systèmes n’est vraie que pendant l’état de conduction du transistor. Nous considérons cette équivalence uniquement pour l’analyse de la puissance de bruit thermique en sortie de ces deux systèmes.

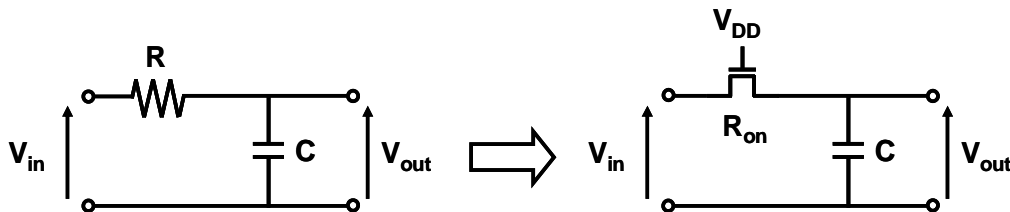


Fig. 2.18 : Filtre RC passe bas et interrupteur MOS avec capacité d’échantillonnage

Si on insère dans ce circuit le modèle de bruit établi sur la figure 2.17 avec la source de tension, on aboutit au schéma de la figure 2.19 :

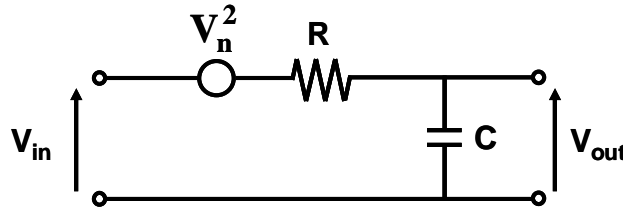


Fig. 2.19 : Filtre RC passe bas avec la source de bruit thermique équivalente

La fonction de transfert de bruit peut alors être calculée en prenant $V_{in} = 0$ et par conséquent, l'unique signal restant dans le circuit est la source de bruit V_n^2 . Dans ce cas, la densité spectrale de puissance de bruit est donnée par la relation suivante :

$$S_{out}(f) = |H(f)|^2 \times S_v(f) = \frac{4kTR}{4\pi^2 R^2 C^2 f^2 + 1} \quad (\text{Eq. 2.15})$$

$H(f)$ n'est autre que la fonction de transfert du filtre RC passe bas. De l'Eq. 2.12, on peut passer à la puissance de bruit en sortie par l'intermédiaire de l'intégrale suivante :

$$\overline{V_{n,out}^2} = \int_0^{+\infty} S_{out}(f) df = \frac{kT}{C} \quad (\text{Eq. 2.16})$$

Il est important de bien comprendre l'Eq. 2.13 qui montre que le bruit en sortie sur une capacité C ne dépend que de la valeur de celle-ci. Le bruit thermique dont nous venons de calculer la puissance, ne peut donc être réduit, à température constante, qu'en augmentant la valeur de la capacité de charge C . Dans le contexte de la miniaturisation en conception analogique, ceci est à l'origine de compromis entre surface et bruit.

L'évolution rapide de la technologie CMOS montre une certaine progression en termes de bruit. Ainsi, l'évolution du facteur de bruit minimum NF_{min} d'un nœud technologique au nœud suivant montre une amélioration du bruit thermique (haute fréquence) des transistors. Sur la figure 2.20 ([73 Bennett]), nous représentons l'évolution du facteur de bruit minimum d'un NMOS à 5GHz pour les technologies CMOS et bipolaire SiGe :

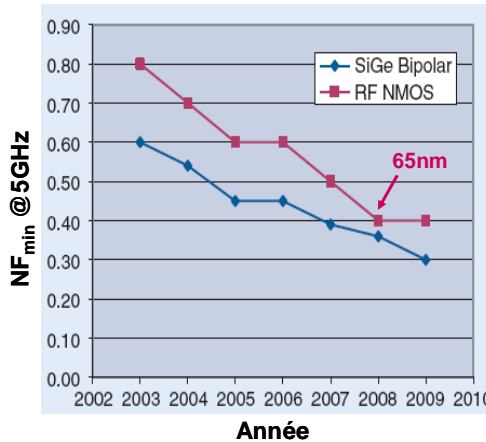


Fig. 2.20 : Facteur de bruit minimum à 5GHz des transistors NMOS et bipolaire

L'évolution du CMOS va dans le bon sens d'après la figure 2.20 et lui permet de rattraper à partir de 2008 (nœud technologique 65nm) le bruit thermique du SiGe bipolaire.

2. Le bruit en 1/f

Le bruit en 1/f, connu et décrit depuis les années 60 [74 Plumb], trouve son origine dans la fluctuation du nombre des porteurs majoritaires dans le canal du transistor MOS. Sur l'interface Silicium-Oxyde, là où se trouve le canal de conduction, certains niveaux d'énergie supplémentaires apparaissent en raison de la rupture du crystal de silicium [75 Razavi]. En régime de conduction, des charges mobiles peuvent être piégées puis libérées aléatoirement par ces niveaux d'énergie donnant lieu ainsi à des fluctuations du nombre de porteurs. Ces fluctuations sont à l'origine d'un courant de bruit dont la grande partie de l'énergie se concentre en basse fréquence et dont la densité spectrale vaut [76 Gray] :

$$\overline{i_n^2} = K \frac{I_D^a}{f} \quad (\text{Eq.2.17})$$

avec $0.5 < a < 2$, K une constante du dispositif et I_D le courant statique de drain.

Il porte le nom de bruit en 1/f en raison de sa proportionnalité à l'inverse de la fréquence de fonctionnement du dispositif. En conception analogique, on utilise plutôt l'expression de la tension de bruit équivalente du bruit en 1/f qui est donnée par l'équation 2.15 [77 Gray] :

$$\overline{v_n^2} = \frac{K_f}{WLC_{ox}f} \quad (\text{Eq.2.18})$$

avec $K_f = 3.10^{-24} \text{ V}^2\text{F}$ et C_{ox} la capacité d'oxyde de grille par unité de surface.

La figure 2.21 montre la densité spectrale de puissance du bruit total d'un transistor MOS en fonction de la fréquence :

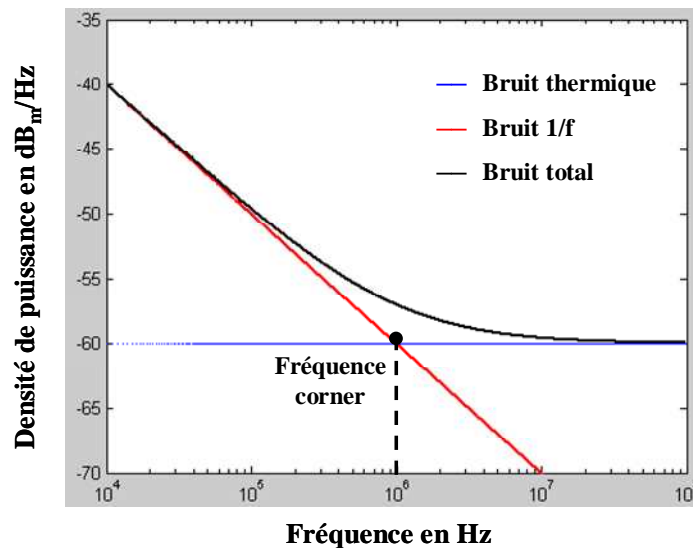


Fig. 2.21 : Fréquence « corner » et densités de puissances du bruit thermique et 1/f

On voit clairement la séparation entre la partie basse fréquence, qui décroît au rythme 1/f, et la partie haute fréquence qui est constante. Le bruit 1/f est nettement supérieur en puissance

au bruit thermique mais s'étale sur une plus petite bande de fréquence. Une grandeur a été définie par les concepteurs des circuits CMOS pour évaluer la largeur de la bande utile du signal qui est touchée par le bruit en $1/f$. On l'appelle fréquence « corner » et elle correspond à la fréquence pour laquelle la densité spectrale du bruit en $1/f$ est égale à celle du bruit thermique (Fig. 2.21). Il est important de noter qu'en échelle logarithmique, cela conduit à dire qu'à la fréquence « corner » la puissance de bruit totale est 3dB au-dessus du plancher de bruit thermique.

L'analyse de l'Eq. 2.15 permet de comprendre l'évolution du bruit en $1/f$ en fonction de la technologie. Dans les applications numériques et analogiques échantillonnées où le transistor MOS est utilisé comme interrupteur, la longueur de canal est souvent au minimum (L_{\min}) de la technologie. D'après Eq. 2.15, la miniaturisation (diminution de L_{\min}) augmentera donc la puissance de bruit en $1/f$. Pour compenser cette augmentation, la solution la plus simple est de travailler avec des « gros » transistors (pour garder $W \times L$ constant). Or, cela augmente les capacités parasites entre les étages des circuits numériques ce qui réduit la bande passante utile et fait augmenter la consommation (si on veut préserver la bande passante [65 Nauta]). En conclusion, le bruit en $1/f$ continue à augmenter avec la miniaturisation des transistors. Son impact sur les performances des circuits numériques deviendra de plus en plus conséquent.

Dans les applications RF et analogiques, la réalité n'est pas meilleure. En effet, la fréquence « corner » évolue de technologie en technologie et on peut trouver des valeurs allant parfois jusqu'à quelques MHz [76 Gray]. Ainsi pour les applications analogiques bande de base qui traitent des signaux à des fréquences de quelques MHz, on ne peut pas négliger la contribution du bruit en $1/f$ sur le bruit global du circuit. D'autre part, pour les applications RF comme les récepteurs/émetteurs radio, les oscillateurs utilisés convertissent le bruit en $1/f$ à haute fréquence (Fig. 2.22) en l'occurrence à la fréquence porteuse (bruit de phase).

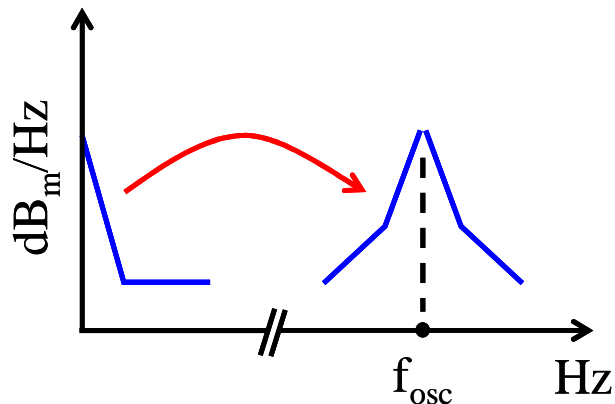


Fig. 2.22 : Bruit 1/f d'un oscillateur transposé à haute fréquence (bruit de phase)

Egalement, le bruit en $1/f$ d'un amplificateur RF en tête d'une chaîne de réception peut se retrouver en basse fréquence par l'intermédiaire du mélangeur. Dans les deux cas, ce bruit peut se retrouver dans la bande utile du signal avant démodulation et diminuer ainsi le rapport signal à bruit (SNR) en sortie.

Plusieurs solutions ont été envisagées afin de pallier à ce problème : les techniques de « chopping » [78 ENZ], de « Correlated Double Sampling » [78 ENZ] et de symétrisation des signaux dans les oscillateurs [79 Hajimiri]. Par contre, l'utilisation de « gros » et de « longs » transistors a un inconvénient majeur car elle conduit à une augmentation considérable de la consommation et à une diminution des bandes passantes des circuits aussi bien analogiques que RF.

D. Les capacités parasites

Dans les simulateurs électriques de type SPICE, utilisés habituellement en conception analogique et numérique, il est très important d’avoir des modèles précis du transistor MOS. Ces modèles doivent couvrir le comportement physique du composant dans toute une gamme de fréquence (jusqu’à 10GHz [80 Jen]), aussi bien pour les applications analogiques que numériques. Les modèles les plus précis sont en général composés de plusieurs niveaux hiérarchiques et sont assez complexes. A l’échelle élémentaire, le transistor MOS est formé par une série de capacités, de diodes et de résistances. Les éléments qui constituent les modèles compacts peuvent être classés, par exemple ([80 Jen]), en deux catégories (Fig. 2.23) : les éléments intrinsèques au composant et ceux extrinsèques.

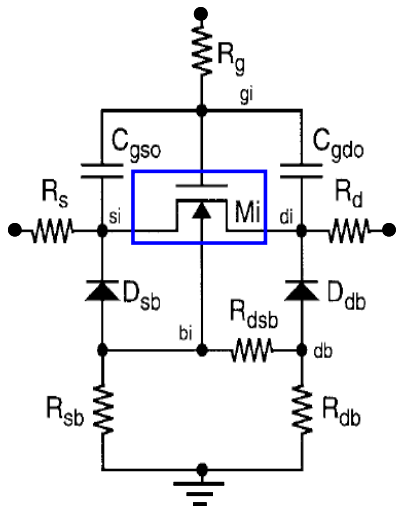


Fig. 2.23 : Modèle d’un transistor NMOS avec les éléments extrinsèques [80 Jen]

Les éléments extrinsèques sont les trois capacités de recouvrement grille/drain C_{GD0} , grille/source C_{GS0} et grille/substrat C_{GB0} , le réseau résistif modélisant le substrat semiconducteur et les résistances d’accès à la grille, au drain et à la source.

Les capacités constituent l’élément le plus abondant et le plus critique dans un modèle précis de transistor MOS. Elles limitent, en effet, la fréquence de fonctionnement du dispositif.

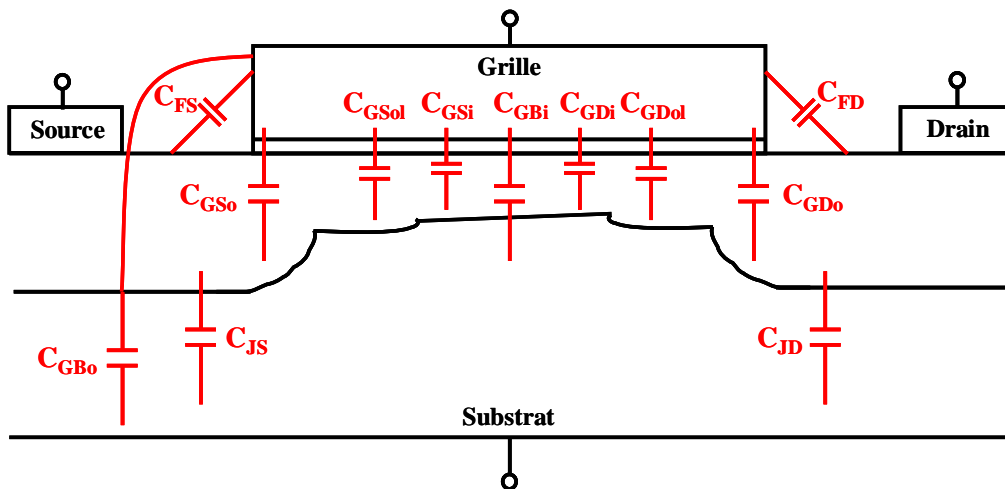


Fig. 2.24 : Capacités intrinsèques et extrinsèques d’un NMOS d’après [81 Cheng]

Plusieurs modèles ont été proposés pour couvrir le plus fidèlement possible la totalité des éléments capacitifs que l'on trouve dans un transistor MOS. Par exemple, le modèle récent proposé par [81 Cheng] en 2005 est représenté sur la figure 2.24.

Les capacités parasites sont constituées des éléments suivants : les deux capacités latérales ou « fringe » entre la grille d'un côté et la source et le drain de l'autre, C_{FD} et C_{FS} ; les capacités de recouvrement extrinsèques entre la grille d'un côté et les zones les plus dopées des terminaux source, drain et substrat de l'autre, C_{GS0} , C_{GD0} et C_{GB0} (ces capacités sont indépendantes de la polarisation de grille) ; les deux capacités de recouvrement entre la grille d'un côté et les zones les moins dopées de la source et du drain de l'autre, C_{GSol} et C_{GDol} (ces capacités dépendent de la polarisation de grille) ; les capacités de jonctions source et drain, C_{JS} et C_{JD} ; les capacités intrinsèques entre la grille d'un côté et les trois autres terminaux de l'autre au niveau du canal de conduction du transistor, C_{GSi} , C_{GDi} et C_{GBi} .

La miniaturisation, que connaît la technologie CMOS, fait diminuer la longueur de canal et contribue donc à la diminution de toutes les surfaces de recouvrement entre la grille et les autres terminaux. On a tendance à dire que toutes les capacités parasites précédentes ont tendance donc à diminuer en fonction de l'évolution de la technologie. Cependant, les composantes latérales sont indépendantes des dimensions du canal et par conséquent ne peuvent pas évoluer dans le bon sens. En allant vers des nœuds submicroniques avancés, elles constituent une partie de plus en plus grande des capacités parasites du transistor MOS et peuvent limiter la fréquence de fonctionnement du dispositif [7 Iwai] et donc la bande passante des systèmes. Leur présence est gênante aussi pour le gain et la consommation des circuits (perte de gain par la charge et augmentation de la consommation par charge/décharge continue).

En conclusion, il est indispensable d'inclure dans toute étude de portabilité d'une solution en microélectronique, l'impact des capacités parasites et leur évolution en fonction de la technologie.

E. La linéarité

Le transistor MOS, comme tout composant en électronique, est un élément non linéaire. Son gain dépend du niveau du signal en entrée : il reste linéaire à de faibles amplitudes et sature à de fortes amplitudes. La mesure la plus utilisée pour caractériser la non linéarité d'un dispositif MOS est la tension d'intermodulation d'ordre 3 V_{IP3} . Cette grandeur est définie comme étant l'amplitude du signal appliqué à la grille, pour laquelle les valeurs du fondamental et de l'harmonique 3 du signal sur le drain sont égales [41 Elmasry]. L'expression mathématique de V_{IP3} est donnée par l'équation 2.16 :

$$V_{IP3} = \sqrt{24 \times \frac{g_m}{g_{m3}}}, \quad g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \quad \text{et} \quad g_{m3} = \frac{\partial^3 I_{ds}}{\partial V_{gs}^3} \quad (\text{Eq. 2.19})$$

Plus grande est la V_{IP3} , plus linéaire est le comportement du transistor et donc plus grande est la plage d'amplitudes dans laquelle son gain est linéaire [82 Choi].

Plusieurs méthodes ont été élaborées pour la modélisation de g_{m3} dont la plus connue est celle de [83 Wambacq]. Elle a servi de base aux simulations de [41 Elmasry] pour comprendre l'évolution de V_{IP3} en fonction de la technologie CMOS. Les résultats obtenus (Fig. 2.25) montrent une nette dégradation de la linéarité. La dégradation de linéarité à l'échelle du composant induit forcément une dégradation de linéarité à l'échelle du circuit.

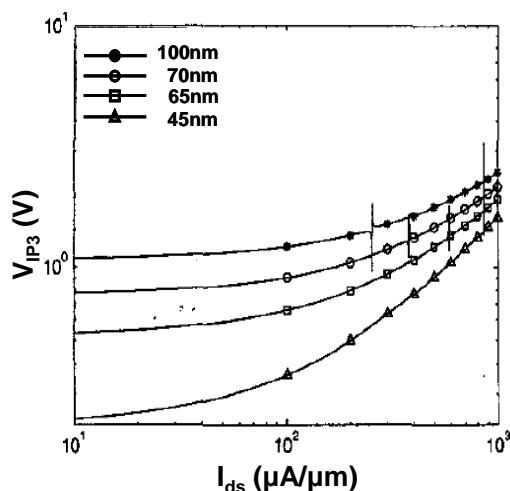


Fig. 2.25 : Non linéarité d'ordre 3 V_{IP3} en technologies CMOS avancées

L'étude de l'impact de la non linéarité sur les performances d'une solution et son évolution en fonction de la technologie doit être au cœur de toute étude de portabilité.

F. La pollution numérique

Plusieurs mécanismes peuvent créer des perturbations susceptibles de se propager dans le substrat d'un circuit intégré. Dans les circuits mixtes, où analogique et numérique cohabitent sur le même substrat, la circuiterie numérique est responsable de la grande partie de ces perturbations [84 Aragonès]. On parle alors de « pollution numérique » qui pourra aussi bien être due au couplage capacitif par le substrat du semiconducteur qu'au bruit de commutation dans les lignes d'alimentation et de masse [85 Valorge].

Dans le cadre de l'étude de portabilité de récepteurs radio destinés à une réalisation sur SoC en technologies CMOS submicroniques, il est important d'évaluer l'immunité de la partie analogique à la pollution numérique. En effet, comme il a été expliqué au paragraphe II.A.2 du chapitre 1, la tendance en conception d'émetteurs/récepteurs radio est d'intégrer toute la partie RF, analogique et bande de base numérique sur le même substrat en technologie CMOS. De plus, la miniaturisation conduit à une réalisation en technologies submicroniques avancées (90nm et en deçà), permettant de plus en plus de fonctions numériques intégrées et de fonctionnalités nouvelles qui exigent des fréquences de fonctionnement de plus en plus élevées. Par conséquent, le bruit de commutation de la circuiterie numérique a tendance à augmenter.

Plus particulièrement, dans le cadre de ce travail de thèse, il est important de quantifier l'immunité des architectures échantillonnées de réception radio à la pollution numérique pour savoir si le traitement analogique temps discret offre plus d'immunité à ce bruit que le traitement temps continu d'une architecture de réception radio classique.

G. Les effets spécifiques de la solution étudiée

Tous les effets que nous venons de voir sont liés directement à la technologie de fabrication et sont donc des problématiques communes à tous les circuits fabriqués en technologie CMOS. Cependant, il existe d'autres effets parasites qui sont plus liés à la nature du traitement de signal qui, lui-même, dépend de l'architecture de la solution étudiée. L'étude de portabilité

doit donc inclure la quantification de l'impact de ces effets dits « spécifiques à la solution » et de leur évolution en fonction de la technologie.

Les architectures échantillonnées de réception radio en technologie CMOS, qui sont le sujet d'étude dans le cadre de ce travail de thèse, sont des circuits basés en grande partie sur des systèmes à capacités commutées avec des interrupteurs MOS pour la commutation. Une grande partie du traitement analogique du signal se fait en temps discret et par conséquent le phénomène d'injection de charges [44 Sheu] est un effet parasite « spécifique à la solution étudiée » qui doit être étudié au même niveau que les effets décrits précédemment.

Dans le paragraphe précédent (I.), nous avons identifié une grande partie des effets parasites qui sont liés et sont indispensables à une étude de portabilité d'une solution en microélectronique. Dans le paragraphe suivant, nous allons montrer l'état de l'art des études de portabilités en technologies CMOS et nous allons les comparer par rapport à l'étude que nous proposons ici dans le cadre de ce travail de thèse.

II. Etat de l'art et comparaison

Les études de portabilité en technologies CMOS ne sont pas très répandues dans la littérature. En effet, la miniaturisation ne montrait pas des points négatifs dans ces débuts et paraissait plus comme une opération de gain net en surface et en consommation. L'ampleur des effets négatifs de la miniaturisation ne commença à se montrer qu'à partir des nœuds submicroniques ($<1\mu\text{m}$) soit à partir de la fin des années 80 [86 Iwai] et certains même, comme la fuite de grille par effet « Tunnel », étaient quasiment négligeables avant l'arrivée des nœuds submicroniques avancées (90nm et en deçà).

Les premières études de portabilité en technologies CMOS remontent peut-être à l'année 1995 [87 Taur] pour les applications numériques et à l'année 1998 [88 Morifuji] pour les applications RF et analogiques. La grande majorité de ces études traitent des problèmes liés à l'évolution de la technologie CMOS à l'échelle du transistor [86 Iwai], [38 Taur], [41 Elmasry], [88 Morifuji], [89 Yue], [42 Woerlee], [43 Garg] et [90 GIRAFE]. Ces publications montrent l'évolution des caractéristiques du transistor MOS avec la miniaturisation, notamment la dégradation de la performance du dispositif en termes de gain intrinsèque, de bruit, de linéarité et des effets SCE.

A l'échelle du transistor, les paramètres les plus importants pour caractériser les performances des circuits CMOS sont : le gain intrinsèque g_m/g_{DS} , le facteur de bruit minimum NF_{\min} , la fréquence « corner » F_c , la linéarité d'ordre 3 V_{IP3} et la fréquence de coupure f_T . Le facteur g_m/g_{DS} représente le gain maximum qu'un transistor est capable de fournir et montre donc la capacité en termes d'amplification analogique de chaque nœud technologique. Le facteur NF_{\min} caractérise la limite inférieure du plancher de bruit thermique d'un transistor en microélectronique. Le facteur F_c montre la contribution du bruit en $1/f$ à la puissance totale du bruit. Le facteur V_{IP3} indique l'amplitude à partir de laquelle le niveau du fondamental est égal au niveau de l'harmonique d'ordre 3 en sortie. C'est une grandeur très importante pour les applications analogiques car elle délimite la plage des amplitudes du signal d'entrée pour laquelle la réponse du transistor est linéaire. Le facteur f_T indique la fréquence de fonctionnement du dispositif au delà de laquelle le gain en courant est inférieur à l'unité [41 Elmasry].

[91 Pekarik] a étudié l'évolution des caractéristiques précédentes en fonction de la miniaturisation pour la technologie CMOS de IBM. Le tableau 2.2 montre les tendances pour certains nœuds technologiques CMOS submicroniques :

Technologie	0.25 μm	0.18 μm	0.13 μm	90nm	65nm
V_{DD} (V)	2.5	1.8	1.5	1.2	1.2
Max g_m ($\mu\text{S}/\mu\text{m}$)	335	500	720	1060	1400
g_{ds} ($\mu\text{S}/\mu\text{m}$)	22	40	65	100	230
g_m/g_{ds}	15.2	12.5	11.1	10.6	6.1
f_T (GHz)	35	53	94	140	210

Tab. 2.2 : Paramètres intrinsèques du MOS pour différents nœuds [91 Pekarik]

Entre les nœuds technologiques 0.25 μm et 65nm, on note une dégradation de 60% du gain en tension qui passe de 15.2 à 6.1. Cette chute vient de l'effet cumulé de l'augmentation de g_{ds} et de la diminution du g_m [91 Pekarik]. La réduction de ce gain pose des problèmes pour la conception des amplificateurs faible bruit (LNA) en technologies CMOS submicroniques avancées, qui constituent un élément important dans les chaînes de réception radio. Un autre point important apparaît dans le tableau 2.2 et concerne la fréquence de coupure qui a été multipliée par 6. Elle constitue un indicateur des fréquences de fonctionnement possibles avec les dispositifs MOS qui peuvent alors fonctionner de plus en plus rapidement.

[42 Woerlee] a étudié l'impact de la miniaturisation et de l'évolution de la technologie CMOS sur les performances des circuits RF. L'étude a été basée sur des données de simulation et expérimentales des technologies 350nm à 50nm de NXP. Le travail de [42 Woerlee] tourne autour des performances de bruit et de linéarité qui sont des grandeurs critiques pour la conception de circuits RF comme les LNA et les oscillateurs.

Sur la figure 2.26, le facteur de bruit pour un transistor NMOS adapté en entrée à une impédance de 50 Ω à 2 GHz a été simulée [42 Woerlee] pour les technologies 250nm à 50nm.

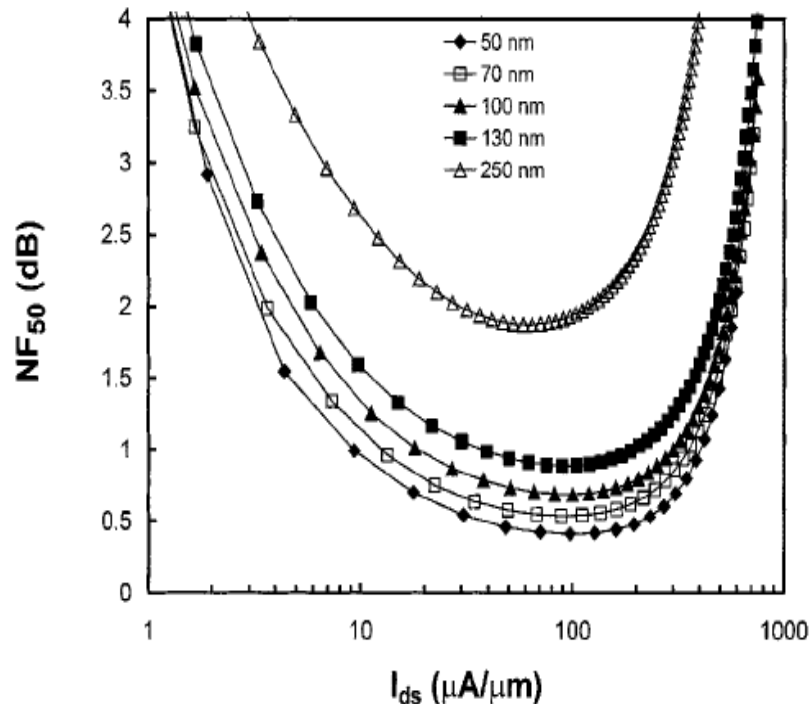


Fig. 2.26 : NF à 50 Ω et 2GHz pour des transistors NMOS en fonction de I_D ($\mu\text{A}/\mu\text{m}$)

On voit bien que le facteur de bruit s'améliore en fonction de l'évolution de la technologie CMOS et ce, quelle que soit la polarisation du transistor. Pour un courant de drain par unité de largeur du transistor de 100 $\mu\text{A}/\mu\text{m}$, on peut atteindre des facteurs de bruit de 0.5 dB seulement à partir des nœuds submicroniques avancés (en deçà de 100nm) et ce, dans des

conditions d'adaptation d'impédance d'entrée à 50Ω . En termes de bruit thermique, on peut conclure que les technologies CMOS futures offrent de bonnes possibilités en conception des LNA. Sur la figure 2.27, la linéarité d'un transistor NMOS a été simulée [42 Woerlee] pour les technologies 250nm à 50nm.

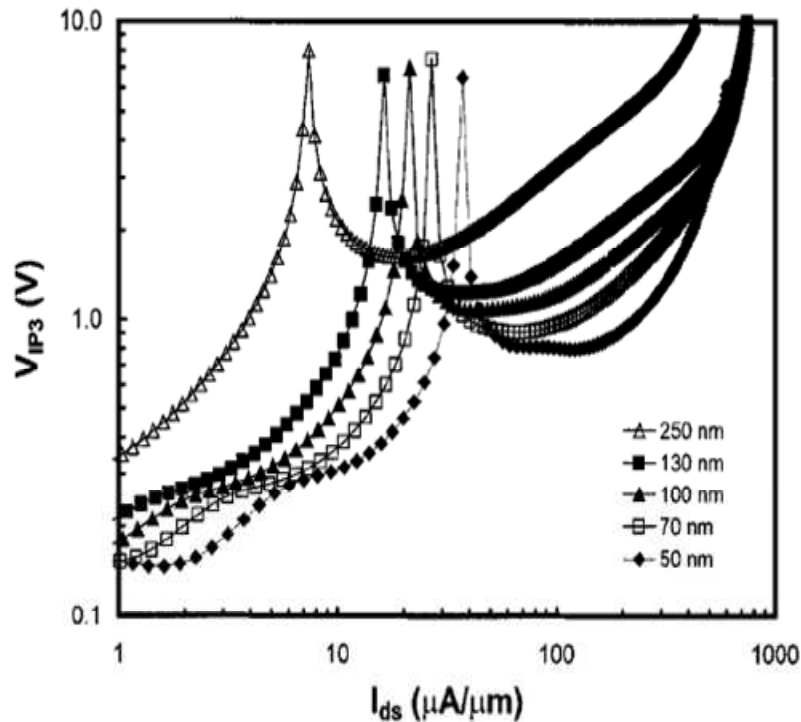


Fig. 2.27 : V_{IP3} pour des transistors NMOS en fonction de I_D ($\mu A/\mu m$)

Plusieurs points doivent être notés en analysant les courbes de la figure précédente : la tendance pour le V_{IP3} est claire, une dégradation de la linéarité apparaît quand on passe d'un nœud au nœud suivant. Par exemple, pour un courant de drain de $100 \mu A/\mu m$, le V_{IP3} passe de 5 à 0.8 soit 6 fois moins. Cette dégradation de la linéarité se réduit pour les grandes valeurs du courant de drain et on remarque qu'à partir de $400 \mu A/\mu m$, le V_{IP3} s'améliore considérablement et devient indépendant de la technologie ; une singularité apparaît dans les courbes pour des courants de drain par unité de largeur de 7 à $30 \mu A/\mu m$ selon le nœud technologique. Cette singularité montre que le V_{IP3} change rapidement pour de légères variations du courant de drain et elle se décale vers les grandes valeurs de I_{DS} en fonction de l'évolution de la technologie. La conclusion de l'étude de [42 Woerlee] montre que pour lutter contre la dégradation de la linéarité une augmentation de la consommation est indispensable.

Sur la figure 2.28, la fréquence de coupure f_T pour un transistor NMOS a été simulée [42 Woerlee] pour les technologies de 250nm à 50nm. On remarque une nette augmentation de la fréquence de coupure en fonction de l'évolution de la technologie, augmentation qui s'amplifie encore plus avec l'augmentation du courant de drain.

En conclusion, l'évolution de la technologie CMOS et la miniaturisation offre une fréquence de coupure plus grande, donc une fréquence de fonctionnement plus grande et un bruit thermique réduit. Le courant DC de polarisation peut être réduit tout en gardant le même niveau de performance lors d'un portage d'un nœud au nœud suivant [89 Yue]. Ce qui peut conduire à une diminution de la consommation. Cependant, la linéarité, le gain intrinsèque et le bruit $1/f$ des transistors des technologies CMOS submicroniques avancées se dégradent. Ce qui conduit à une réduction des performances pour certaines applications.

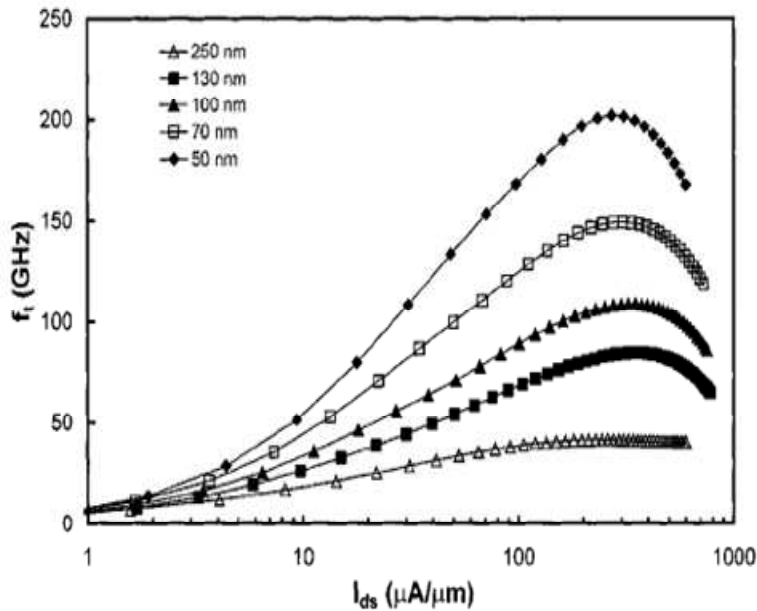


Fig. 2.28 : f_T pour des transistors NMOS en fonction de I_D ($\mu A/\mu m$)

L'importance des études précédentes réside dans la prédiction de l'évolution des performances du transistor en fonction de l'évolution de la technologie CMOS. Cependant, elles ne reflètent pas l'impact de la dégradation des performances à l'échelle d'un système ou d'un circuit complexe.

Par exemple, un émetteur/récepteur CMOS qui intègre la totalité des fonctions RF, analogiques et numériques sur la même puce est un système complexe où tous les effets liés à la miniaturisation interagissent pour limiter la performance globale du circuit. La dimension précédente de l'étude de portabilité ne permet donc pas de quantifier la capacité d'adaptation d'un émetteur/récepteur radio à l'évolution de la technologie CMOS et de comprendre comment évoluent ses performances avec la miniaturisation. Une autre dimension de l'étude de portabilité est nécessaire pour répondre à cette problématique. C'est la « dimension système » de l'étude de portabilité où tous les effets identifiés à l'échelle du transistor contribuent à la limitation de la performance globale de la solution à étudier.

Certains auteurs ont traité ce problème d'un point de vue circuit, c.à.d en regardant les performances à l'échelle d'un bloc isolé. Ainsi, [46 Annema] a mené une étude de portabilité à l'échelle « circuit » sur un amplificateur opérationnel rebouclé en suiveur de tension. Le but est de montrer l'évolution des performances de ce bloc en fonction de l'évolution de la technologie. Les conclusions qui ont été tirées de ces études bien qu'intéressantes ne peuvent pas être généralisées parce que l'interaction entre les blocs d'un circuit complexe reste le facteur clé manquant.

Dans le cadre de ce travail de thèse, notre objectif (paragraphe II.B.3 du chapitre 3) est de mener une étude de portabilité au niveau « système » sur les architectures échantillonnées de réception radio, afin de montrer leur capacité d'adaptation à l'évolution de la technologie CMOS. Pour cela, notre étude est, de ce point de vue, complémentaire aux différentes études précédentes de la littérature. Toutes les conclusions qui ont été tirées des études disponibles dans la littérature seront utilisées pour mener au mieux notre étude qui concerne des systèmes complexes et mettant en jeu des effets RF, analogiques et numériques.

Chapitre 3

I. Principe de fonctionnement

A. Nouveau concept

Toutes les architectures de réception utilisées dans les terminaux mobiles ou autres récepteurs radio sont basées sur trois architectures fondamentales : l'architecture superhétérodyne, la Zero-IF et la low-IF. Quel que soit le type d'architecture utilisé, le convertisseur analogique numérique ou *analog-to-digital converter* (ADC) en constitue l'élément qui sépare le monde du traitement analogique du signal du monde de son traitement numérique. Cette « barrière » formée par l'ADC est très importante car elle forme la frontière entre la puce RF/analogique en BiCMOS et la puce numérique en technologie CMOS pur. L'idée de base de toute implémentation SDR est donc de déplacer cette « barrière » au plus proche de l'antenne. En l'absence de révolution du côté des ADC, cette idée conduit forcément à repenser la base de la réception radio. L'idée de base des architectures radio échantillonnées est de séparer l'opération d'échantillonnage de l'opération de quantification, deux fonctions différentes qui se font habituellement en parallèle au niveau de l'ADC. Cette séparation constitue le cœur de l'architecture échantillonnée qui, à défaut d'un ADC ayant les performances demandées, déplace l'échantillonnage vers l'antenne. Grâce à ce nouveau concept, nous pourrions éliminer les structures complexes de filtres analogiques actifs classiques comme les filtres G_m -C qui contribuent de manière non négligeable à la consommation totale de la puce radio. Ce nouveau concept induit l'existence d'une partie analogique échantillonnée appelée aussi analogique temps discret (DT), où le signal n'est pas encore quantifié mais uniquement échantillonné. Le caractère analogique du signal est toujours présent avant l'ADC et la majorité du traitement de signal est réalisée par des systèmes à capacités commutées qui sont bien adaptés à ce genre de traitement. Le point critique reste l'échantillonnage qui duplique le spectre total à tous les multiples de la fréquence d'échantillonnage détruisant alors la référence de fréquence. Ceci conduit à un repliement de spectre qui doit être corrigé par des filtres anti-repliement capables de filtrer tous les signaux se repliant sur le canal utile (alias). Dans les chaînes de réception radio classiques ou en temps continu (CT), ce sont tous les filtres précédant le convertisseur analogique numérique qui contribuent à l'anti-repliement en atténuant fortement tous les signaux en dehors du spectre utile. Dans le cas de l'architecture échantillonnée, ces filtres ne peuvent plus assurer une réjection des alias. Le fait d'échantillonner très tôt dans le chemin de réception peut donc être source de sérieux problèmes de rapport signal à bruit en sortie de l'ADC. Comme nous allons le voir en détails par la suite, la mise en œuvre de l'architecture échantillonnée contient un filtre anti-repliement intrinsèque de très forte atténuation.

B. Filtrage anti-repliement

L'échantillonnage est l'opération critique de la phase de numérisation du signal analogique, elle permet en effet de définir le plan de fréquences et la bande utile. Chaque opération d'échantillonnage crée intrinsèquement un repliement de spectre qui peut être une source non négligeable de bruit.

[92 Yuan] montre la possibilité de construire un échantillonneur et un filtre simultanément par l'intermédiaire d'un amplificateur de transconductance et d'un système passif de capacités commutées (Fig. 3.1). Le système est entièrement programmable par des signaux d'horloge qui réalisent l'échantillonnage du signal d'entrée à n'importe quelle fréquence tout en coupant les signaux pouvant se replier dans la bande utile. A l'origine, le principe a été mis en place

par Poberezhsky [93 Poberezhsky]. Il a été également repris par [94 Karvonen] et [95 Mirzaei].

Le principe de fonctionnement du système consiste à intégrer le courant du transconducteur sur une capacité C_S pendant une durée T_S . L'interrupteur d'intégration (Fig. 3.1) gère la période d'intégration grâce à une horloge carrée de durée T_S . Ensuite, le signal est échantillonné grâce à un interrupteur pour récupérer en sortie la valeur de la tension sur la capacité qui constitue alors un échantillon du signal utile. La fréquence d'échantillonnage F_S correspond à l'inverse du temps d'intégration. Ensuite, la capacité C_S est connectée à la masse pour la décharger avant une prochaine intégration d'un échantillon.

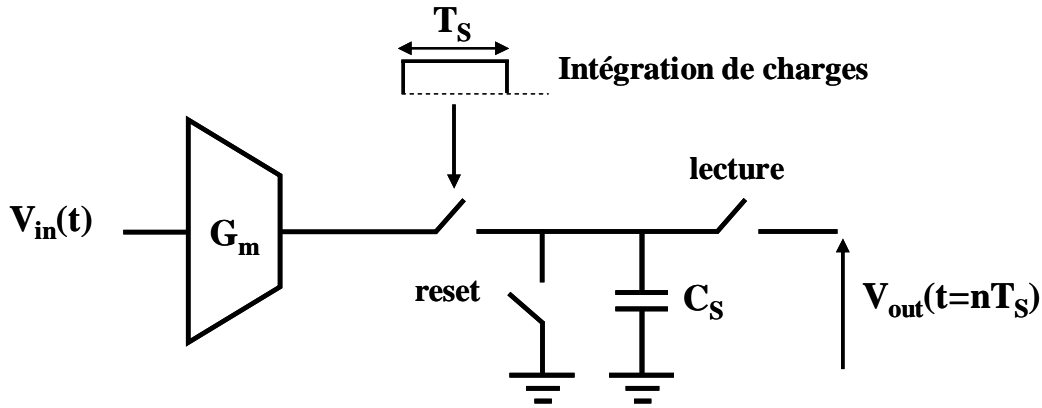


Fig. 3.1 : Echantillonneur à intégration de charges

A chaque T_S , l'intégration du courant d'entrée sur la capacité permet d'accumuler des charges qui forment ainsi un échantillon du signal utile. C'est pour cela que ce circuit est appelé Echantillonneur à Intégration de Charges. La phase de décharge est nécessaire pour s'assurer qu'au début d'une phase d'intégration la capacité ne contient aucune tension résiduelle. La tension sur C_S à la fin de chaque période T_S doit représenter un échantillon. Pendant la phase de décharge une autre capacité C_S doit intégrer le courant pour n'assurer aucune perte d'informations et une acquisition continue d'échantillons. Le principe de fonctionnement se résume par l'équation suivante (annexe I) :

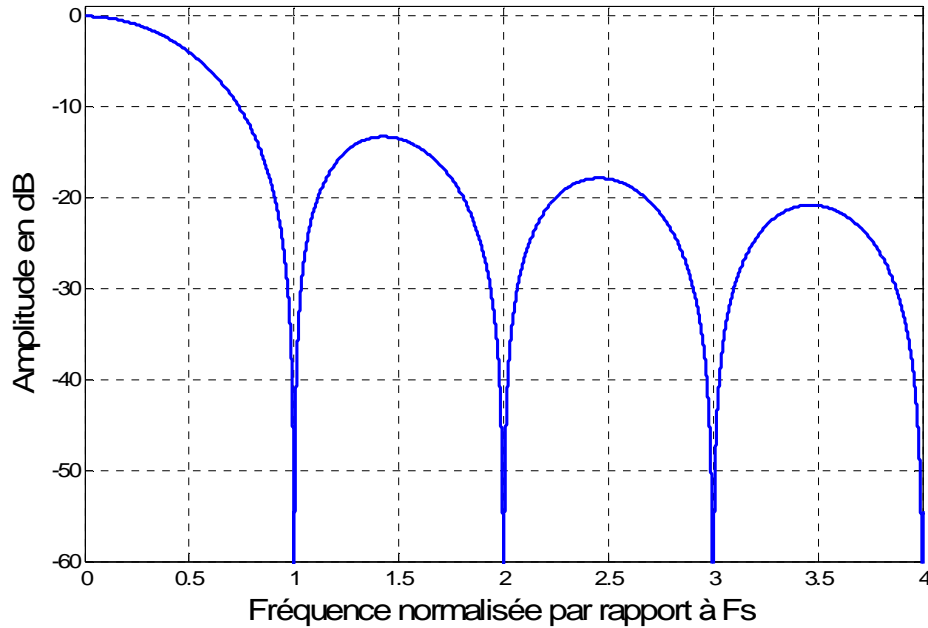
$$V_{out}(nT_S) = \frac{G_m}{C_S} \cdot V_{in}(t) * \Pi_{T_S}(t) \quad (\text{Eq.3.1})$$

En traitement de signal, Eq. 3.1 représente une convolution de la tension d'entrée $V_{in}(t)$ et de la porte d'intégration $\Pi_{T_S}(t)$. On dit que le système réalise simultanément une convolution du signal d'entrée et un échantillonnage à la fréquence F_S . La sortie est analogique temps discret alors que le signal d'entrée est un signal analogique temps continu. Ce système est donc un filtre de réponse impulsionnelle $\Pi_{T_S}(t)$ et un échantillonneur.

Dans le domaine fréquentiel la fonction de transfert est donnée par l'équation suivante (voir annexe I) :

$$H_{\text{SinC}}(f) = \frac{\mathfrak{F}_{\text{Fourier}}\{V_{out}(nT_S)\}}{V_{in}(f)} = \frac{G_m \cdot T_S}{C_S} \times \text{SinC}(\pi f T_S) \quad (\text{Eq.3.2})$$

Le filtre ainsi réalisé est un filtre passe-bas dont la fonction de transfert correspond à un sinus cardinal (SinC) qui passe par zéro à tous les multiples de la fréquence d'échantillonnage $\pm kF_S$ (Fig. 3.2).



3.2 : Filtre en sinus cardinal

La fréquence de coupure à 3dB de ce filtre est donnée (annexe I) par l'équation suivante :

$$f_{3dB} \approx 0.443 \times F_S \quad (\text{Eq.3.3})$$

Le gain autour de la fréquence zéro est donné (annexe I) par Eq. 3.4 et vaut :

$$G_0 = \frac{G_m T_S}{C_S} \quad (\text{Eq.3.4})$$

Sur la figure 3.2, on remarque que le filtre contient également des lobes entre les zéros. Le premier lobe se trouve à -13 dB, le second à -18 dB et le troisième à -21 dB. Selon la valeur de F_S , ces lobes peuvent contribuer au filtrage des canaux adjacents ou des signaux et bruits se trouvant hors bande utile.

L'échantillonnage se fait à la fréquence F_S , donc la duplication du spectre d'entrée se fait à tous les multiples de F_S . Plusieurs cas se présentent alors selon la nature du signal en entrée : si le signal d'entrée est à bande limitée B tel que $2B > F_S$, le critère d'échantillonnage de Nyquist n'est pas respecté et un repliement de spectre a lieu, la fonction de transfert du filtre SinC ne contribue pas à l'élimination de ce problème. Le critère de Nyquist reste une condition indispensable au bon fonctionnement de l'échantillonneur à intégration de charges. Un autre cas plus intéressant est celui d'un signal d'entrée complexe composé d'un signal utile basse fréquence et de plusieurs brouilleurs haute fréquence qui se trouvent à tous les multiples de F_S (Fig. 3.3). En effet, après échantillonnage tous les brouilleurs seront repliés sur le spectre du signal utile. Dans ce cas le signal utile sera partiellement ou complètement détruit par le bruit de repliement selon le niveau de puissance des brouilleurs repliés. Cependant, les zéros de la fonction SinC se trouvent exactement aux fréquences $\pm kF_S$ et permettent donc d'atténuer fortement tous ces brouilleurs ou « alias » avant leur repliement sur le signal utile.

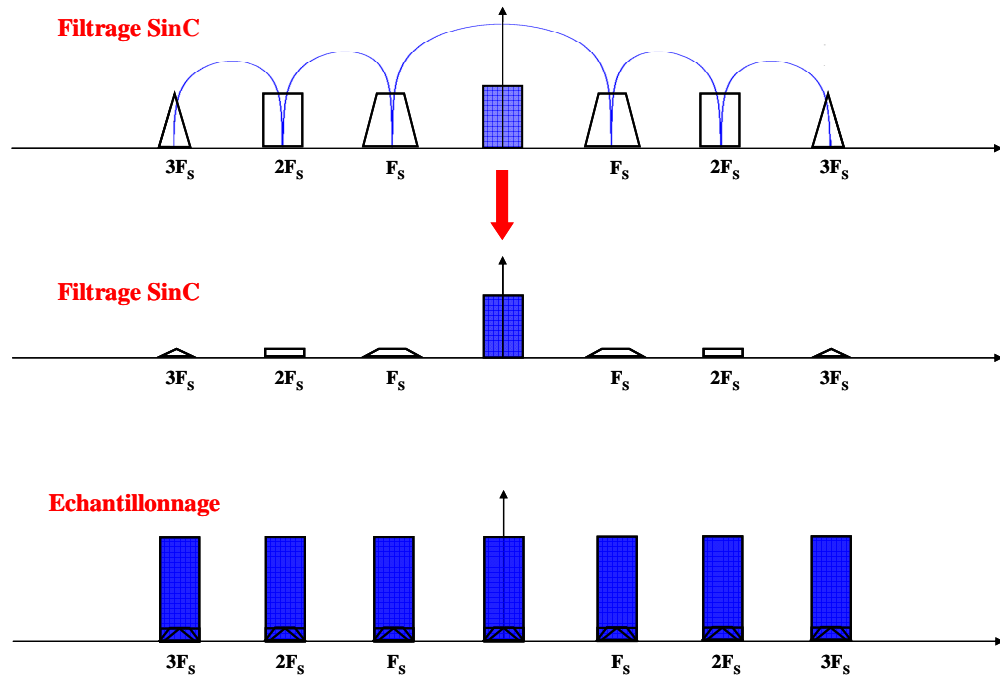


Fig. 3.3 : Filtrage SinC et échantillonnage du signal utile en présence de brouilleurs

Pour comprendre comment la fonction SinC opère, il faut comprendre la chronologie physique des opérations successives réalisées par la structure. L'intégration progressive des charges d'entrée (courant d'entrée) sur la capacité C_s pendant T_s crée la fonction de transfert en SinC. Ensuite, c'est l'ouverture de l'interrupteur d'intégration qui détermine l'instant d'échantillonnage donc l'instant de repliement des alias. Il faut donc bien comprendre que le filtrage précède l'opération d'échantillonnage et que c'est grâce à cela qu'on profite des zéros du SinC pour atténuer les brouilleurs ou alias (Fig. 3.3).

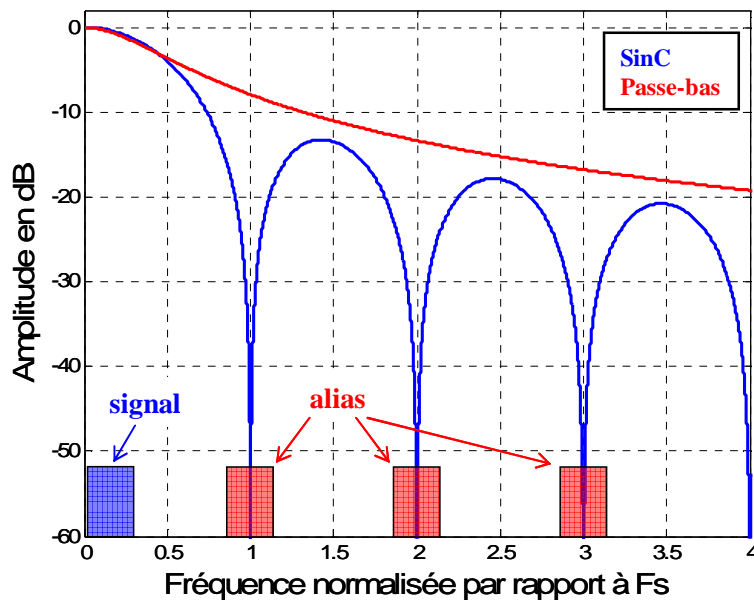


Fig. 3.4 : Fonctions de transfert des filtres sinus cardinal et RC classique

Comparé à un filtre passe-bas d'ordre 1 classique ou temps continu, le sinus cardinal offre une meilleure atténuation hors bande et une capacité d'anti-repliement intrinsèque (Fig. 3.4). Le système tel qu'il est décrit sur la figure 3.1 réalise donc trois opérations consécutives : gain, filtrage et échantillonnage. Il est pour cela appelé Echantillonneur à intégration de charges. L'amplificateur de transconductance est indispensable pour réaliser la conversion de la tension d'entrée en courant, et la fenêtre d'intégration (ou temps d'intégration sur la capacité C_S) doit correspondre à la période d'échantillonnage.

Dans le système, le mode courant offre la possibilité d'augmenter la valeur de la capacité C_S pour réduire le bruit d'échantillonnage kT/C . On remarque par contre, que le gain G_0 est inversement proportionnel à la capacité (Eq. 3.4) et que par conséquent il existe obligatoirement un compromis bruit/gain grâce au choix de C_S .

Le principe de fonctionnement du filtre anti-repliement est simple, cependant la théorie mathématique de la fonction sinus cardinal donne la valeur zéro uniquement aux fréquences multiples de la fréquence d'échantillonnage $\pm kF_S$. En réalité, la largeur de bande des canaux de communication radio actuels peut varier d'un facteur 100. C'est le cas, par exemple, du canal GSM à 200kHz et du canal Wi-Fi ou WiMAX à 20MHz. Pour cela, il est nécessaire de faire une estimation précise de l'atténuation fournie par le SinC sur la largeur de bande des signaux alias. Sur la figure 3.5, nous montrons la différence entre les deux cas extrêmes du GSM et du Wi-Fi/WiMAX. Quelle que soit la fréquence d'échantillonnage, un canal GSM est atténué de 20dB de plus par rapport au canal Wi-Fi/WiMAX. L'expression générale donnant la valeur de l'atténuation du SinC dans une bande de largeur $\pm B/2$ autour du $N^{\text{ème}}$ zéro est donnée par l'équation suivante (annexe I) :

$$A_{N,+\frac{B}{2}} = \frac{1}{2 \frac{NF_S}{B} + 1} \quad A_{N,-\frac{B}{2}} = \frac{1}{2 \frac{NF_S}{B} - 1} \quad (\text{Eq.3.5})$$

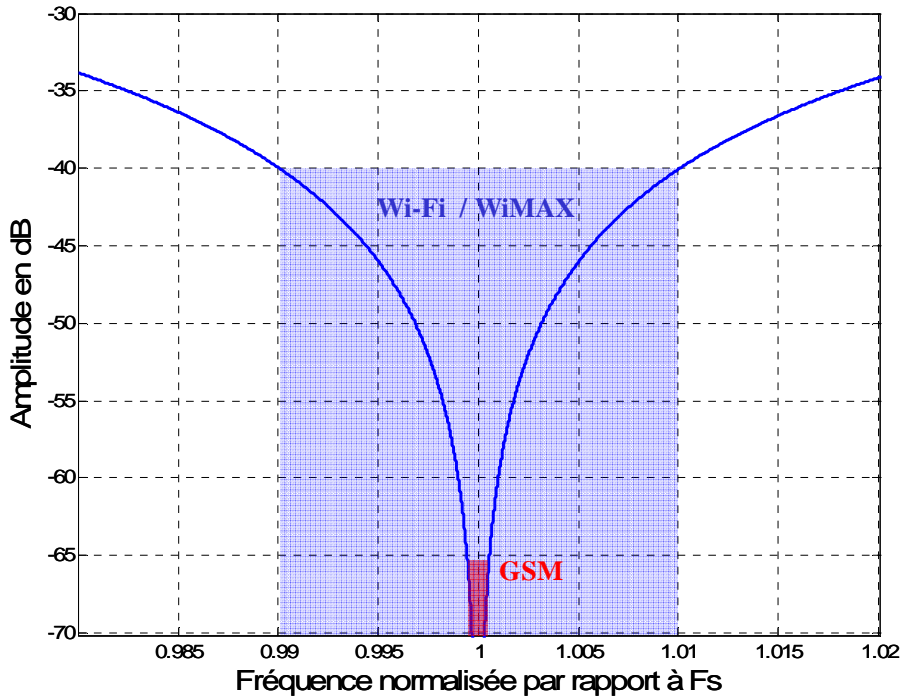


Fig. 3.5 : Atténuation du filtre SinC pour 200kHz et 20MHz de bande

Nous notons que l'atténuation n'est pas symétrique autour des zéros, elle est plus importante dans la bande $[NF_s + B/2]$. Pour une fréquence d'échantillonnage supposée très grande par rapport à B , nous en déduisons une expression approchée (annexe I) de l'atténuation minimum des alias dans une bande de fréquence de largeur B :

$$A_{N,\min} \approx \frac{B}{2NF_s} \quad \text{pour } F_s \gg B \quad (\text{Eq.3.6})$$

Dans ce cas, l'atténuation est symétrique autour des zéros. Comme nous le verrons par la suite, Eq. 3.6 permettra de bien choisir le plan de fréquence du récepteur pour optimiser au maximum l'atténuation des alias. Pour l'instant, nous notons simplement deux propriétés : premièrement, le SinC atténue plus fortement les signaux alias les plus éloignés dans le spectre ($N=1,2,\dots$), et l'atténuation pour un zéro donné est d'autant plus grande que la fréquence d'échantillonnage est élevée. Ainsi, pour profiter au mieux du SinC en termes de filtrage anti-repliement, nous avons intérêt à faire fonctionner l'échantillonneur à intégration de charges à très haute fréquence. En effet, dans le dimensionnement d'un système de réception radio, le concepteur système prend en compte les fréquences et les niveaux de puissance des bloqueurs fournis par les normes. C'est à lui de choisir la bonne fréquence d'échantillonnage et le bon plan de fréquence de sa chaîne de réception pour assurer un filtrage anti-repliement qui répond aux contraintes de bande du signal de la norme.

En conclusion, grâce à l'échantillonneur à intégration de charges, nous réalisons une fonction simultanée de gain et d'échantillonnage avec filtrage anti-repliement intégré. Cependant, la fonction SinC ainsi créée est celle d'un filtre passe-bas (Fig. 3.2) et ne permet pas d'appliquer ce genre de traitement à un signal RF directement. Par exemple, l'application de l'échantillonneur à intégration de charges sur un signal Wi-Fi dans la bande basse (2,5GHz) nécessite une fréquence d'échantillonnage d'au moins 5GHz. Pour profiter des possibilités d'anti-repliement offertes par le SinC, nous transposons le signal RF en bande de base directement grâce à un mélangeur passif implanté dans la structure de l'échantillonneur. Le mélangeur, commandée par une horloge carrée ramène le signal RF en bande de base avant l'opération d'échantillonnage.

D'un point de vue fonctionnel, le circuit complet réalisera la conversion de fréquence, le gain et l'échantillonnage avec filtrage anti-repliement intrinsèque. Un schéma synoptique de cette partie de l'architecture échantillonnée est donné sur la figure suivante :

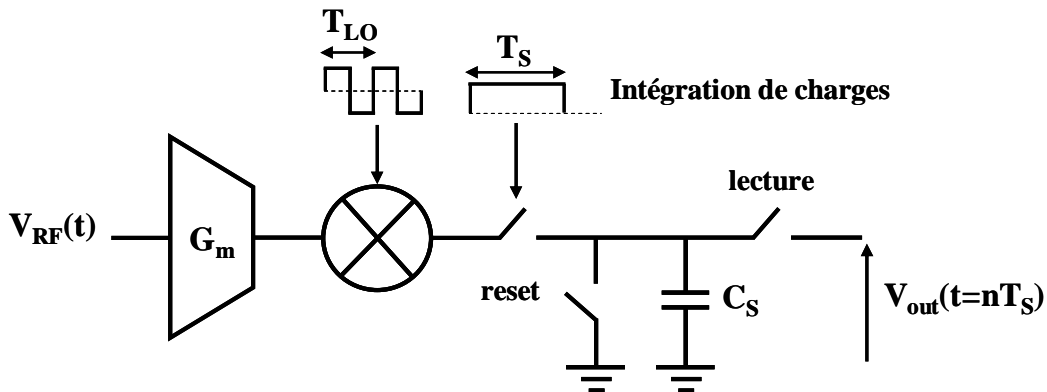


Fig. 3.6 : Echantillonneur à intégration de charges avec mélangeur passif intégré

C. Mélange

Dans les chaînes de réception et d'émission radio, on trouve dans la partie RF un mélangeur qui réalise ce que les concepteurs des systèmes RF appelle la conversion de fréquence. En effet, un traitement numérique à la fréquence porteuse est pratiquement impossible dans les systèmes de communications actuels où la fréquence porteuse se situe entre 800 MHz (GSM) et 5,2 GHz (Wi-Fi). Le mélangeur effectue concrètement une multiplication de deux signaux, le signal RF d'entrée et une horloge de fréquence f_{OL} qui lui est fournie par une boucle à verrouillage de phase. Selon le choix de la fréquence f_{OL} , nous pouvons créer plusieurs schémas de conversion de fréquence. Dans une architecture ZIF classique le mélangeur transpose directement (en une seule étape) le spectre en bande de base autour de zéro. Il n'existe donc pas une fréquence intermédiaire entre la fréquence porteuse f_c et la fréquence zéro. En conception radio, il existe plusieurs types de mélangeurs que nous pouvons regrouper en deux grandes catégories : les mélangeurs actifs ou cellules de Gilbert et les mélangeurs passifs [96 Razavi]. Dans le contexte de ce travail de thèse et du développement des architectures échantillonnées basées sur des circuits CMOS passifs, un mélangeur passif est plus adapté à la réalisation de la conversion de fréquence (Fig. 3.7) dans l'échantillonneur à intégration de charges :

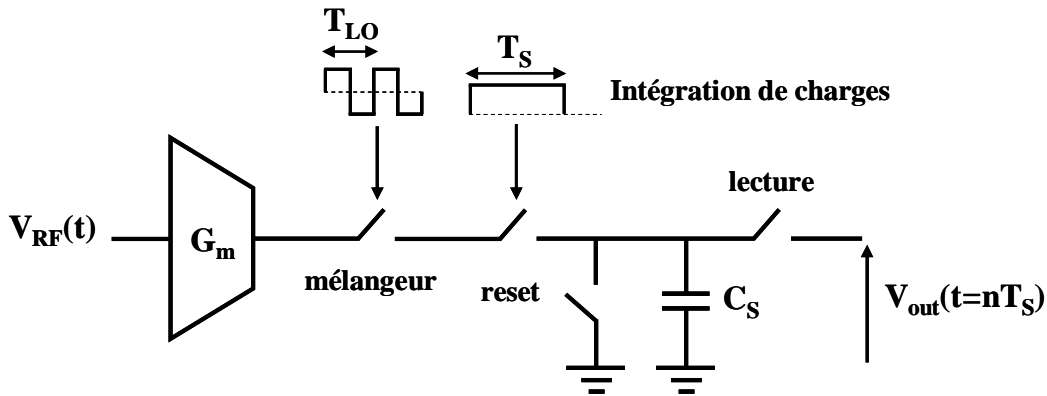


Fig. 3.7 : Echantillonneur à intégration de charges avec mélangeur passif intégré

Le mélangeur passif est composé uniquement de transistors MOS fonctionnant en interrupteurs pour transposer le spectre du signal utile en bande de base autour de la fréquence zéro afin de centrer le signal sur le filtre SinC. On peut donc dire que le courant RF en sortie du LNTA est transposé en bande de base avant d'être intégré sur la capacité signal C_S . D'un point de vue circuit, le mélangeur génère un courant basse fréquence (et des produits de mélange haute fréquence) qui s'intègrent sur une capacité C_S pendant une durée T_S . D'un point de vue traitement de signal, le signal est multiplié par une onde carrée limitée par une fenêtre de durée T_S (Fig. 3.7). Pour garantir qu'aucune perte d'information utile n'ait lieu, il faut que le courant RF puisse s'intégrer continuellement sur une capacité C_S (voir le calcul de la fonction de transfert de l'échantillonneur dans l'annexe I). Par conséquent, la longueur T_S de la fenêtre d'intégration (période d'échantillonnage) doit correspondre à un multiple de la période du signal d'horloge de l'oscillateur local, qui dans le cas de l'architecture ZIF, correspond à la période de la porteuse RF (Fig. 3.8). La condition $F_{LO} = F_{porteuse} = N \times F_S$ doit être respectée pour assurer une conversion directe en bande de base sans perte d'information. En effet, le signal d'horloge du mélangeur est une fonction de pondération de la fenêtre d'intégration et donc tout saut de phase de ce signal se traduit par un mélange différent pour le signal utile. Sur la figure 3.9, nous représentons les opérations subies par le signal d'entrée.

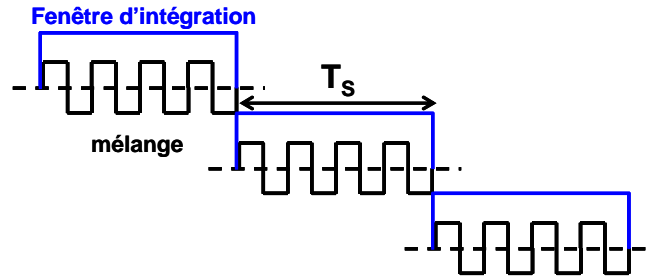
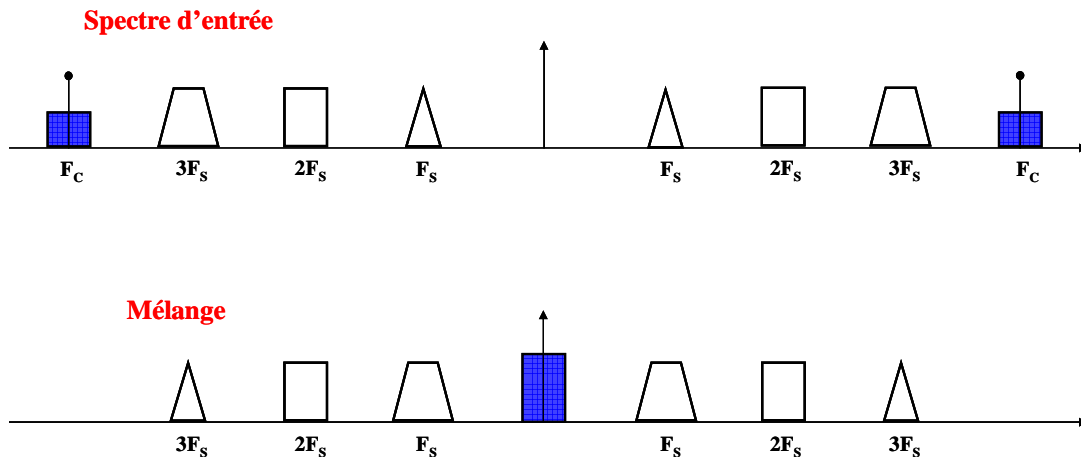


Fig. 3.8 : Horloge du mélangeur intégrée dans la fenêtre d'intégration de durée T_s .

D. Filtrage de canal

Dans toute chaîne de réception radio, on trouve en général deux types de filtre : le filtre de sélection de bande et le filtre de canal. La fonction principale du filtre de sélection de bande est d'atténuer les signaux radio hors bande utile, alors que le rôle du filtre de canal est d'isoler le signal utile parmi plusieurs canaux adjacents. Les canaux adjacents sont des signaux modulés se trouvant dans la bande RF du signal utile. Ils correspondent aux canaux utilisés par les autres utilisateurs du même standard de communication. Ces signaux ne sont pas filtrés par le filtre RF de sélection de bande et arrivent donc à travers le chemin de réception jusqu'à l'entrée de l'ADC. La puissance totale du spectre en entrée du convertisseur analogique numérique contient le canal utile à numériser et tous les canaux adjacents dont les fréquences et les niveaux de puissance dépendent du standard en question et du type de modulation. La saturation de l'ADC est déterminée par le niveau de puissance du signal en son entrée. Il est donc indispensable de filtrer les canaux adjacents pour pouvoir diminuer la puissance totale du signal à numériser et sa dynamique.

Les filtres de canal ont la responsabilité d'atténuer fortement les canaux adjacents pour relâcher les contraintes sur la linéarité des blocs analogiques qui suivent dans le chemin RX et pour permettre à l'ADC d'absorber la dynamique totale en son entrée tout en ayant une consommation acceptable [21 Bagheri]. En général, le filtrage de canal, est fait en deux parties : en analogique puis en numérique après l'ADC. Le taux de filtrage canal demandé est défini en fonction des niveaux de puissance des canaux adjacents imposés par la norme. En revanche, le partage du filtrage entre domaines analogique et numérique est laissé au concepteur système qui adapte en fonction de la consommation et de la pleine échelle de l'ADC. En général, beaucoup de chaînes de réception font la grande majorité de leur filtrage canal en analogique grâce à de puissants filtres G_m -C d'ordre 4 ou 5 [97 Huang], [98 Simon].



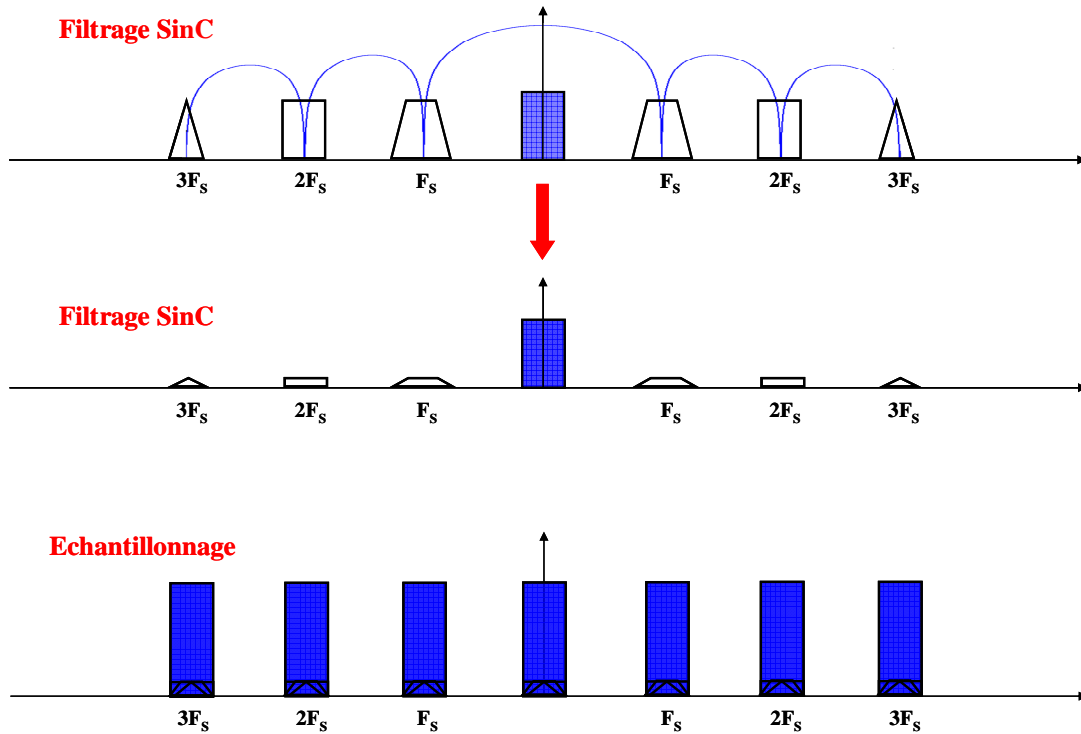


Fig. 3.9 : Opérations successives subies par le signal utile

Dans un récepteur radio échantillonné, le filtrage canal doit répondre à certaines exigences de compatibilité avec l'architecture de réception, notamment les caractères temps discret et purement passif du traitement du signal. Pour cela, on ne peut pas permettre d'implémenter des filtres G_m -C temps continu ou temps discret, par exemple. Ces contraintes nous obligent à repenser les techniques de filtrage canal classiques en mettant en œuvre des techniques à capacités commutées et sans présence de gain ou d'élément actif. Dans cette perspective, considérons le circuit représenté sur la figure 3.10 :

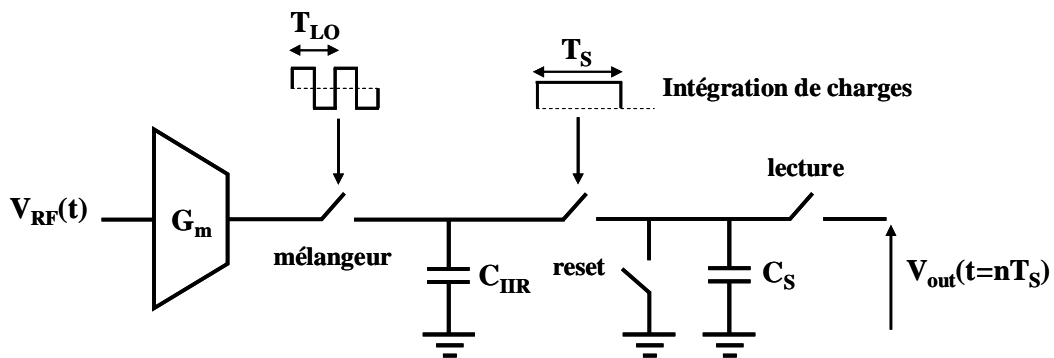


Fig. 3.10 : Introduction d'une capacité C_{IIIR} dans la structure de l'échantillonneur

Une capacité, C_{IIIR} , est placée entre le mélangeur et la capacité d'intégration C_S comme représenté sur la figure 3.10. Comme il a été expliqué au paragraphe III.B., pour assurer un fonctionnement normal où aucune perte d'information n'a lieu, nous utiliserons l'échantillonneur à intégration de charges avec entrelacement temporel. L'entrelacement temporel signifie que plusieurs capacités C_S seront connectées en parallèles mais ne seront

activées que l'une à la suite de l'autre. A la fin de chaque période d'intégration, C_S est déconnectée du système, l'interrupteur de lecture est activé pour récupérer la valeur de l'échantillon qui a été intégré. La capacité est ensuite connectée à la masse pour remise à zéro. Pendant le temps de lecture et de remise à zéro, d'autres capacités C_S sont connectées au système pour garantir l'intégration continue du signal. La figure 3.11 représente un échantillonneur à intégration de charges avec entrelacement temporel de trois capacités C_S . Le fonctionnement est simple : à l'instant n , la 1^{ère} capacité C_S intègre l'échantillon n , la 2^{ème} est remise à zéro et la 3^{ème} passe l'échantillon $(n-1)$ en lecture. A l'instant $(n+1)$, la 1^{ère} passe l'échantillon n en lecture, la 2^{ème} intègre l'échantillon $(n+1)$ et la 3^{ème} est remise à zéro... et ainsi de suite. A la différence de ces dernières, C_{IIR} n'est jamais remise à zéro gardant ainsi une trace du signal d'entrée et par conséquent des échantillons précédents.

Concrètement, le courant d'entrée est divisé entre les capacités C_{IIR} et C_S , et la quantité de charge totale est partagée selon les valeurs respectives de chacune. A l'instant n , le bilan des charges dans le système est donné par l'équation suivante :

$$Q_S(n) = \frac{C_S}{C_{IIR} + C_S} \cdot [Q_{IIR}(n-1) + Q_E(n)] \quad (\text{Eq.3.7})$$

$Q_E(n)$ et $Q_S(n)$ représentent respectivement les charges en entrée et en sortie de l'échantillonneur à l'instant n et $Q_{IIR}(n-1)$ la charge dans C_{IIR} à l'instant $(n-1)$.

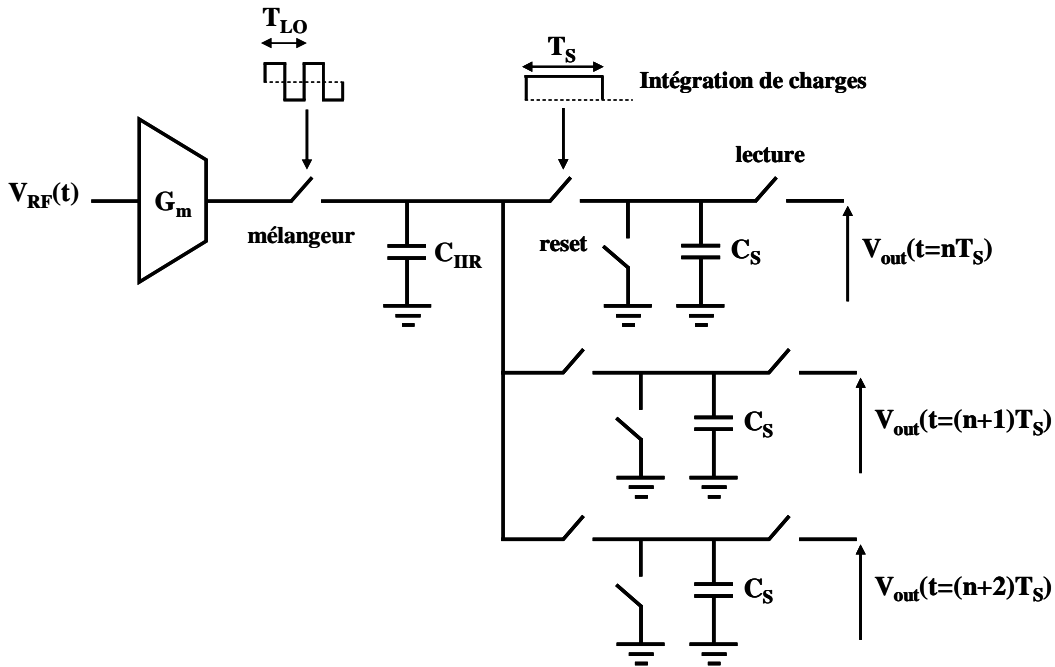


Fig. 3.11 : Echantillonneur à intégration de charges avec entrelacement temporel

D'après Eq. 3.7, la sortie à l'instant n dépend de l'entrée et de la sortie précédente et correspond en traitement du signal à l'équation caractéristique d'un filtre à réponse impulsionnelle infinie (IIR).

Le calcul détaillé du bilan des charges pendant une période T_S (annexe I) montre que la fonction de transfert entre la quantité de charge ramenée par le LNTA en entrée, Q_E , et la quantité de charges sur C_S en sortie, Q_{out} , est donnée par l'équation suivante :

$$H(z) = \frac{Q_{out}(z)}{Q_E(z)} = \frac{1-\beta}{1-\beta z^{-1}} \quad \text{avec} \quad \beta = \frac{C_S}{C_{IIR} + C_S} \quad (\text{Eq.3.8})$$

$$H(f) = \frac{1-\beta}{1-\beta \times [\cos(2\pi f T_S) - j \sin(2\pi f T_S)]}$$

Nous reconnaissons dans Eq. 3.8 une fonction de transfert d'un filtre d'ordre 1 (démonstration dans l'annexe I) dont le gain décroît au rythme de 6 dB/octave (20 dB/décade). En effet, le choix des valeurs respectives de C_{IIR} et C_S permet de définir la fréquence de coupure de ce filtre. Sur la figure 3.12, nous montrons la réponse en fréquence du filtre à $F_S = 600\text{MHz}$ ainsi

réalisé pour trois valeurs différentes du rapport $\frac{C_{IIR}}{C_S}$, 47, 23.5 et 11.75 :

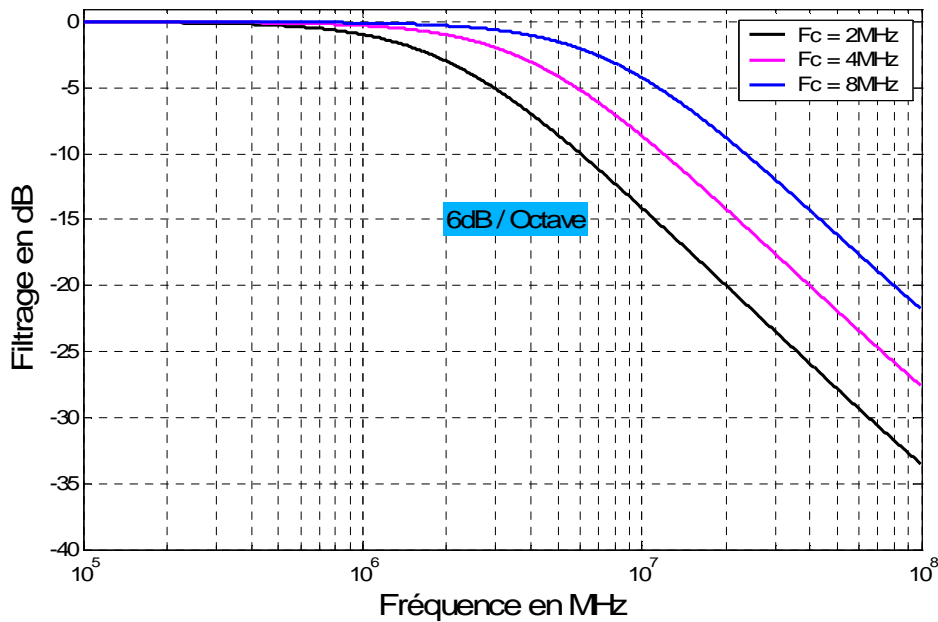


Fig. 3.12 : Fonctions de filtrage IIR pour trois valeurs du rapport C_{IIR}/C_S

La fréquence de coupure $F_{coupure}$ du filtre est calculée (voir annexe I) par l'équation 10 :

$$F_{coupure} = \frac{F_S}{2\pi} \times \arccos\left(\frac{4\beta - \beta^2 - 1}{2\beta}\right)$$

$$F_{coupure} = \frac{1-\beta}{2\pi T_S \sqrt{\beta}} \quad \text{pour } f T_S \ll 1 \quad (\text{Eq.3.9})$$

Où F_S est la fréquence d'échantillonnage du système. Le rapport entre les deux capacités C_{IIR} et C_S définit la fréquence de coupure et par conséquent l'atténuation du filtre à une fréquence donnée. Une propriété importante de la fonction de transfert du filtre IIR créé est sa périodicité toute les F_S . Sur la figure 3.13, on montre $|H_{IIR}(f)|$ (échelle linéaire de fréquence) dans le cas d'un filtre de fréquence de coupure 2MHz fonctionnant à une fréquence d'échantillonnage de 100MHz :

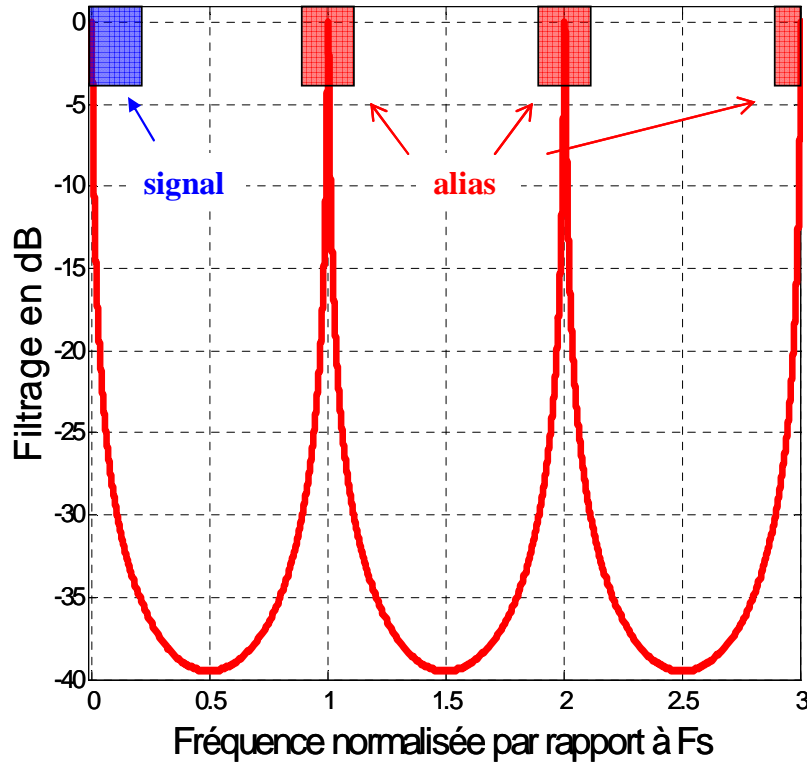


Fig. 3.13 : Fonction de filtrage IIR

La périodicité toutes les F_s de $|H_{IIR}(f)|$ ne lui permet pas de contribuer à l'atténuation des signaux alias qui se trouvent à $F_c \pm kF_s$ comme montré sur la figure 3.13. Puisque la fréquence RF est multiple de la fréquence d'échantillonnage (paragraphe III.C.), on a $[F_c \pm kF_s] = nF_s$ fréquences pour lesquelles le filtre IIR a un gain de 0dB.

Nous avons créé donc un pôle de filtrage « implanté » dans la structure de l'échantillonneur (Fig. 3.10) grâce à une seule capacité C_{IIR} , placé entre le mélangeur et C_S . Ce filtre supplémentaire est passe-bas d'ordre 1 et possédant une fréquence de coupure réglable (reconfigurable) en fonction de la taille des capacités. Notons que le caractère reconfigurable est inhérent au système. Il suffit de changer la valeur de C_{IIR} uniquement pour définir une nouvelle fréquence de coupure et par conséquent un nouveau filtre. Nous allons détailler ce principe dans le paragraphe III.F.1. Nous verrons par la suite comment choisir et implémenter ces capacités en fonction du gain de la chaîne et du taux de filtrage demandé.

E. Filtrage global et gain total

La fonction de filtrage globale du système est définie par la relation suivante (annexe I) :

$$H_{\text{globale}}(f) = \frac{V_{\text{out}}(f)}{V_{\text{in}}(f)} = \frac{2}{\pi} \frac{G_m T_S}{C_S} \text{Sinc}(\pi f T_S) \frac{(1-\beta)}{\sqrt{1-2\beta \cos(2\pi f T_S) + \beta^2}} \quad (\text{Eq.3.10})$$

Dans Eq. 3.10 apparaît le gain du LNA, celui du mélangeur à horloge carrée, le filtrage anti-repliement dû au SinC et le filtrage IIR dû à la capacité C_{IIR} . C'est une fonction de filtrage qui lie la tension de sortie sur C_S à la tension RF en entrée du LNA. En effet, le courant RF du

LNTA ramené en bande de base à travers le mélangeur, s'intègre simultanément de manière partagée sur les deux capacités C_S et C_{IIR} pendant une fenêtre de durée T_S . La fenêtre d'intégration de durée T_S crée le filtrage anti-repliement par le SinC et le partage de charge entre les capacités crée le filtrage IIR. Puisque le mélangeur est commandé par un signal carré, l'amplitude de la raie de fréquence $[f_{OL}-f_{signal}]$ vaut $2/\pi$ (voir calcul des amplitudes des harmoniques en annexe I). La figure 3.14 montre la fonction de transfert globale du système avec les deux filtres SinC et IIR.

Le gain total du système est défini à $f = 0$ où les filtres SinC et IIR ont un gain de 0 dB :

$$G_{0_{dB}} = 20 \log_{10} [H_{globale}(f = 0)] = 20 \log_{10} \left[\frac{2 G_m T_S}{\pi C_S} \right] \quad (\text{Eq.3.11})$$

Le gain G_0 est exprimé en dB, il correspond au rapport entre V_{in} , la tension différentielle à l'entrée du LNTA, et V_{out} , la tension différentielle de sortie sur la capacité C_S . En général, les gains dans les chaînes de réception sont exprimés en fonction de la puissance d'entrée sur le LNA. Pour une adaptation 50Ω à l'entrée, nous pouvons exprimer ainsi le gain par rapport à la puissance d'entrée en dBV_{rms}/dB_m :

$$G_{0_{dBV_{rms}/dB_m}} = G_{0_{dB}} - 13_{dB} \quad (\text{Eq.3.12})$$

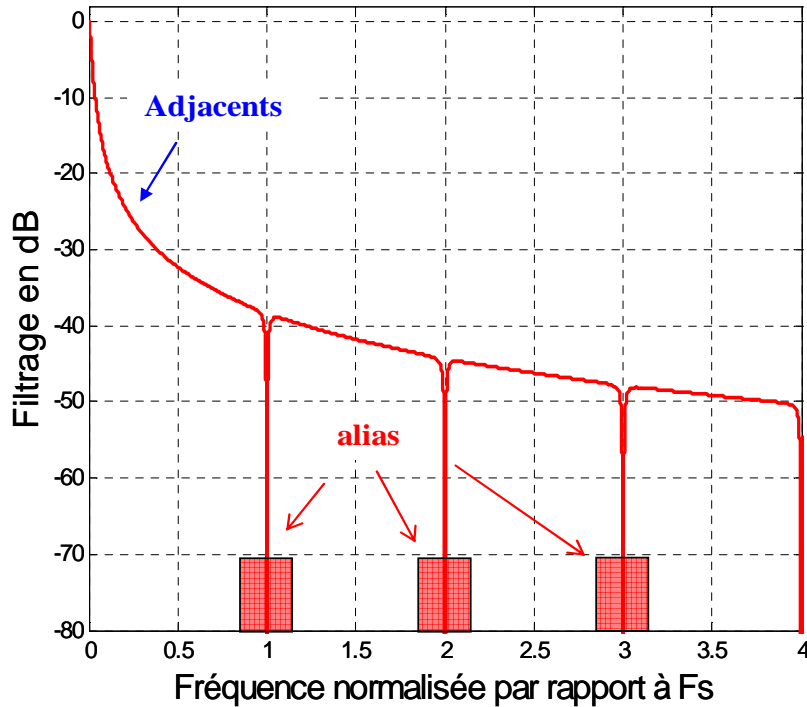


Fig. 3.14 : Fonction de filtrage globale

F. Reconfigurabilité

Au sens large, la reconfigurabilité des terminaux sans fils est la capacité d'adresser plusieurs standards de communications (bande RF, largeur de canal et sensibilité différentes), plusieurs bandes de fréquence et des largeurs de canaux différentes. L'aptitude d'une chaîne de réception à répondre à ces trois critères définit son degré de reconfigurabilité. Dans le

paragraphe I.A nous avons montré l'importance de chacune de ces reconfigurabilités à court, moyen et long termes dans le cadre du développement des standards de communications 4G. Il existe peu de terminaux sans fils qui permettent les trois types de reconfiguration sur une même puce contenant la partie RF, analogique et numérique. Aujourd'hui, des solutions RX capables de reconfigurer entre GSM et W-CDMA sont tout juste disponibles.

Les architectures de réception échantillonnées sont des solutions à base de capacités commutées et contenant très peu d'éléments actifs. Cette caractéristique offre une capacité de reconfiguration importante : il suffira de commander la disposition, la taille et le nombre de capacités et d'interrupteurs MOS (uniques éléments de l'architecture) par des signaux d'horloges reconfigurables numériquement par le processeur de bande de base. On pourra imaginer un système à base de l'architecture échantillonnée dans lequel une reconfiguration par logiciel permettra de passer d'un standard à un autre, d'une bande de fréquence à une autre et d'une largeur de canal à une autre (Fig. 3.15) :

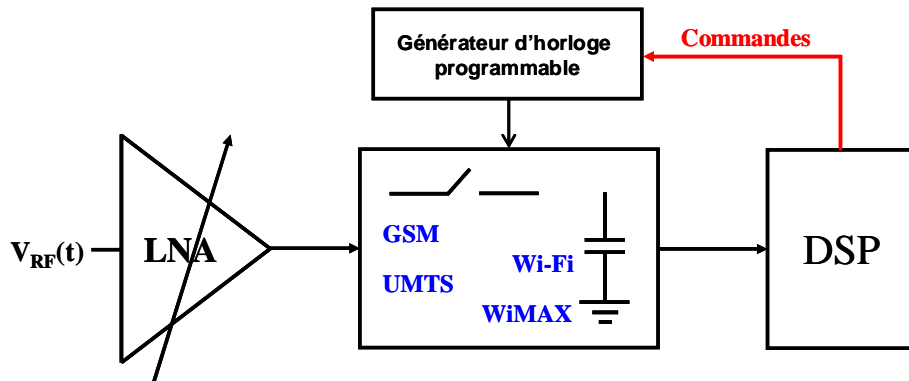


Fig. 3.15 : Schéma de principe de la reconfiguration d'un RX échantillonné

1. Reconfigurabilité des largeurs de canaux

La largeur de canal varie d'un standard de communications à un autre mais aussi au sein d'un même standard. Par exemple, en WiMAX le spectre du signal utile occupe des largeurs différentes pouvant aller de 1 à 16 [28 Gray]. Dans le paragraphe III.D, nous avons expliqué la technique de filtrage canal de l'architecture échantillonnée. De plus, nous avons calculé la fréquence de coupure du filtre en fonction du rapport des deux capacités C_S et C_{IIR} et de la fréquence d'échantillonnage (Eq. 3.9). Pratiquement, la réalisation d'un filtre IIR reconfigurable pour un standard à plusieurs largeurs de canaux prend la forme suivante :

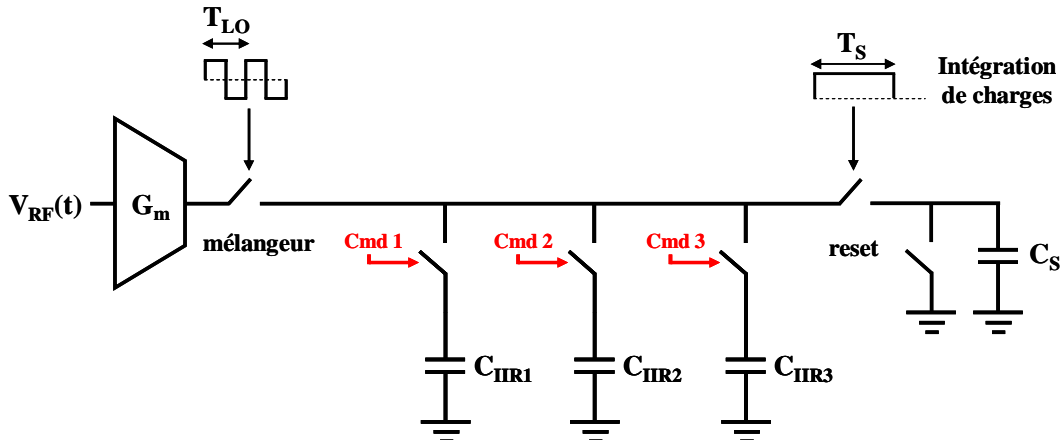


Fig. 3.16 : Fonctions de filtrage IIR pour trois valeurs du rapport C_{IIR}/C_S

Sur la figure 3.16, nous montrons une implémentation d'une reconfigurabilité de largeur de canal pour un même standard de communication donné c.à.d. à la même fréquence d'échantillonnage F_S et pour la même capacité de signal C_S . Dans ce cas, la fréquence de coupure du filtre IIR ne dépend que de β donc du rapport entre C_S et C_{IIR} . Par conséquent, l'implémentation d'un banc de capacités commutées pour avoir une capacité de filtre par largeur de canal réalise la reconfiguration souhaitée. Les capacités sont commandées par des signaux d'horloges qui permettent de sélectionner une seule C_{IIR} à la fois et donc une fréquence de coupure pour un canal de largeur donné. Physiquement, la reconfiguration de N canaux de largeurs différentes, dans une architecture de réception radio échantillonnée, nécessite donc le rajout de N capacités, N interrupteurs MOS et N signaux d'horloges. Les commandes sont purement numériques et se font grâce au processeur en bande de base.

2. Reconfigurabilité des bandes de fréquence

Dans le paragraphe I.A nous avons montré que la majorité des standards de connectivité de données sans fils fonctionnent dans deux bandes de fréquence RF différentes. Pour le WiMAX par exemple, on sait que la bande basse est entre 2.5 et 2.7GHz et la bande haute entre 3.3 et 3.8GHz. Pour un terminal sans fils 4G, la capacité de changer de bande de fréquence est importante. Dans le cas d'une architecture de réception ZIF, les contraintes de conception pour réaliser la reconfiguration de bande de fréquence sont sur la partie RF (notamment le LNA et le filtre de sélection de bande), sur la synthèse de fréquence ainsi que sur la génération des signaux d'horloge du mélangeur. Pour le cas de l'architecture échantillonnée, les contraintes du côté RF et synthèse de fréquence sont transparentes car ne concernent pas le traitement analogique temps-discret du signal. Cependant, la génération des signaux en quadrature pour le mélangeur ainsi que le choix de la fréquence d'échantillonnage seront impactés par la bande de fréquence RF. Nous retrouvons cependant aussi cette dernière contrainte dans le cas d'une architecture classique.

3. Reconfigurabilité des standards de communications

Le cas le plus fréquent de reconfigurabilité de standards de communications est la commutation GSM / Connectivité de données. Les cas les plus connus sont GSM / Wi-Fi et/ou GSM/WCDMA.

Depuis l'apparition de la 3G, les solutions de terminaux mobiles reconfigurables GSM/connectivité de données sont apparues. Avec l'avènement de la 4G, on souhaite se passer de ce type de reconfiguration. Cependant, le déploiement des standards comme LTE et WiMAX est loin d'assurer encore une couverture universelle. Par conséquent, la reconfiguration GSM / 4G sera certainement exigée à court et moyen termes.

L'architecture échantillonnée est capable de reconfigurer la fréquence de coupure du filtre analogique de sélection de canal (IIR) sur une dynamique très grande (paragraphe III.F.1.), c.à.d. sur des largeurs de canaux très variables. Pour la même capacité de signal C_S , on peut imaginer, par exemple, deux capacités C_{IIR} dont l'une est 100 fois plus petite pour adresser à la fois un standard bande étroite comme le GSM ($B = 200\text{kHz}$) et un standard très large bande comme le Wi-Fi ou le WiMAX ($B = 20\text{MHz}$). Cependant, cela suppose que les contraintes sur l'ADC, les puissances et le nombre des bloqueurs sont les mêmes. Malheureusement, le changement de standard de communications fait changer toutes les contraintes RF. Pour mieux comprendre ces contraintes, appliquons les principes de l'architecture échantillonnée sur un cas de reconfiguration GSM / WiMAX. Bien que certaines solutions de récepteurs ZIF pour GSM existent, le bruit $1/f$ de la technologie CMOS dégrade considérablement le rapport

signal à bruit en sortie. Pour cela, dans son état de traitement de signal actuel, l'architecture échantillonnée n'est pas optimisée pour la réception du standard GSM. Le problème se pose beaucoup moins pour le WiMAX qui reste un standard large bande. [99 Joet] propose une solution de réception GSM basée sur l'architecture échantillonnée dans laquelle le signal GSM est convertie à la moitié de la fréquence d'échantillonnage ($F_S/2$). La solution utilise les mêmes principes de filtrage anti-repliement et IIR en capacités commutées pour réaliser une transposition en deux étapes du signal RF. Une première étape ramène le signal par sous échantillonnage à la fréquence intermédiaire $F_S/2$ tout en profitant de la capacité anti-repliement du filtre. Ensuite une deuxième opération de sous échantillonnage avec filtrage SinC intrinsèque transpose le signal GSM à une fréquence intermédiaire faible (20MHz) afin de pouvoir attaquer l'ADC à basse fréquence.

La reconfiguration GSM/WiMAX peut donc se faire grâce à 2 chemins de capacités commutées différents, avec 2 plans de fréquence différents à condition de bien dimensionner les valeurs des capacités et les commandes de reconfiguration. Cependant, une étude un peu plus détaillée doit être faite pour choisir un plan de fréquence commun aux 2 standards. [100 Latiri] propose une solution échantillonnée reconfigurable GSM/Wi-Fi.

II. Points critiques de la solution

Dans le paragraphe précédent, nous avons détaillé les principes de base de l'architecture échantillonnée de réception radio. Comparée à une architecture classique à temps continu, nous notons beaucoup de différences : d'abord, l'échantillonnage se fait directement après l'amplification du signal par le LNA et le signal analogique est en temps discret dans tout le reste de la chaîne ; le gain total est fonction de plusieurs paramètres passifs comme la capacité d'échantillonnage et le temps d'intégration et ne dépend pas donc que du gain du LNA (G_m). Au total, nous n'implémentons qu'un seul étage de filtrage d'ordre 1 (C_{IIR}) et nous utilisons la capacité d'anti-repliement intrinsèque à l'opération d'échantillonnage. Enfin, tout le traitement de signal est passif après le LNA et est réalisé par des capacités commutées. Tous ces points constituent une rupture partielle et/ou totale avec certains des principes classiques de la conception de récepteurs radio. Le caractère purement CMOS de l'architecture ainsi que l'objectif d'intégration sur la même puce de toutes les fonctions d'un terminal sans fil 4G font que l'étude de plusieurs points critiques est indispensable. Nous abordons dans ce qui suit les points critiques de la solution échantillonnée.

A. Capacités parasites

Dans le contexte d'une implémentation CMOS submicronique, il est important de comprendre quel sera l'impact des capacités parasites sur les performances de l'architecture échantillonnée basée uniquement sur des transistors et des capacités réalisés en technologie CMOS.

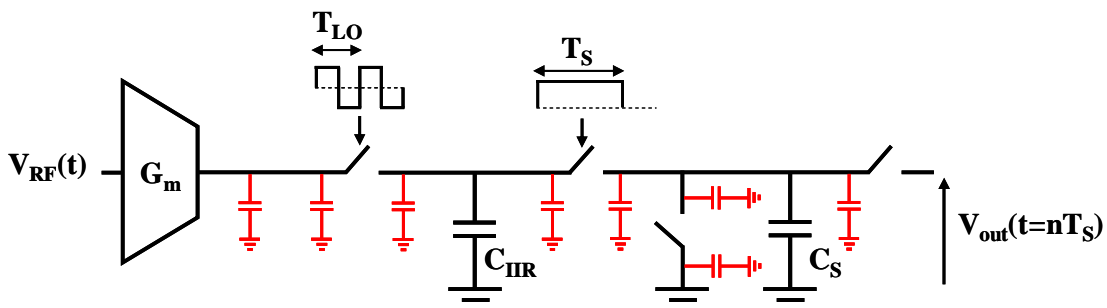


Fig. 3.17 : Structure de l'architecture avec la contribution des capacités parasites

Comme nous l'avons vu dans le paragraphe précédent, l'échantillonnage du signal radio se fait par intégration de charges à travers un mélangeur et grâce à un amplificateur de transconductance. Sur la figure 3.17, nous représentons la structure de la figure 3.10 avec les capacités parasites inhérentes. L'impédance de sortie du LNTA doit être grande pour assurer une bonne alimentation en mode courant du système. Elle est également représentée comme capacité parasite. Nous pouvons par calcul de la capacité parasite équivalente nous ramener au schéma de la figure suivante :

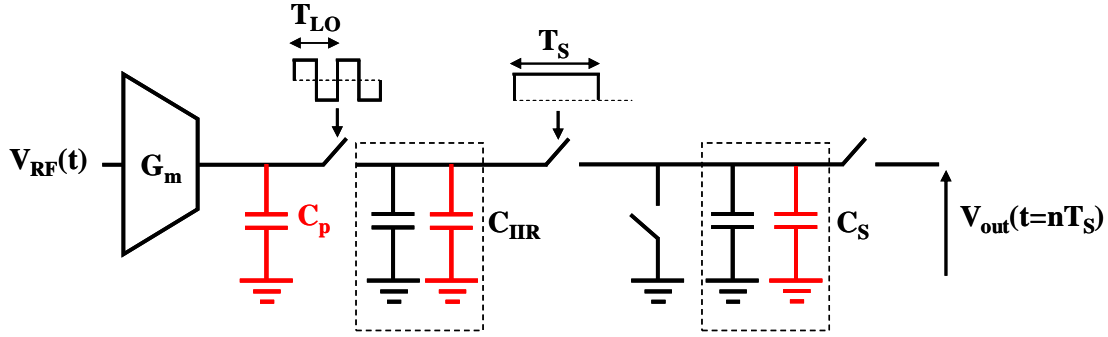


Fig. 3.18 : Structure de l'architecture échantillonnée avec les composantes parasites

Sur la figure 3.18, nous nous retrouvons avec trois composantes parasites : la capacité parasite avant le mélangeur (C_p), la capacité parasite après le mélangeur en parallèle avec C_{IR} (C_{pIR}) et la capacité parasite en parallèle avec C_S (C_{pS}). Nous allons maintenant étudier l'impact de ces trois composantes sur les performances de base de l'architecture échantillonnée.

1. Capacité parasite de C_S

Commençons par la capacité C_{pS} en parallèle avec C_S et qui vient augmenter la valeur de cette dernière. Sur le principe de fonctionnement, la valeur de la capacité d'échantillonnage n'a pas d'importance, mais d'après Eq. 3.4, nous savons que le gain total du système est inversement proportionnel à C_S et par conséquent l'augmentation de C_S induit directement une diminution du gain. Il est donc clair que toute capacité parasite (quelle que soit son origine) qui s'ajoute à la capacité d'échantillonnage C_S cause une chute du gain global de la chaîne de réception. Prenons l'exemple d'un système échantillonné fonctionnant avec les valeurs suivantes : $G_m = 100 \text{ mS}$, $T_S = 100 \text{ MHz}$ et $C_S = 100 \text{ fF}$. Calculons le gain idéal de ce système ainsi que le gain avec une capacité parasite C_{pS} de 12 fF seulement (environ 10%). D'après Eq. 3.11 nous pouvons calculer l'atténuation due aux parasites et nous obtenons $A = 20\log_{10}[G_0/G_p] \approx 1\text{dB}$. On remarque que 12 fF de parasites peuvent générer 1 dB de perte de gain. Cette valeur (environ 10% de la valeur utile) est atteinte facilement sur une implémentation de capacité en technologie CMOS, surtout dans le cadre d'une structure similaire à celle représentée sur la figure 3.17 où les capacités de jonctions des interrupteurs MOS augmentent la valeur de la capacité parasite totale. Cette perte de gain due à C_{pS} doit être estimée pendant la phase de conception de tout système de réception basé sur l'architecture échantillonnée. Le gain est donc donné par 2 paramètres technologiquement indépendants et sa dispersion peut s'avérer critique si nous sommes dans un cas où le G_m du LNTA est minimal et la capacité maximale.

2. Capacité parasite de C_{IR}

La capacité C_{pIR} est en parallèle avec la capacité C_{IR} du filtre de canal. Dans la mesure où C_{IR} reste grande par rapport à C_{pIR} , nous pouvons négliger l'effet de cette dernière sur les

performances du système. Nous avons vu dans le paragraphe précédent que c'est le rapport C_{IIR}/C_S qui détermine la fréquence de coupure du filtre de canal. En général, C_{IIR} est au minimum 10 fois plus grande que C_S (pour réaliser la partie analogique du filtrage canal), donc si nous prenons le cas de l'exemple précédent avec $C_S = 100$ fF nous aurons une valeur minimum de 1 pF pour C_{IIR} . Selon la valeur de C_{pIIR} , l'augmentation de C_{IIR} due à C_{pIIR} est négligeable ou non et donc la fréquence de coupure du filtre IIR est fixe ou non. Par conséquent, l'estimation de C_{pIIR} pendant la phase de conception du système est importante pour s'assurer que le filtre de canal est précis en termes de fréquence de coupure.

3. Capacité parasite de la partie RF

La dernière capacité à étudier, C_p , qui se trouve avant le mélangeur, est la résultante de toutes les capacités parasites se trouvant entre le LNTA et le mélangeur. Elle englobe, entre autres, les capacités de jonctions des transistors du mélangeur et la capacité de sortie du LNTA. C_p a une importance particulière parce qu'elle se trouve avant le mélangeur donc dans la partie RF de la chaîne de réception. En effet, le courant du LNTA se divise pour charger C_p en plus des capacités utiles C_{IIR} et C_S créant ainsi une perte de gain non négligeable. Cette opération de charge existe systématiquement à chaque phase d'intégration d'un nouvel échantillon. Le gain du système est directement lié à la quantité de charges débitée sur la structure [$C_{IIR} + C_S$]. Le taux de perte est lié aux valeurs des trois capacités en question ainsi qu'au gain de transconductance G_m . De plus, à chaque commutation du mélangeur les charges contenues sur C_p se redistribuent dans la structure utile ($C_{IIR} + C_S$) à cause de l'inversion de polarité à ses bornes. Cette redistribution de charges qui a lieu à la fréquence du mélangeur change la valeur de l'échantillon intégré sur la capacité utile C_S . Au cours d'une période T_S le mélangeur commute N fois créant ainsi N redistributions de charges entre les trois capacités C_p , C_{IIR} et C_S . La valeur des échantillons est donc changée et le gain effectif du système ne correspond plus au gain d'intégration de l'Eq. 3.11. D'autre part, la redistribution des charges impacte aussi les fonctions de transfert des filtres IIR et SinC. Le partage des charges ne correspond plus au rapport des capacités C_{IIR} et C_S et donc le filtrage de canal devient différent. De même, la fonction SinC ne passe plus par des zéros théoriques à tous les multiples de F_S , l'atténuation est moindre pour les signaux alias et donc la capacité d'anti-repliement est atténuée. Nous verrons dans le chapitre suivant la modélisation détaillée de ce phénomène de redistribution de charges inhérent à notre structure, mais pour l'instant, nous nous contentons de montrer l'origine des limitations qui en découlent au niveau des performances de l'architecture.

En conclusion, toutes les capacités parasites impactent les performances du système : le gain et les deux fonctions de filtrage. Cependant il est clair que C_p contribue plus que tout autre effet parasite à la diminution des trois performances précédentes.

B. L'injection de charges

L'injection de charges, phénomène caractéristique des circuits à base de capacités commutées [44 sheu], est un point critique de la solution. Le signal analogique est échantillonné directement après le LNA. Les charges injectées par les différents transistors de la structure (y compris ceux du mélangeur) contribuent au bilan de bruit total de la chaîne. Si ce bruit d'injection n'est pas négligeable et s'il n'est pas estimé pendant la phase de conception, nous risquons de sous-estimer la contribution de bruit total dans la chaîne. Pour cela, une étude de l'impact à l'échelle système de l'injection de charges a été réalisée pour la 1^{ère} fois. Egalement, une étude de l'évolution de l'injection de charge en fonction de la technologie CMOS a été réalisée.

Chapitre 4

I. Effet de l'injection de charges

A. Contexte

Les imperfections liées à la technologie de fabrication font que le transistor MOS ne pourra jamais fonctionner comme un interrupteur idéal, c.à.d : une résistance nulle à l'état « ON », une résistance infinie à l'état « OFF », un temps de commutation nul et des capacités parasites négligeables. En réalité, en régime linéaire, le transistor possède des capacités parasites non négligeables (paragraphe I.D du chapitre 2), une conductance de sortie qui n'est pas infinie en phase de conduction ni nulle en phase de blocage. De plus, aucun circuit numérique n'est capable de générer des signaux avec des fronts montants et descendants de durée nulle pour commander la grille du transistor. L'imperfection va même au-delà, car pendant les phases de transitions entre les deux états « ON » et « OFF », d'autres effets parasites viennent affecter la précision et les valeurs des signaux échantillonnés, i.e., l'injection de charges et le « clock feedthrough » [101 Suarez].

L'injection de charges est un problème caractéristique de tous les circuits échantillonnés, elle a été abordée depuis les premières publications sur les circuits à base de capacités commutées [101 Suarez]. Il est à l'origine d'une tension d'erreur qui s'ajoute à la valeur échantillonnée initialement. Plusieurs modèles ont été élaborés, dans la littérature, afin d'estimer l'amplitude de l'erreur d'injection [102 Sheu], [103 Gu], [104 Ding] et [105 Wegmann]. Tous ces modèles traitent le problème d'injection de charges à l'échelle du transistor dans le cas de l'échantillonneur bloqueur (S&H). Jusqu'à présent, ces modèles ont permis de calculer l'erreur d'injection et de savoir sa dépendance vis-à-vis des paramètres de la technologie de fabrication et du circuit en question. Plusieurs solutions ont été proposées pour minimiser l'effet d'injection de charges [106 Eichenberger] et [107 Lee] au prix d'une complexité accrue au niveau du circuit. Cependant, aucune solution actuelle ne permet de s'en affranchir définitivement, l'erreur due à l'injection de charges demeure dans les circuits échantillonnés.

Dans cette partie du travail de thèse, notre objectif est de quantifier l'impact de l'injection de charges sur les performances de l'architecture échantillonnée de réception radio. Pour cela, notre étude portera sur l'impact à l'échelle « circuit » et ensuite « système ».

On peut résumer les objectifs de cette partie par les points suivants :

- Etablir un modèle du transistor en régime linéaire, avec le moins d'approximations possible, afin de calculer l'erreur d'injection avec une bonne précision. Ce modèle sera utilisé pour simuler l'impact de l'injection de charges pendant la phase de conception des circuits à base de capacités commutées, avec un gain de temps important par rapport au modèle complet du transistor MOS.
- Quantifier l'impact de l'erreur d'injection à l'échelle de plusieurs fonctions de l'architecture échantillonnée : gain, filtrages anti-repliement et sélection de canal.
- Etudier l'évolution de l'erreur d'injection en fonction de la technologie CMOS.

B. Définition de l'injection de charges

1. Echantillonnage d'un signal

Le circuit le plus basique qui permet de réaliser une opération d'échantillonnage est l'échantillonneur bloqueur (S&H). Il a toujours servi de base à l'étude de l'injection de

charges dans les circuits à capacités commutées. En général, le S&H est constitué d'une source de tension V_S , d'un transistor et d'une capacité C_L dont la tension représente le signal échantillonné (Fig. 4.1). Dans ce circuit élémentaire, le transistor réalise la fonction de commutation entre deux états *ON* (charge) et *OFF* (échantillonnage). Ici, nous prenons le cas d'un S&H à transistor NMOS.

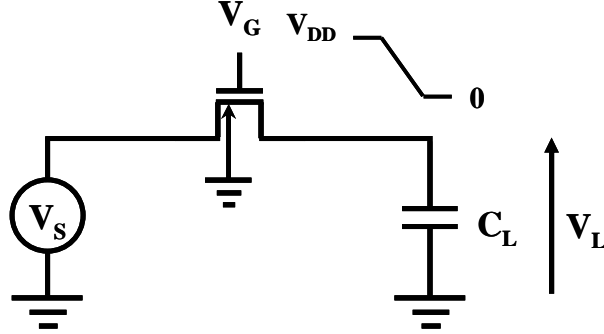


Fig. 4.1 : Schéma de base de l'échantillonneur bloqueur

Origine : Lorsqu'un transistor MOS passe de l'état *ON* à l'état *OFF*, la tension de polarisation de la grille (V_G) change brusquement d'une valeur égale à V_{DD} . La grille perd alors tout contrôle sur les charges dans le canal qui se libèrent à travers le drain, la source et le substrat. La quantité de charges libérée du côté drain (Fig. 4.1) crée sur la capacité d'échantillonnage C_L une certaine tension d'erreur : c'est l'erreur due à l'« injection de charges ». Pour les transistors à canaux courts (ce qui est le cas dans les systèmes à base de capacités commutées), la fuite de charges mobiles vers le substrat peut être négligée d'après [105 Wegmann]. Ainsi, la disparition du champ électrique de la grille entraîne la libération de la quantité de charges Q_{canal} (Eq. 4.1 [108 Razavi]) qui se trouve dans le canal d'inversion du transistor et qui se répartit entre le drain et la source.

$$\begin{aligned} Q_{\text{canal}} &= WLC_{\text{ox}}(V_{GS} - V_T) \\ &= WLC_{\text{ox}}(V_{DD} - V_S - V_T) \quad [\text{NMOS}] \quad (\text{Eq. 4.1}) \end{aligned}$$

C_{ox} et V_T sont respectivement la capacité d'oxyde de grille par unité de surface et la tension de seuil. D'après Eq. 4.1, la quantité de charges libérée dépend du signal d'entrée (V_S) et est par conséquent variable en fonction du temps. De plus, en raison de l'inversion de polarité à leurs bornes, une redistribution de la charge emmagasinée dans les capacités de recouvrement (C_{ov}) du transistor a lieu. Une deuxième tension d'erreur vient s'ajouter à la première. Elle est connue sous le nom de « Clock feedthrough ». En première approximation, on estime [108 Razavi] cette deuxième erreur à :

$$\Delta V = V_{DD} \times \frac{C_{\text{ov}}}{C_{\text{ov}} + C_L} \quad (\text{Eq. 4.2})$$

Tout au long de ce manuscrit nous adopterons une nomenclature unifiée en regroupant sous le nom d'injection de charges les deux phénomènes précédents.

En conclusion, entre t_0 , l'instant où commence la commutation *ON* \rightarrow *OFF*, et $(t_0 + t_d)$ l'instant où elle s'achève, une certaine quantité de charges Q_{inj} est injectée sur la capacité d'échantillonnage C_L . Cette charge injectée ajoute une erreur V_{inj} à la valeur initiale de la tension échantillonnée :

$$V_L(t_0 + t_d) = V_L(t_d) + V_{\text{inj}} \quad (\text{Eq. 4.3})$$

Dans le cas où la commutation est faite par un transistor NMOS, l'erreur d'injection est toujours négative [102 Sheu], et à la fin d'une période d'échantillonnage, la tension sur C_L est inférieure à la valeur de l'échantillon initiale. Dans le cas d'un PMOS, une erreur positive s'ajoute à la valeur de l'échantillon.

L'erreur d'injection est donc inhérente à tout système fonctionnant avec des transistors en commutation et fait partie de l'imperfection des interrupteurs MOS. Elle dépend des paramètres de la technologie de fabrication mais aussi des paramètres du circuit en question. En réalité, V_{inj} est sensible à l'amplitude et à la fréquence du signal d'entrée, au rapport entre les capacités totales du côté drain et source, à la résistance de l'interrupteur MOS à l'état ON et à la vitesse de commutation de l'horloge appliquée à la grille [78 ENZ].

2. Modélisation de l'injection de charges dans la littérature

Dans la littérature, il existe des méthodes d'estimation de l'erreur d'injection qui sont basées sur des études de l'échantillonneur bloqueur S&H [102 Sheu], [105 Wegmann]. Par exemple, [102 Sheu] propose de dériver un modèle mathématique de V_{inj} à partir des caractéristiques de base du transistor MOS. Ce modèle a conduit à une expression analytique approchée de l'erreur d'injection donnée par la relation suivante :

$$V_{inj} = -\sqrt{\frac{\pi U C_L}{2\beta}} \cdot \left(\frac{C_{ov} + \frac{C_{ox}}{2}}{C_L} \right) \cdot \text{erf} \left(V_{HT} \sqrt{\frac{\beta}{2UC_L}} \right) - \frac{C_{ov}}{C_L} (V_S + V_T - V_L)$$

$$\text{erf}(x) = \frac{2}{\sqrt{\pi}} \int_0^x e^{-t^2} dt, \quad \beta = \mu C'_{ox} \frac{W}{L}, \quad V_{HT} = V_H - V_S - V_T \quad (\text{Eq. 4.4})$$

avec $V_{HT} = V_H - V_S - V_T$, $V_H = V_{DD}$ et $V_L = 0$ pour un transistor NMOS.

U désigne la vitesse de commutation de l'horloge qui commande la grille du transistor, C_{ov} la capacité de recouvrement du MOS, C_L la capacité d'échantillonnage et V_T la tension de seuil du transistor. Notons que dans Eq. 4.4 on considère V_T constante, ce qui n'est pas forcément vrai. En effet, la tension de seuil est modulée par la tension source-substrat V_{BS} , ce qui est source de non-linéarité dans la valeur de l'erreur d'injection. De plus, le modèle de [102 Sheu] peut s'avérer utile si on souhaite étudier les variations de V_{inj} en fonction de la technologie de fabrication (longueur, épaisseur d'oxyde, tension de seuil du transistor) et d'autres paramètres du circuit en question (amplitude du signal, vitesse de commutation).

[105 Wegmann] propose une approche différente pour estimer l'erreur d'injection, elle consiste à dériver un modèle électrique équivalent du transistor (Fig. 4.2) à partir de l'équation de continuité du flux de charges dans le canal [109 Sze].

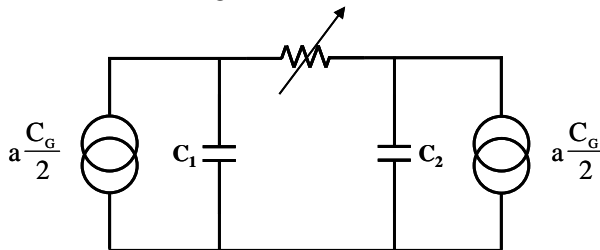


Fig. 4.2 : Modèle d'injection du transistor selon [105 Wegmann]

Le modèle contient deux sources de courant symétriques de valeurs égales et proportionnelles à la capacité de grille C_G (les charges injectés sont fournies par ces deux éléments), deux capacités C_1 et C_2 qui modélisent les capacités parasites et de recouvrement de chaque côté du canal et une conductance variable $g_{DS}(V_{GS})$ qui sépare l'entrée de la sortie. Ce modèle possède plusieurs avantages : il permet de voir l'effet de la capacité parasite en amont du transistor ; il modélise précisément la commutation du transistor grâce à une résistance variable en fonction de V_G . Cependant, des simulations électriques ou calculs de schémas électriques sont nécessaires pour estimer l'erreur d'injection et étudier ses variations en fonction de la technologie et des paramètres du circuit.

Les deux modèles décrits précédemment permettent de quantifier l'erreur d'injection de façon précise et de nous faire comprendre ses variations en fonction de la technologie : [102 Sheu] par un calcul mathématique et [105 Wegmann] par des simulations électriques. Cependant, ils restent spécifiques du circuit étudié, le S&H, et ne peuvent pas être étendus directement à des cas de circuits complexes, i.e., les filtres à capacités commutées.

Dans le cadre de ce travail de thèse, nous nous intéressons plus à l'impact de l'injection de charges sur la performance d'un système complet, i.e., un récepteur radio basé sur l'architecture échantillonnée. Pour cela, nous cherchons un modèle simple et précis, capable de quantifier les différentes erreurs d'injection introduites par les structures à capacités commutées de notre récepteur. Egalement, ce modèle sera utilisé dans des simulations « préliminaires » pour en déduire l'impact de l'injection de charges sur les performances de notre architecture de réception. Ces simulations permettent de gagner un temps par rapport aux simulations électriques classiques avec des modèles de type SPICE. Une fois quantifiée, l'erreur d'injection sera introduite dans les simulations « système » du récepteur pour que son impact soit pris en compte avec les autres contributions de bruit et de non-linéarité d'un récepteur radio classique.

Au paragraphe III, nous introduisons notre propre modèle de calcul de l'erreur d'injection et nous expliquons en détails les hypothèses et les conditions dans lesquelles il a été construit.

3. L'injection de charges en mode différentiel

Le S&H de la figure 4.1 est une structure « single-ended ». Il est important pour nous d'estimer l'ampleur de l'injection de charges sur une structure différentielle car une bonne majorité des récepteurs radio actuels est basée sur des architectures complètement différentielles.

En se basant sur l'étude de [102 Sheu], nous avons démontré mathématiquement (les calculs sont détaillés en annexe II) que l'erreur d'injection due au « Clock Feedthrough » pour le S&H différentiel (Fig. 4.3) est nulle :

$$V_{clock_feedthrough,diff} = 0 \quad (Eq. 4.5)$$

Les structures différentielles annulent donc l'erreur due au « Clock Feedthrough », elles sont donc moins touchées par l'injection de charges que leur homologues « single-ended ». Pour évaluer le gain réel obtenu avec les structures différentielles, nous avons fait des simulations sur les deux structures d'échantillonneur bloqueur représentées sur la figure 4.3.

Les interrupteurs utilisés sont des transistors NMOS de la technologie CMOS 90nm de longueur $L_1 = 0.1\mu\text{m}$ et de largeur $W_1 = 10\mu\text{m}$.

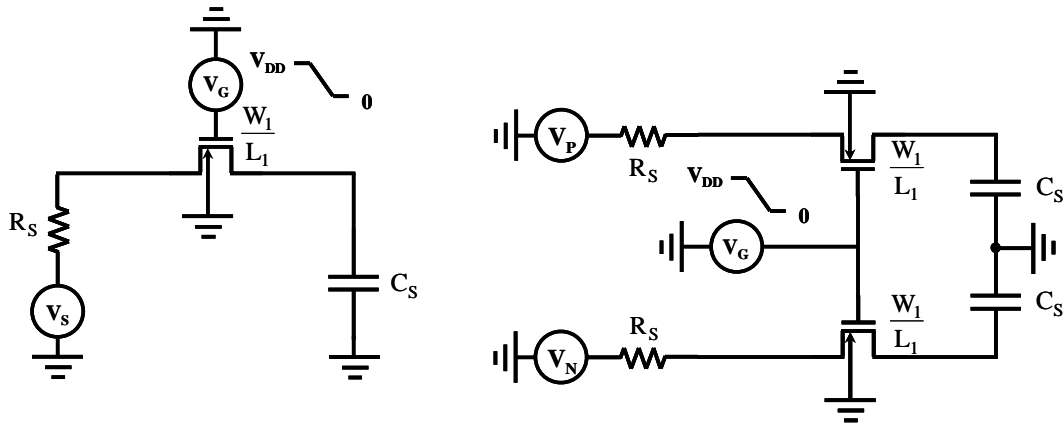


Fig. 4.3 : Structures « single-ended » et différentielle de l'échantillonneur bloqueur

Les résultats obtenus montrent que l'erreur d'injection dans les structures différentielles est toujours inférieure à celle des structures « single-ended » et ce pour plusieurs vitesses de commutation U et plusieurs capacités C_L (Fig. 4.4) :

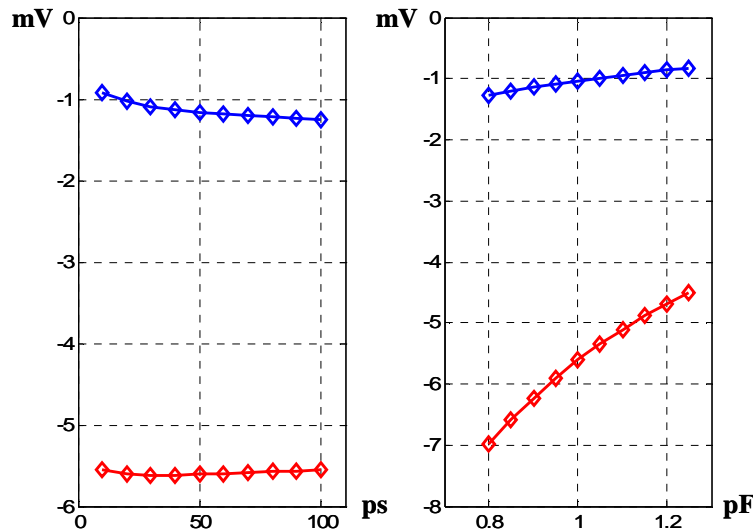


Fig. 4.4 : Erreur d'injection dans un S&H « single-ended » et différentiel

D'après la figure 4.4, l'erreur d'injection différentielle est 14dB au-dessous de celle obtenue avec un S&H « single-ended » dans le cas de l'exemple précédent. De plus, la figure 4.4 nous permet de déduire que $V_{inj,diff}$ est inversement proportionnelle à la vitesse de commutation du transistor U et à la capacité d'échantillonnage C_L .

Un concepteur de circuits à base de capacités commutées peut donc utiliser les structures différentielles pour diminuer considérablement l'erreur due à l'injection de charges. Or en pratique, il existe toujours une disparité entre les deux voies d'une structure différentielle. Cette disparité technologique est inhérente à la fabrication et touche aussi bien les composants passifs que actifs. De plus, la disparité augmente quand les composants ont des petites tailles, ce qui est souvent le cas dans les circuits à base de capacités commutées (L_{min}). Pour quantifier l'effet de la disparité sur la robustesse des structures différentielles aux injections de charges, nous avons fait des simulations du S&H différentiel dans des conditions extrêmes

de disparité technologique. Les résultats sont regroupés sur la figure 4.5 : un écart-type de 53% de la valeur moyenne a été obtenu sur 1000 simulations en Monte-Carlo :

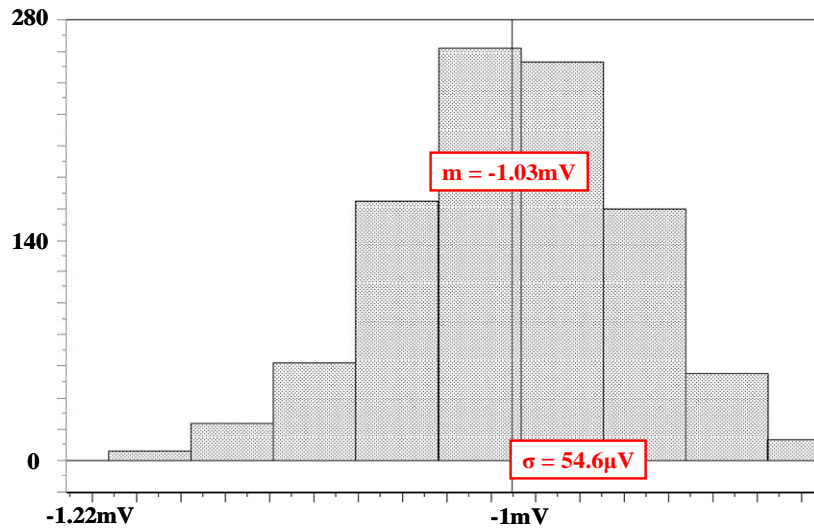


Fig. 4.5 : Erreur d'injection dans un S&H différentiel en présence de disparité

En conclusion, les structures différentielles sont plus immunes aux injections de charges que leurs homologues « single-ended », même en cas de forte disparité entre les voies.

4. Les techniques de réduction de l'erreur d'injection

L'injection de charges, comme nous venons de le voir, est un problème inhérent à toute structure analogique basée sur les interrupteurs MOS, i.e., filtres à capacités commutées, échantillonneur-bloqueur, convertisseurs analogique-numérique et autres circuits. Leur abondante utilisation en microélectronique a poussé les concepteurs à chercher des solutions qui permettent de minimiser l'injection de charges. Parmi les solutions les plus répandues, on trouve : les structures différentielles, les interrupteurs CMOS, l'échantillonnage en « bottom-plate » et les transistors « dummies ». Dans les paragraphes suivants, nous développons ces solutions et nous montrons les inconvénients et les avantages respectifs de chacune.

Les structures différentielles

Dans le paragraphe précédent nous avons vu que les circuits différentiels sont moins sensibles aux injections de charges (théoriquement et par simulations électriques). Ainsi, l'utilisation de structures différentielles est une technique de conception directe qui permet de réduire l'injection de charges et qui ne nécessite aucune complexité supplémentaire. Le seul point critique est la disparité entre les deux voies, inconvénient que le concepteur peut minimiser en prenant de bons choix d'implémentation sur le dessin de masques.

Les interrupteurs CMOS

Les interrupteurs CMOS sont constitués de deux transistors N et PMOS montés en parallèle et dont les grilles sont commandées par des horloges complémentaires. L'utilisation de ce type d'interrupteur permet de réduire l'erreur d'injection. En effet, les charges injectées par le transistor NMOS sur la capacité d'échantillonnage C_L du S&H sont récupérées par le transistor PMOS lors de la disparition de son canal d'inversion (formé par des trous). Bien

évidemment, cela suppose un parfait appariement de taille entre les transistors. La condition d’annulation de charge est donnée par la relation suivante [108 Razavi] :

$$W_N L_N C_{ox} (V_{DD} - V_S - V_{TN}) = W_P L_P C_{ox} (V_S - |V_{TP}|) \quad (\text{Eq. 4.6})$$

L’équation Eq. 4.6 nous montre que l’annulation de la charge injectée ne se fait que pour une seule valeur de V_S . De plus, les capacités de recouvrement de deux transistors N et PMOS de même taille ne sont pas égales, ce qui ne permet pas d’annuler l’erreur d’injection due au « Clock feedthrough ». En réalité, les interrupteurs CMOS ne sont que très rarement utilisés pour réduire l’erreur d’injection.

L’échantillonnage en « bottom-plate »

Cette technique de réduction de l’erreur d’injection est basée sur le principe suivant : à défaut de pouvoir éliminer le problème, il est préférable de le contrôler. Nous savons que l’injection de charges dépend du niveau du signal d’entrée et que cela est source de non-linéarité dans le circuit. Pour remédier à cela, la technique d’échantillonnage en « bottom-plate » a été introduite, le schéma fonctionnel est représenté sur la figure 4.6 :

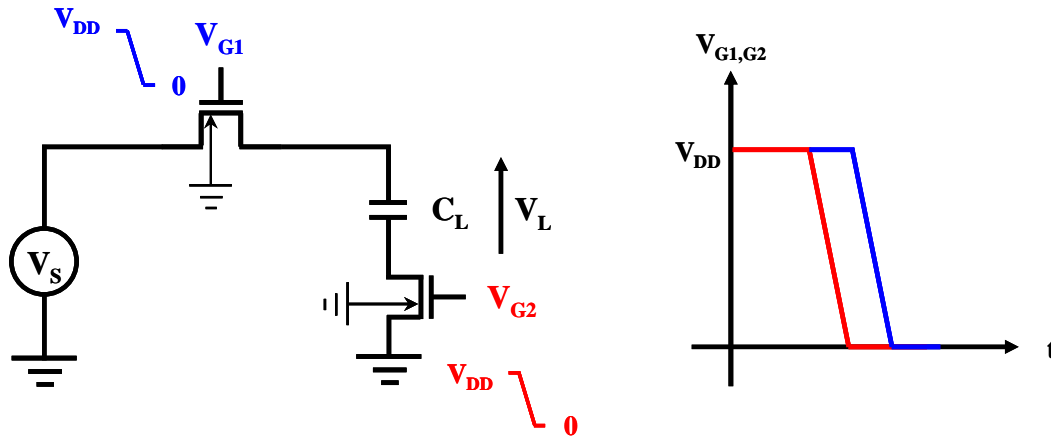


Fig. 4.6 : S&H utilisant la technique de l’échantillonnage en « bottom-plate »

Un deuxième interrupteur MOS est ajouté du côté de l’armature basse de la capacité C_L (« bottom-plate »). L’idée est d’arrêter l’opération d’échantillonnage avec ce 2^{ème} interrupteur ; la charge injectée est alors indépendante du signal d’entrée et ne dépend que d’un potentiel fixe (mode-commun ou masse). Les horloges qui commandent les grilles des deux transistors sont légèrement déphasées : V_{G2} change de niveau juste avant V_{G1} comme le montre la courbe de la figure 4.6. Ainsi, quel que soit l’instant d’échantillonnage, l’erreur d’injection est constante. La technique du « bottom-plate sampling » est largement utilisée dans toutes les applications à base de capacités commutées pour casser la dépendance entre l’erreur d’injection et le niveau du signal en entrée.

Les transistors Dummies

L’idée de base de cette technique est d’ajouter un composant qui absorbe la quantité de charges injectée par l’interrupteur d’échantillonnage. Un transistor MOS de même type peut être utilisé (Fig. 4.7). Ce deuxième transistor, qu’on appelle « dummy », est commandé sur sa

grille par une horloge opposée à celle qui commande le transistor d'échantillonnage et est connecté en mode « capacité » (drain et source à V_L).

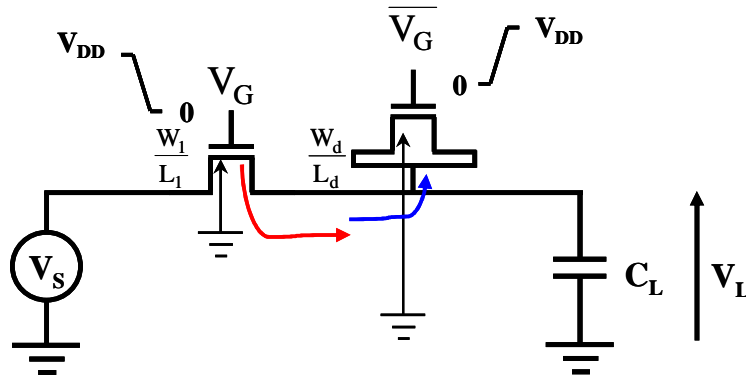


Fig. 4.7 : S&H avec compensation à base de transistor « dummy »

La quantité de charges éventuellement injectée par ce dernier est récupérée par le « dummy » pour créer son propre canal d'inversion. Bien que rien ne garanti l'équi-répartition de la charge du canal entre le drain et la source, les dimensions physiques du dispositif de compensation son souvent choisies tel que :

$$L_d = L_1$$

$$W_d = \frac{W_1}{2}$$

Ce choix permet de compenser le « Clock feedthrough » en présentant les deux capacités de recouvrement du transistor « dummy » à un potentiel opposé à celui de la capacité de recouvrement du transistor d'échantillonnage (Fig. 4.8).

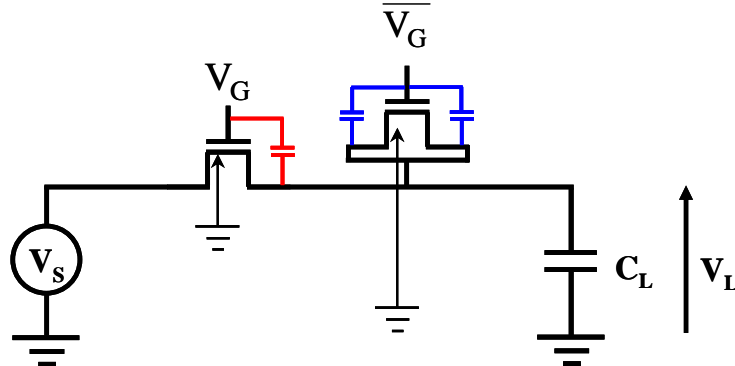


Fig. 4.8 : Annulation de l'erreur de « Clock feedthrough » avec le transistor « dummy »

[106 Eichenberger] montre que l'instant de commutation du dispositif « dummy » peut être décalé judicieusement pour améliorer la performance de ce dispositif de correction.

C. Modélisation du transistor

Bien que le phénomène d'injection de charges soit connu depuis les premiers circuits à base de capacités commutées, la simulation de la quantité de charges réellement injectée dans un

circuit donné a toujours était difficile. Cela est dû à l'imprécision des modèles électriques de conservation de charges, à la mauvaise estimation et au mauvais partitionnement de la quantité de charge effective se trouvant dans le canal du transistor MOS [78 Enz].

Le simulateur Eldo de Mentor Graphics utilise des modèles complexes de type SPICE (comme BSIM et PSP) ainsi que des modèles qui lui sont propres. Par exemple, pour les simulations de systèmes échantillonnés, Eldo fait les calculs en respectant le principe de conservation de la charge électrique [110 Mentor Graphics]. Ce principe est vrai dans les simulations « transitoires » où le simulateur calcule à chaque instant les valeurs des courants et des tensions sur toutes les branches et tous les nœuds du circuit. Pour cela, Eldo est bien adapté aux simulations des circuits à capacités commutées.

Dans le paragraphe suivant, nous montrons comment nous construisons notre propre modèle d'estimation de l'erreur d'injection. De plus, nous montrons l'utilité de notre modèle pour l'étude de portabilité que nous menons dans le cadre de ce travail de thèse sur l'architecture échantillonnée de réception radio.

1. Construction du modèle

Dans un transistor MOS, la capacité totale vu par la grille C_{GG} est égale à la somme des deux capacités de recouvrement C_{ov} d'une part et de la capacité équivalente entre la grille et le substrat d'autre part. Cette dernière est constituée de la capacité d'oxyde constante (C_{ox}) en série avec la capacité du semi-conducteur (C_i) qui se forme exponentiellement en fonction de la tension grille-source V_{GS} [111 Van Zeghbroeck]. A faibles valeurs de V_{GS} (respectivement fortes) c'est C_i (respectivement C_{ox}) qui domine la valeur de la capacité équivalente entre la grille et le substrat.

Les modèles [102 Sheu], [105 Wegmann] calculent l'erreur d'injection due aux charges du canal par l'intermédiaire de la capacité d'oxyde C_{ox} et l'erreur d'injection due au « Clock feedthrough » par la capacité de recouvrement C_{ov} . Notre approche consiste à construire un modèle électrique de l'interrupteur MOS qui prend en compte de manière précise la commutation et les différentes capacités qui contribuent à l'injection de charges. Le modèle doit être simple et précis à la fois pour pouvoir l'utiliser dans les circuits où le transistor MOS fonctionne comme un interrupteur. Le modèle nous servira ainsi pour quantifier l'impact de l'injection de charges sur les performances des structures qui constituent l'architecture échantillonnée de réception radio.

Dans cette perspective, nous avons bâti un modèle basé sur le composant prédéfini « SwitchEldo » de la librairie de composants *mglib* de Mentor Graphics. SwitchEldo est un interrupteur électrique qui approxime la courbe $g_{ds}(V_{GS})$ d'un transistor MOS par morceaux et prend en compte les capacités de recouvrement et de jonctions de part et d'autre du canal. La figure 4.9 montre le schéma électrique de l'interrupteur SwitchEldo :

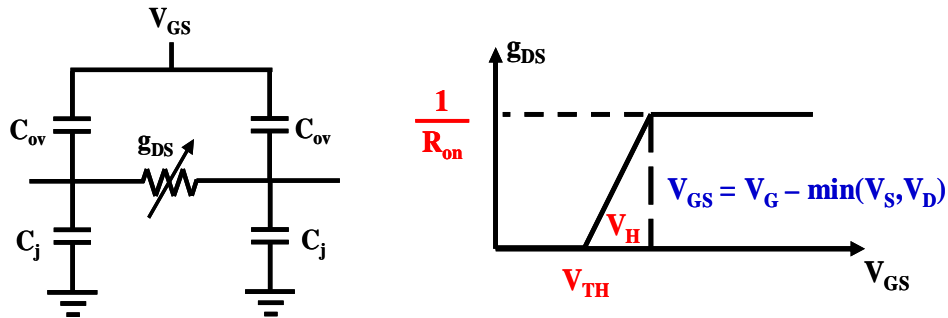


Fig. 4.9 : Circuit et modèle électriques du composant prédéfini « SwitchEldo »

V_{TH} représente la tension de seuil de l'interrupteur, V_H la tension de transition entre les deux états ON et OFF, R_{on} la valeur de la résistance à l'état ON, C_{ov} et C_j les capacités de recouvrement et de jonction symétriques de part et d'autre du canal. Cette symétrie est vraie en régime de fonctionnement linéaire du transistor MOS car $V_{DS} \approx 0$. Les capacités de jonctions et la capacité variable du semi-conducteur ne jouent pas un rôle dans l'injection de charges puisqu'elles ne forment pas un chemin direct entre le canal et le drain. Leur présence dans le modèle n'est pas indispensable même si elles permettent d'affiner la modélisation du comportement en interrupteur du transistor MOS.

Pour modéliser les deux phénomènes qui génèrent les erreurs d'injection, il suffit d'ajouter la capacité d'oxyde sur le composant SwitchEldo. Cette capacité doit modéliser la création de la charge dans le canal du MOS comme le montre Eq. 4.1. La répartition de C_{ox} à moitié entre le drain et la source de l'interrupteur est vraie en régime de fonctionnement linéaire du transistor [102 Sheu]. Au final, l'interrupteur ressemble alors au schéma de la figure 4.10 :

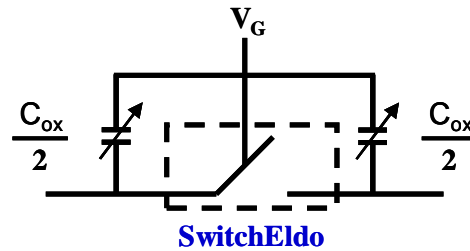


Fig. 4.10 : Circuit complet de notre modèle d'injection avec « SwitchEldo » intégré

Les deux éléments capacitifs qui représentent C_{ox} ne doivent être activés que si la condition de conduction est vraie : $V_{GS} > V_T$. Ils représentent donc dans le modèle des capacités programmables.

Notre modèle est donc construit autour de cinq paramètres : V_T , V_H , R_{on} , C_{ov} et C_{ox} . Les paramètres précédents dépendent du transistor que nous cherchons à modéliser. Leur estimation nécessite une simulation de paramètres Y sur la structure de la figure 4.11 :

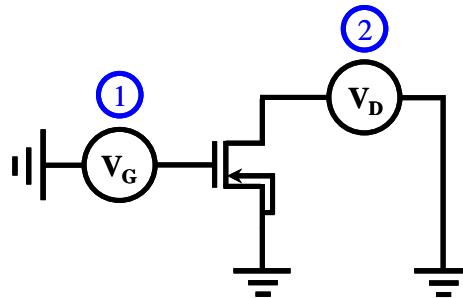


Fig. 4.11 : Circuit de simulation pour l'extraction des paramètres-Y du transistor

Le circuit de la figure 4.11 est simulé en petit-signal (simulation AC – *Y param* avec Eldo), en faisant varier la valeur DC de la source de tension sur la grille de 0 à V_{DD} . Le drain, la source et le substrat du transistor sont reliés (en DC) à la masse ($V_{GS} = V_G$, $V_{DS} = 0$, $V_{BS} = 0$). Le port 1 est du côté grille et le port 2 du côté drain. Chacun de ces ports constitue une source de puissance qui permet de faire l'étude en régime de petits signaux autour des points de polarisation que nous avons définis. Nous avons extrait les matrices de paramètres Y qui correspondent aux simulations obtenues pour les différentes valeurs de V_G (de 0 à V_{DD}). A partir des courbes $Y_{ij}(V_G)$ et grâce à l'étude de [80 Jen], nous pouvons déduire la capacité

totale vue par la grille C_{GG} , la conductance de sortie g_{DS} , la capacité totale drain-grille C_{GD} et la capacité de jonction C_{DB} :

$$\begin{aligned}
 g_{DS} &= \text{Re}(Y_{22}) \\
 C_{GD} &= -\frac{\text{Im}(Y_{12})}{\omega} \quad (\text{Eq. 4.7}) \\
 C_{GG} &= \frac{\text{Im}(Y_{11})}{\omega} \\
 C_{DB} &= \frac{\text{Im}(Y_{11})}{\omega} + \frac{\text{Im}(Y_{12})}{\omega}
 \end{aligned}$$

Les grandeurs précédentes servent à déterminer les paramètres de notre modèle d'injection [V_T , V_H , R_{on} , C_{ov} , C_{ox}] : en effet, les courbes $g_{DS}(V_G)$, $C_{GD}(V_G)$ et $C_{GG}(V_G)$ nous permettent d'extraire respectivement le triplet (V_T , V_H , R_{on}), C_{ov} et C_{ox} .

Exemple : Pour illustrer une extraction complète, nous avons pris l'exemple d'un transistor NMOS en technologie CMOS 90nm de dimensions $L = 0.1\mu\text{m}$ et $W = 10\mu\text{m}$. Les courbes de C_{GD} et C_{GG} sont représentées sur la figure 4.12 et la courbe de g_{DS} sur la figure 4.13 :

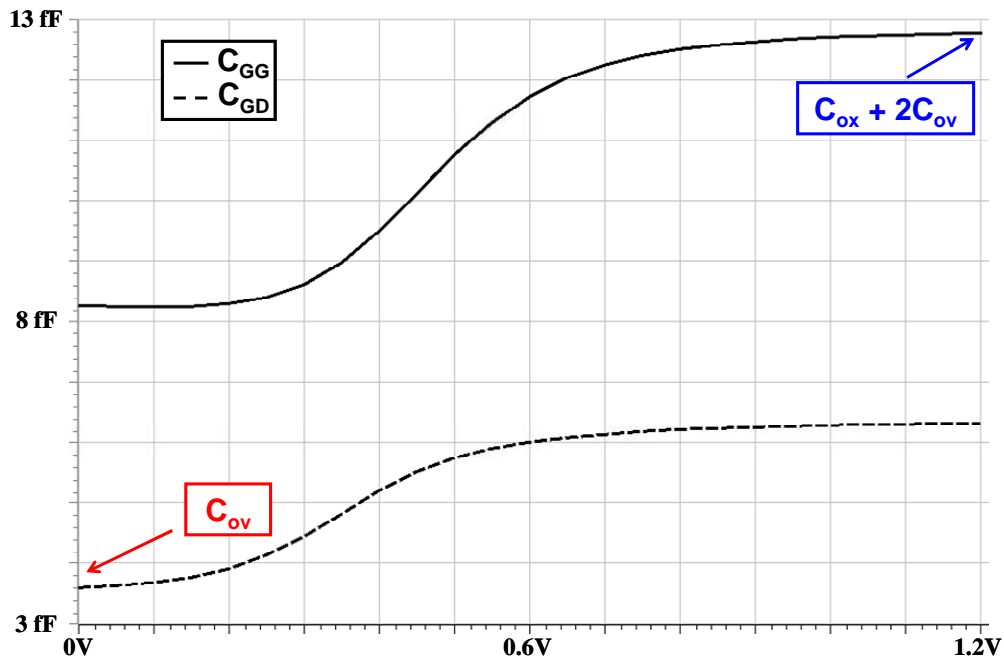


Fig. 4.12 : Extraction des capacités grille-drain et grille-grille du transistor

Nous calculons C_{ox} et C_{ov} grâce aux équations suivantes :

$$\begin{aligned}
 C_{ov} &= \text{Min}_{V_G}(C_{GD}) \\
 C_{ox} &= \text{Max}_{V_G}(C_{GG}) - 2C_{ov} \quad (\text{Eq. 4.8})
 \end{aligned}$$

Le triplet (V_T , V_H , R_{on}) est calculé en approximant la courbe $g_{ds}(V_{GS})$ par trois tronçons : un plancher à zéro qui représente la zone sous le seuil de conduction, une partie linéaire puis un

2^{ème} plancher à R_{on}^{-1} qui représente la valeur finale de la conductance de l'interrupteur MOS (à $V_G = V_{DD}$). La partie linéaire de la conductance doit passer par le point d'inflexion de g_{DS} et le point $(V_T, 0)$. Le détail de la méthode d'extraction est représenté sur la figure 4.13 :

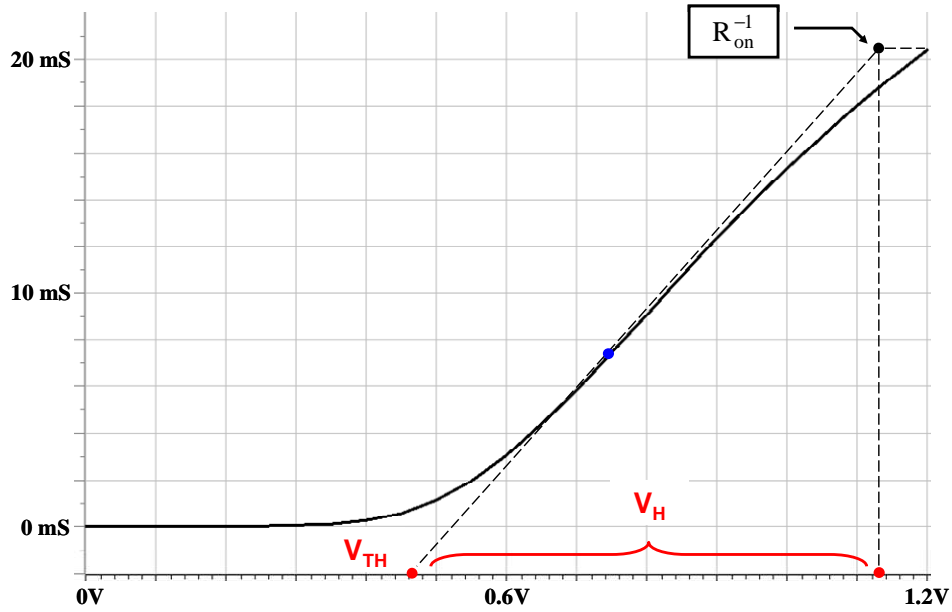


Fig. 4.13 : Extraction de la conductance de sortie du transistor

La conductance de sortie de notre modèle d'injection prend alors la forme suivante :

$$g_{DS} = \begin{cases} 0 & 0 < V_G \leq V_T \\ \alpha V_G + \beta & V_T < V_G \leq V_T + V_H \\ R_{on}^{-1} & V_T + V_H < V_G \leq V_{DD} \end{cases} \quad (\text{Eq. 4.9})$$

Et la détermination du triplet se fait suite à l'approximation précédente qui mène aux valeurs des constantes α et β définies dans l'équation Eq. 4.9 :

$$\begin{aligned} R_{on}^{-1} &= \text{Max}_{V_G} (g_{DS}) \\ V_H &= \alpha^{-1} R_{on}^{-1} \quad (\text{Eq. 4.10}) \\ V_T &= -\beta \alpha^{-1} \end{aligned}$$

2. Validation du modèle et simulations électriques

L'objectif de ce paragraphe est de tester la précision et la validité du modèle d'injection en faisant des simulations sur un S&H dans des conditions différentes de fonctionnement. Le circuit de simulation est représenté sur la figure 4.14 : c'est un S&H « single-ended » composé d'une source de tension en entrée, d'une capacité d'échantillonnage et d'un interrupteur. Nous avons défini quatre types d'interrupteurs pour nos simulations : le transistor, l'interrupteur purement résistif, l'interrupteur résistif avec capacités de jonctions et l'interrupteur du modèle d'injection.

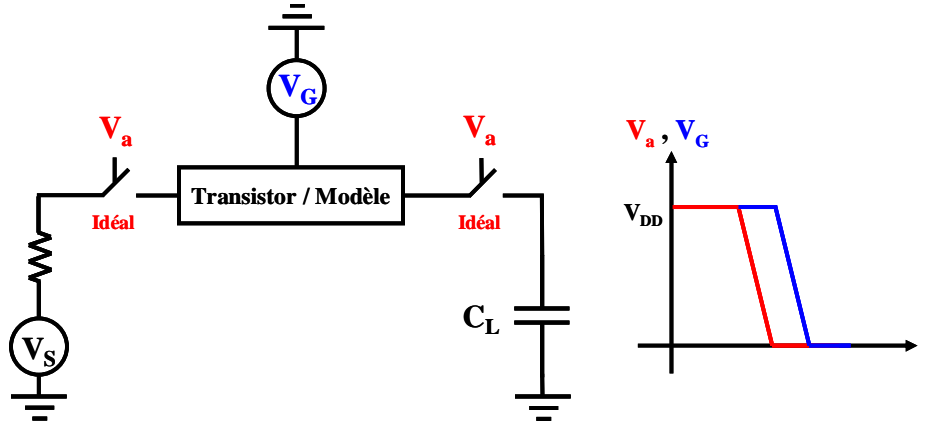


Fig. 4.14 : Circuit électrique du S&H utilisé pour la validation du modèle d'injection

Sur les tableaux 4.1 et 4.2, nous montrons les résultats obtenus en fonction de l'amplitude du signal d'entrée (V_S) et la valeur de la capacité d'échantillonnage (C_L). Les transistors sont des NMOS de la technologie CMOS 90nm de longueur $L_1 = 0.1\mu\text{m}$ et de largeur $W_1 = 10\mu\text{m}$.

	V_{in} (V) à $C_L = 1\text{pF}$				
	0.1	0.2	0.3	0.4	0.5
V_{inj} NMOS (mV)	-6	-5.8	-5.5	-5.3	-5.2
V_{inj} modèle (mV)	-6.10	-5.88	-5.56	-5.37	-5.25
ΔV_{inj} (mV)	0.1	0.08	0.06	0.07	0.05
Précision (%)	1.74	1.52	1.13	1.43	1.05

Tab. 4.1 : Estimation de l'erreur d'injection avec notre propre modèle à V_{in} variable

	C_L (pF) à $V_{in} = 0.3\text{V}$				
	0.8	0.9	1.0	1.1	1.2
V_{inj} NMOS (mV)	-7	-6.2	-5.5	-5.1	-4.7
V_{inj} modèle (mV)	-7.10	-6.27	-5.58	-5.18	-4.77
ΔV_{inj} (mV)	0.1	0.07	0.08	0.08	0.07
Précision (%)	1.5	1.13	1.46	1.58	1.64

Tab. 4.2 : Estimation de l'erreur d'injection avec notre propre modèle à C_L variable

Nous déduisons, des résultats illustrés dans les tableaux 4.1 et 4.2, que notre modèle est capable d'estimer l'erreur due à l'injection de charges avec des précisions meilleures que 2%. Le paramétrage de nos simulations a été décisif pour l'obtention de bons résultats : nous avons utilisé la simulation *Transient* de Eldo avec l'option de calcul basée sur le principe de conservation de la charge électrique qui est indispensable à l'estimation d'effets liés au mouvement des quantités de charges. De plus, le réglage des pas de calcul minimum (H_{min}) et maximum (H_{max}) a été fait pour garantir un nombre de points suffisants pendant les fronts descendants du signal d'horloge (phases où a lieu l'injection de charges) qui commande le transistor. Egalement, le simulateur utilise une constante (*EPS*) pour définir son seuil de zéro dans les calculs intermédiaires. Nous avons pris soin de prendre ce seuil à son plus bas niveau 10^{-6} . Avec de telles conditions de simulation, la précision du résultat devient suffisante. D'autre part, l'utilisation de 4 types d'interrupteurs nous a permis de bien isoler le phénomène que nous étudions du reste des effets liés à l'imperfection du transistor MOS. Typiquement, l'interrupteur résistif avec capacités de jonctions a été utilisé pour cela.

En conclusion, le modèle que nous avons construit est stable et assez précis pour estimer l'amplitude de l'erreur due à l'injection de charges dans un transistor MOS. Dans la partie suivante, nous l'utilisons pour évaluer l'impact de l'injection de charges sur l'architecture échantillonnée de réception radio.

D. Impact de l'injection de charges sur l'architecture échantillonnée

La figure 4.15 montre le schéma bloc de l'architecture échantillonnée : la structure est entièrement différentielle afin de réduire l'impact des non-linéarités d'ordre pair et du bruit. L'injection de charges intervient uniquement dans la partie constituée de capacités commutées : le mélangeur et les deux filtres représentés en bleu sur la figure 4.15.

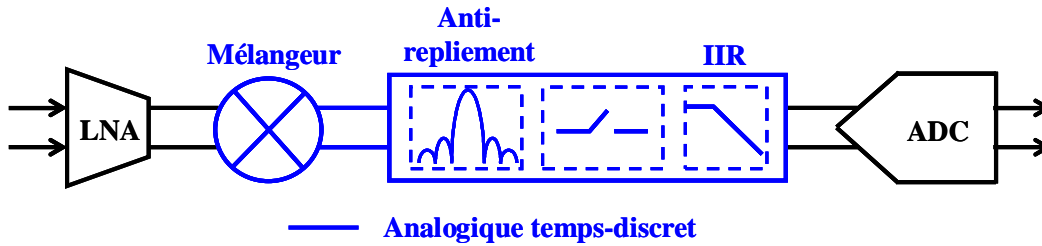


Fig. 4.15 : Schéma synoptique de l'architecture échantillonnée de réception radio utilisée

L'objectif est de quantifier l'impact de l'erreur d'injection sur les performances au niveau « système » de la partie analogique temps-discret de l'architecture échantillonnée. Cette partie contient les fonctions suivantes : le filtrage de sélection de canal, le filtrage anti-repliement et le gain global de la chaîne. Dans les paragraphes suivants, nous allons détailler les études et résultats obtenus sur ces fonctions.

1. Le filtre de sélection de canal

Le filtre de sélection de canal (IIR) de l'architecture échantillonnée a été décrit en détails au paragraphe I.D du chapitre 3. Nous savons que sa fonction de transfert peut être approximée avec une grande précision par une fonction de filtrage du 1^{er} ordre.

Pour quantifier l'impact de l'injection de charges sur la fonction de transfert du filtre IIR, le circuit de la figure 4.16 a été simulé. Afin de réduire le temps de simulation et se concentrer sur la partie analogique temps-discret uniquement, nous avons utilisé en entrée une source RF idéale avec une impédance d'entrée de 50Ω et une impédance de sortie qui correspond à celle du LNA de notre architecture (Fig. 4.16). La méthode de simulation consiste à envoyer un « peigne » de signaux sinusoïdaux à l'entrée et de calculer ensuite le spectre de la tension sur la capacité C_{IIR} (V_{IIR}). La simulation transitoire de Eldo a été utilisée suivie d'une FFT (transformée de Fourier rapide) sur le vecteur temporel de sortie V_{IIR} .

Le paramétrage de la FFT est très important pour obtenir une bonne précision de calcul capable de détecter des erreurs de très faibles amplitudes : le temps de simulation (T_{simu}) est choisi long pour avoir un assez petit pas de calcul sur le spectre de sortie ; la fréquence d'échantillonnage de la FFT (F_S) correspond à la fréquence de fonctionnement du filtre IIR ; les fréquences du « peigne » d'entrée doivent couvrir une largeur spectrale suffisante pour voir la fréquence de coupure du filtre et son comportement lointain ; F_S doit être un multiple de toutes les fréquences des signaux d'entrée. Pour cela, ces derniers sont choisis selon la relation suivante : $F_i = F_c + dF_i$ où F_c représente la fréquence RF et dF_i l'écart de chaque ton par rapport à F_c . Le bon choix de tous ces paramètres est indispensable à la bonne marche de la simulation. Sur la figure 4.16, on trouve les détails de tous les paramètres.

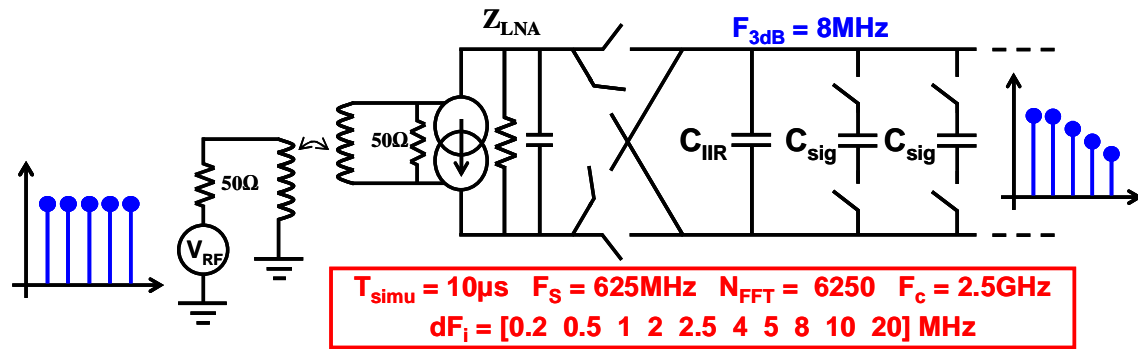


Fig. 4.16 : Circuit électrique de simulation pour l'étude du filtre de sélection de canal

Pour quantifier l'impact de l'injection de charges sur le filtre de sélection de canal, nous avons fait trois simulations successives : une simulation avec des interrupteurs purement résistifs donne le résultat le plus proche de la fonction de transfert théorique ; ensuite une simulation avec notre modèle d'injection permet d'introduire les effets liés aux injections des charges du canal et du « Clock Feedthrough » ; une dernière simulation avec des transistors permet de mieux comparer les résultats.

Les valeurs de capacités C_{IIR} et C_{sig} sont respectivement 1pF et 0.1pF, ce qui crée un filtre IIR de fréquence de coupure 8MHz à 625MHz de fréquence de fonctionnement (d'échantillonnage). La précision de nos simulations est bien claire sur la figure 4.17 où l'on trace le spectre dans le cas de la simulation avec les transistors MOS :

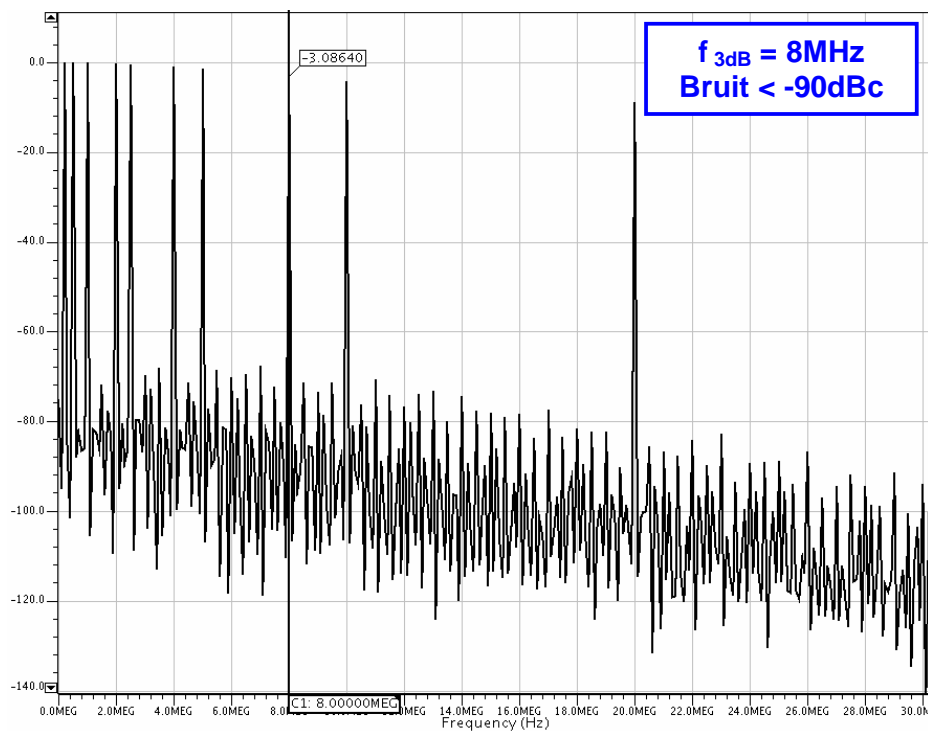


Fig. 4.17 : Résultat de simulation du filtre de sélection de canal

Les résultats sont regroupés dans le tableau 4.3 :

Interrupteur	Idéal	Modèle d'injection	MOS
Att_{IIR} normalisée à 20MHz (dB)	0.00	-0.16	-0.22
Att_{IIR} normalisée à f_{3dB} (dB)	0.00	-0.1	-0.15

Tab. 4.3 : Impact de l'injection de charges sur le filtre de sélection de canal IIR

Qualitativement, nous retrouvons sur les trois simulations la même forme de fonction de transfert : pas de pics bizarres, pas d'ondulations ou d'autres changements brusques.

La différence entre les résultats obtenus pour le modèle d'injection et l'interrupteur purement résistif représente l'impact de l'injection de charges sur la fonction de transfert du filtre IIR de sélection de canal. Sur le tableau 4.3, on voit que l'impact est faible : 0.2dB d'atténuation en moins pour 9dB à 20MHz du signal utile et 0.1dB à la fréquence de coupure.

Nous avons re-simuler le circuit en changeant uniquement les amplitudes des signaux d'entrée et les mêmes résultats ont été retrouvés après normalisation. Nous pouvons déduire alors que l'injection de charges n'est pas à la base d'effets non-linéaire considérables.

Une autre méthode de simulation permet de calculer la fonction de transfert du filtre IIR. Elle consiste à envoyer une impulsion de Dirac (une impulsion de très courte durée) en entrée. La transformée de Fourier d'une impulsion de Dirac étant la fonction unité, le spectre de sortie correspond à la fonction de transfert du filtre (Eq. 4.11) :

$$s(t) = \delta(t) * h_{IIR}(t) \Rightarrow S(f) = H_{IIR}(f) \quad (\text{Eq. 4.11})$$

Malgré sa simplicité, cette méthode doit être utilisée avec précaution : notre travail [112 Mina] a montré qu'il faut remplir certaines conditions pour que les résultats soient fiables. De plus, elle ne permet pas de voir l'effet de l'injection des interrupteurs du mélangeur.

2. Le filtre anti-repliement

Le filtre anti-repliement de l'architecture échantillonnée doit atténuer les signaux « alias » qui se trouvent aux fréquences $F_c \pm kF_s$. La capacité d'anti-repliement de ce filtre est mesurée par la « profondeur » des zéros de la fonction sinus cardinal (Sinc). Nous avons utilisé le circuit de la figure 4.16 pour faire les simulations. Cette fois, deux plans de fréquences doivent être définis : le « peigne » d'entrée qui représente les signaux « alias » aux fréquences $F_i = F_c \pm F_s + dF_i$ et le signal utile à la fréquence $F_c + dF_{sig}$. La méthode de simulation correspond à celle du paragraphe précédent, l'objectif étant de quantifier l'impact de l'injection de charges sur la performance du filtre anti-repliement. Les résultats sont regroupés dans le tableau 4.4 :

Interrupteur	Idéal	Modèle d'injection	MOS
Att_{Sinc} normalisée à 500kHz (dB)	0.00	-0.3	-0.56

Tab. 4.4 : Impact de l'injection de charges sur le filtre anti-repliement

Le spectre de sortie obtenu dans les trois cas d'interrupteurs est correct d'un point de vue qualitatif, le niveau de bruit est inférieure à -120dBc. Sur le tableau 4.4, on voit bien que l'impact de l'injection de charges sur la profondeur de la fonction sinus cardinal dans une bande de largeur 500kHz est quasiment négligeable. En effet, on perd 0.3dB sur une atténuation initiale qui est de 60dB environ.

3. Le gain global de la chaîne

Le gain global de l'architecture échantillonnée a été défini au paragraphe I.E. du chapitre 3. Théoriquement, il correspond au gain de la fonction de transfert globale de l'architecture

échantillonnée à la fréquence zéro. Or pratiquement, le canal utile se trouve dans une bande $[0, B]$ où B désigne la moitié de la bande RF utile (architecture ZIF) et le gain n'est pas uniforme sur toute cette bande. Il diminue quand on s'approche de B à cause des atténuations des filtres IIR et anti-repliement. Pour quantifier le gain effectif du signal il faut intégrer la fonction de transfert globale sur toute la bande $[0, B]$. Or, dans le cadre de l'exemple que nous avons pris, la fréquence de coupure du filtre IIR vaut 10MHz et la fréquence d'échantillonnage vaut 640MHz. Dans ces conditions (qui correspondent à la réalisation de notre récepteur au chapitre 5), l'atténuation cumulée des deux filtres à 200kHz est inférieure à 0.05dB, ce qui est tout à fait négligeable. Afin de quantifier l'impact de l'injection sur le gain global de l'architecture échantillonnée, nous avons simulé le circuit de la figure 4.16 avec un signal d'entrée de fréquence 200kHz. Pour calculer le gain nous utilisons l'équation Eq. 4.12 :

$$G_{\text{dBVrms/dBm}} = 20 \times \log_{10} \left[\frac{V_{\text{IIR}}(200\text{kHz})}{\sqrt{2}} \right] - 10 \times \log_{10} \left[\frac{V_{\text{RF}}^2}{8 \times 50 \times 10^{-3}} \right] \quad (\text{Eq. 4.12})$$

le facteur 8 vient du produit 4×2 qui correspond à la tension effective qui arrive sur l'entrée adaptée 50Ω du LNA (la moitié de la source).

La méthode de simulation est toujours la même, les résultats sont regroupés dans le tableau 4.5 :

Interrupteur	Idéal	Modèle d'injection	MOS
Gain normalisée (dB)	0.00	-0.12	-0.25

Tab. 4.5 : Impact de l'injection de charges sur le gain global de l'architecture

Le gain de l'architecture échantillonnée est lui aussi faiblement impacté par l'erreur due à l'injection de charges. Sur le tableau 4.5, on a 0.1dB en moins pour un gain de 38dBVrms/dBm.

4. La non-linéarité due à l'injection de charges

Lors de la conception d'une architecture de réception radio, il est important d'évaluer sa performance de linéarité. Le S&H est le circuit constitutif de base de l'architecture échantillonnée, sa non-linéarité intrinsèque donne une image de la non-linéarité du système entier. Au paragraphe I.B.2, nous avons expliqué que l'erreur d'injection est elle-même sources de non-linéarité. Nous essayons dans cette partie, de quantifier cet aspect par une simulation : elle consiste à envoyer deux tons à l'entrée d'un S&H différentiel dont la fréquence d'échantillonnage a été choisie assez élevée pour masquer les harmoniques qui apparaissent dans le spectre de sortie à cause de l'opération d'échantillonnage elle-même. Les fréquences, les amplitudes ainsi que le mode commun ont été fixés aux valeurs suivantes :

$$\begin{aligned} V_{\text{mc}} &= 300\text{mV} \\ V_1 = V_2 &= 100\text{mV} \quad (\text{Eq. 4.13}) \\ F_1 &= 8\text{MHz} \quad \text{et} \quad F_2 = 10\text{MHz} \end{aligned}$$

Nous avons ensuite calculé une FFT avec une fréquence d'échantillonnage de 120MHz et un pas de 200kHz pour avoir une bonne précision.

La figure 4.18 montre le résultat obtenu sur un transistor de la technologie CMOS 90nm, de dimensions $L = 0.1\mu\text{m}$ et $W = 10\mu\text{m}$ et une capacité C_L de valeur 1pF.

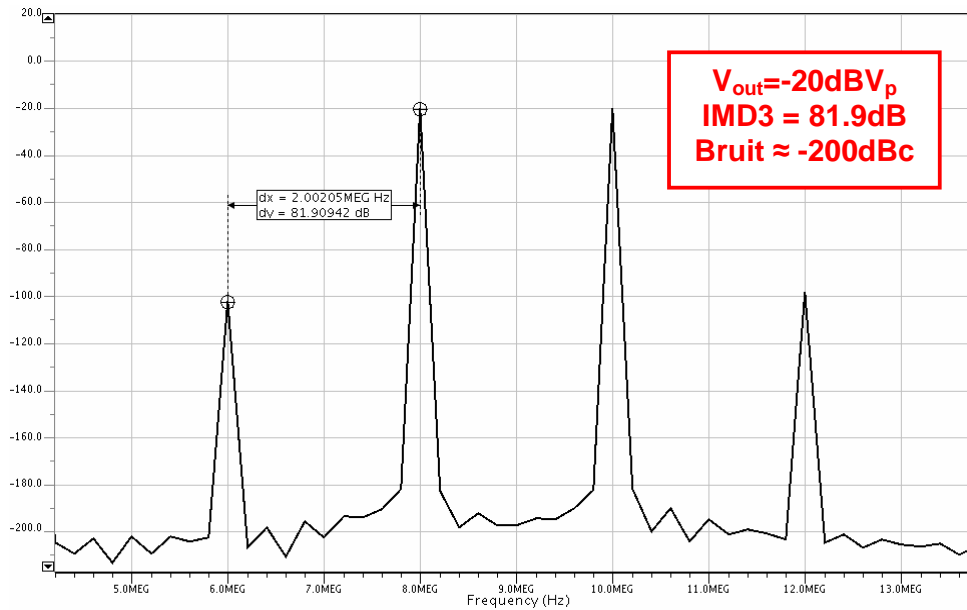


Fig. 4.18 : Non-linéarité d’ordre 3 due à l’injection de charges dans un S&H

Nous avons obtenu un niveau de distorsion d’intermodulation d’ordre 3 de l’ordre de 82dB pour un niveau de sortie de -20dBV_p (crête). A partir de cela nous déduisons le point d’interception d’ordre 3 en sortie OIP_3dBV_p :

$$\text{OIP}_3\text{dBV}_p = V_{\text{out}} + \frac{V_{\text{out}} - \text{IM}_3}{2} \quad (\text{Eq. 4.14})$$

$$\Rightarrow \text{OIP}_3\text{dBV}_p = \text{IIP}_3\text{dBV}_p = +21\text{dBV}_p$$

Ce résultat a été simulé et calculé à $400\text{mV}_{\text{pp,diff}}$ de dynamique. A plus faibles amplitudes d’entrée, nous avons remarqué que la linéarité s’améliore.

Pour savoir quelle est l’évolution de cette non-linéarité en fonction de la technologie CMOS, nous avons réalisé la même simulation en utilisant des transistors des technologies 65 et 45nm. Les résultats obtenus sont regroupés dans le tableau 4.6 :

Technologie (nm)	90	65	45
IMD3 (dB)	81.9	80.5	78.2
V_{out} (dBV _p)	-20	-20	-20
OIP_3 (dBV _p)	+20.95	+20.25	+19.1

Tab. 4.6 : Evolution de la non-linéarité due à l’injection de charges

Nous pensons que cette non-linéarité provient à la fois de l’erreur d’injection qui déforme le signal en sortie par des pics instantanés et de la modulation de la résistance du transistor par la tension d’entrée. La séparation des deux contributions est un peu difficile car un S&H doit fonctionner sur toute la plage d’amplitude des signaux d’entrée. De plus, il est difficile de relier cette grandeur à l’échelle de la chaîne de réception qui est constituée de la composition de plusieurs S&H et d’autres blocs. Cependant, l’estimation de cette grandeur nous permet de voir la non-linéarité intrinsèque de fonctionnement de notre architecture de réception en fonction de la dynamique du signal d’entrée et de la technologie CMOS.

E. Evolution de l'injection de charges en fonction de la technologie

Dans ce paragraphe, nous nous proposons d'étudier l'évolution de l'erreur d'injection en fonction de la technologie CMOS. La définition de la notion de portabilité a été introduite au chapitre 1. Ici, nous cherchons à savoir quel est l'impact de l'injection de charges sur le portage d'un récepteur radio basé sur l'architecture échantillonnée.

A partir de l'équation Eq. 4.4, nous utilisons une expression approchée de la fonction erf(x) pour simplifier l'expression mathématique de l'erreur d'injection (Eq. 4.15). Nous considérons le cas d'un S&H à transistor NMOS fonctionnant à des vitesses de commutation assez rapides (technologies CMOS avancées) :

$$\text{erf}(x) \approx \begin{cases} 1 & \text{si } x \gg 1 \\ \frac{2x}{\sqrt{\pi}} \left(1 - \frac{x^2}{3}\right) & \text{si } x \ll 1 \end{cases} \quad (\text{Eq. 4.15})$$

$$V_{\text{inj}} = - \left(\frac{C_{\text{ov}} + \frac{C_{\text{ox}}}{2}}{C_L} \right) \cdot \left((V_{\text{DD}} - V_{\text{in}} - V_T) - \frac{\beta(V_{\text{DD}} - V_{\text{in}} - V_T)^3}{6UC_L} \right) - \frac{C_{\text{ov}}}{C_L} (V_{\text{in}} + V_T)$$

L'évolution de la technologie CMOS conduit en général à une diminution de l'épaisseur d'oxyde (t_{ox}), de la longueur de canal (L), de la tension d'alimentation (V_{DD}) et de la tension de seuil (V_T). Toutes ces tendances ont un impact sur l'erreur d'injection que nous pouvons quantifier à l'aide de l'équation Eq. 4.15.

En général, le dimensionnement des interrupteurs MOS est régie par deux tendances : imposer la longueur minimum (L_{min}) et diminuer la largeur (W) au maximum pour réduire l'injection de charges et les capacités parasites. Cependant, diminuer W fait augmenter la résistance à l'état ON du transistor (R_{on}), ce qui crée des problèmes d'établissements d'échantillons dans le S&H. Il existe donc un compromis et par conséquent une taille optimale (W_{opt}) qui garanti une diminution de l'erreur d'injection sans dégradation des constantes de temps dans le circuit. D'autre part, la réduction de la tension d'alimentation se fait à un rythme supérieur à celui de la tension de seuil, ce qui fait augmenter le R_{on} à taille constante (W/L constante). En conclusion, la tendance en L_{min} réduit l'injection due aux charges du canal et permet de compenser l'augmentation de R_{on} due à la baisse de V_{DD} . La réduction de W reste limitée à cause des problèmes de constantes de temps du circuit et ne permet pas de gagner sur l'injection due aux charges du canal ni celles dues au « Clockfeedthrough ». On a donc tendance à dire que la réduction des dimensions du transistor ne permet que de baisser légèrement l'erreur d'injection.

D'autre part, diminuer la capacité d'échantillonnage C_L permet de réduire la taille globale du circuit mais, augmentera (Eq. 4.15) l'erreur d'injection et le bruit thermique associé à l'échantillonnage (kT/C). Or, ce raisonnement suppose que la capacité parasite à l'entrée du S&H soit beaucoup plus faible que C_L , sinon l'injection des charges se fait en majorité à l'entrée, ce qui réduit indirectement l'erreur sur l'échantillon utile [105 Wegmann]. Ainsi, réduire la taille des capacités d'échantillonnage pour gagner en surface ne fait qu'amplifier l'erreur d'injection.

La baisse continue des tensions d'alimentation et des capacités parasites des transistors font que les circuits numériques sont capables de générer des horloges à front montants et descendants de plus en plus raides. Cette augmentation des vitesses de commutation (U) réduit l'erreur d'injection (Eq. 4.15).

Nous savons que dans les technologies CMOS avancées l'ampleur de la fuite de grille ne permet plus de continuer à réduire les épaisseurs d'oxyde (T_{ox}), ce qui réduit le facteur β (Eq. 4.15) et par conséquent l'erreur d'injection. De plus, des études récentes [113 Decoutere] montrent que le changement de matériaux sur l'oxyde réduit la mobilité des porteurs ce qui diminue davantage le facteur β et contribue encore plus à la réduction de l'erreur d'injection. Pour mieux évaluer l'évolution de l'injection de charges en fonction de la technologie CMOS, nous avons dimensionné un S&H « single-ended » en trois technologies différentes : 90, 65 et 45nm. Le but est de faire un portage de ce circuit de base et voir comment évolue l'erreur d'injection. Le portage du circuit est assez simple et doit respecter les contraintes suivantes :

- ✓ Garder un bruit thermique (kT/C) constant d'une technologie à une autre
- ✓ Garder un temps d'établissement ($R_{on}C_L$) constant d'une technologie à une autre
- ✓ Diminuer les temps de commutation des signaux d'horloge
- ✓ Diminuer les dynamiques du signal d'entrée et les modes communs

Nous avons réalisé le portage en respectant les conditions précédentes, ce qui nous donne une base de comparaison solide entre les résultats. Le tableau 4.7 résume le portage du S&H :

Technologie (nm)	90	65	45
V_{DD} (V)	1.2	1.2	1.1
Mode commun (mV)	300	250	200
Dynamique (mV_{pp})	400	300	200
Temps de descente (ps)	40	30	20
Longueur du transistor (μm)	0.1	0.06	0.04

Tab. 4.7 : Dimensionnement du S&H en 90, 65 et 45nm

Sur la figure 4.19 nous représentons les résultats obtenus pour plusieurs valeurs du temps de commutation et amplitudes du signal d'entrée.

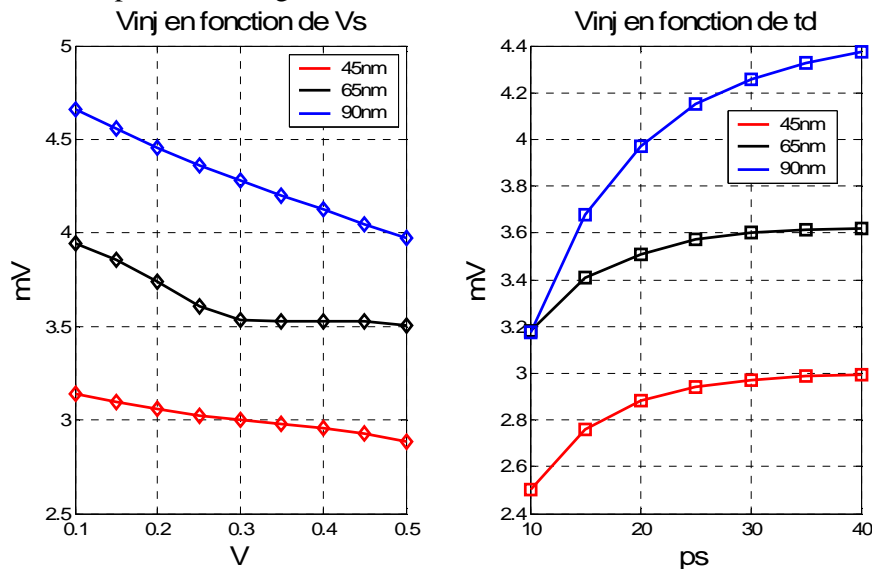


Fig. 4.19 : L'erreur d'injection du S&H en 90, 65 et 45nm

Quelle que soit la technologie CMOS utilisée (90, 65 ou 45nm), la capacité d'échantillonnage est gardée constante à 1pF et la résistance à l'état « ON » du transistor reste aux alentours de

50Ω. Ainsi, le temps d'établissement est relativement faible (50ps), ce qui nous permet de faire fonctionner ce S&H à des fréquences d'échantillonnage de 100MHz facilement.

L'analyse des courbes représentées sur la figure 4.19 montre clairement une réduction de l'erreur d'injection en fonction de la technologie. Elle passe de 4.4 à 2.9mV (soit 35% en moins) à amplitude constante du signal d'entrée et à temps de commutation nominale pour chaque nœud technologique (Tab. 4.7). D'autre part, l'erreur d'injection passe de 4 à 3mV (soit - 35%) à temps de commutation constant et à amplitude d'entrée réduite (Tab. 4.7).

En conclusion, le portage du S&H montre une légère diminution de l'erreur d'injection.

F. Conclusion

Le problème de l'injection de charges a été étudié en détails, son importance dans les circuits échantillonnés a été mise en évidence et les solutions de compensation les plus répandues ont été présentées. De plus, nous avons construit notre propre modèle d'évaluation de l'erreur d'injection, son utilité dans le cadre de ce travail de thèse ainsi que sa différence par rapport aux modèles les plus connus en littérature ont été montrées.

Notre étude a porté également sur l'évolution de l'erreur d'injection en fonction de la technologie CMOS. Nos conclusions montrent que celle-ci a tendance à diminuer légèrement quand on passe d'un nœud technologique au nœud suivant.

En utilisant notre modèle, nous avons étudié l'impact de l'erreur d'injection sur les performances au niveau « système » de l'architecture échantillonnée de réception radio. Les résultats ont montré que le gain, le filtre de sélection de canal et le filtre anti-repliement restent faiblement impactés. Le filtre IIR est, sans doute, le plus touché avec 0.2dB de filtrage en moins sur environ 9dB de filtrage théorique. De plus, les spectres de sortie n'ont montré aucune non-linéarité considérable due à l'injection de charges.

II. Effet des capacités parasites

A. Les objectifs

Les capacités parasites sont un élément important dont l'effet peut affecter les performances des circuits CMOS. Nous avons détaillé au paragraphe I.D du chapitre 2 tous les éléments capacitifs du transistor MOS (Fig. 2.24). Dans cette partie, nous allons nous concentrer sur l'impact des capacités parasites sur les performances au niveau « système » de l'architecture échantillonnée. Notre étude se concentrera sur la partie analogique temps-discret qui réalise les fonctions suivantes : le filtrage analogique de sélection de canal (IIR), l'échantillonnage, le filtrage anti-repliement (AA) et une partie du gain global de la chaîne. Cette étude nous permettra de suivre l'évolution des performances radio de l'architecture échantillonnée en fonction de la technologie CMOS. En résumé, les objectifs de cette partie sont :

- Quantifier l'impact des capacités parasites sur les fonctions « système » de l'architecture échantillonnée.
- Suivre l'évolution des performances radio de l'architecture échantillonnée en fonction de la technologie CMOS.

B. Les capacités parasites de l'architecture échantillonnée

Nous représentons sur la figure 4.20 un schéma bloc de l'architecture échantillonnée avec toutes les capacités parasites que nous pouvons trouver dans le système. Le principe de

fonctionnement de cette chaîne a été décrit en détails au chapitre 3. Nous nous contentons ici, par souci de simplicité, de ne pas montrer explicitement l'entrelacement de la structure (Fig. 3.11) qui est indispensable au bon fonctionnement de l'architecture. La chaîne de réception étudiée est entièrement différentielle : la tension RF à l'entrée du LNA est amplifiée et convertie en courant, ensuite des capacités de liaisons assurent un couplage haute-fréquence entre le LNA et le mélangeur. Le signal en sortie du mélangeur est un signal basse fréquence qui a été mélangé par un signal carré ayant la même fréquence que celle de la porteuse (architecture ZIF).

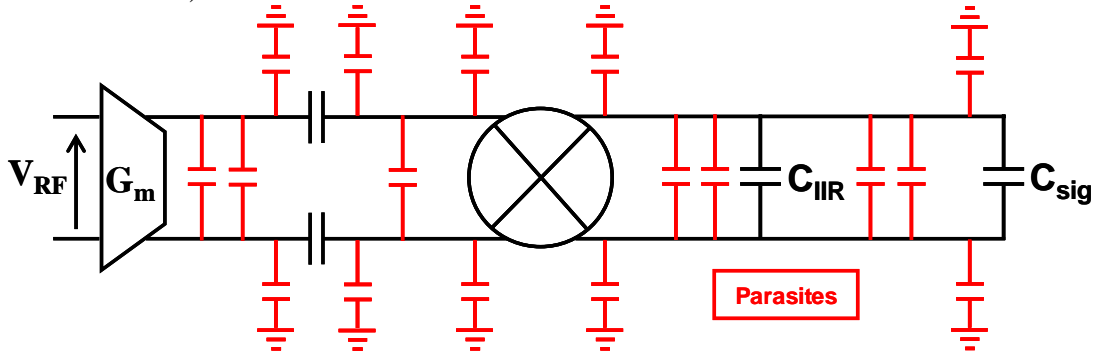


Fig. 4.20 : Schéma bloc de l'architecture échantillonnée avec les capacités parasites

Origine des parasites : Dans un circuit intégré, les capacités parasites ont des origines multiples et sont de ce fait difficiles à contrôler. En microélectronique, les concepteurs de circuits ont souvent recours à diverses simulations d'extraction qui leur permettent d'estimer les capacités parasites et de prendre en compte leur impact dès la phase de conception. Nous citons une liste non-exhaustive de sources de parasites dans un circuit intégré :

- Les parasites des transistors : principalement les capacités des jonctions du MOS, les capacités de recouvrement et les capacités latérales ou « frange ».
- Les parasites de l'implémentation physique de capacités utiles : souvent ce sont des capacités entre les différents niveaux de métal constituant la capacité et la masse.
- Les parasites liés au routage sur le dessin de masques : souvent ce sont des capacités de couplage entre les lignes.

Nous avons représenté sur la figure 4.20 (en rouge) toutes les capacités parasites de notre système : la capacité de sortie du LNA (C_{LNA}) qui représente la partie imaginaire de son impédance de sortie, elle est différentielle entre les deux voies P et N ; la capacité parasite différentielle à la sortie du LNA (C_{ligne1}) ; les capacités parasites des capacités de liaison (C_{par}), elles sont « single-ended » entre chaque côté et la masse ; la capacité parasite différentielle avant le mélangeur (C_{ligne2}) ; les capacités des jonctions drain et source des transistors du mélangeur ($C_{j,mélangeur}$), elles sont « single-ended » ; la capacité parasite différentielle à la sortie du mélangeur (C_{ligne3}) ; la capacité parasite de C_{IIR} ($C_{p,IIR}$) ; la capacité parasite différentielle entre les voies avant C_{sig} (C_{ligne4}) ; les capacités « single-ended » de jonctions des transistors ($C_{j,sig}$) qui permettent de réaliser l'entrelacement de plusieurs C_{sig} avec la même C_{IIR} (Fig. 3.11) ; la capacité parasite de C_{sig} ($C_{p,sig}$).

D'après la figure 4.20, on voit bien que la structure est chargée par beaucoup de capacités parasites dont les effets ne sont pas encore connus. Dans le paragraphe suivant, nous allons montrer l'impact de toutes ces capacités parasites sur les performances de l'architecture échantillonnée de réception radio.

C. Impact des capacités parasites sur l'architecture échantillonnée

1. Modélisation

Avant d'étudier l'impact des capacités parasites représentées sur la figure 4.20, il est intéressant de regrouper les composantes qui sont en parallèle. Après avoir fait ce regroupement, nous trouvons la structure électrique de la figure 4.21 avec trois composantes seulement : la capacité parasite totale pré-mélangeur (C_1), la capacité parasite totale post-mélangeur (C_2) et la capacité parasite de la capacité utile C_{sig} (C_3).

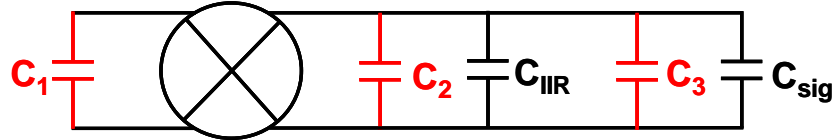


Fig. 4.21 : Les trois composantes parasites de l'architecture échantillonnée

C_1 est la capacité équivalente de toute la structure pré-mélangeur, elle vaut :

$$C_1 = \left[\left(C_{LNA} + C_{ligne1} + \frac{C_{par}}{2} \right) \oplus \frac{C_{liaison}}{2} \right] + \left(\frac{C_{par}}{2} + C_{ligne2} + C_{j,mélangeur} \right) \quad (Eq. 4.16)$$

Nous remarquons d'après Eq.4.16 que C_1 est la composante qui a la plus grande amplitude parmi les trois composantes parasites identifiées sur la structure de l'architecture.

2. Origine du problème

Pour comprendre comment les capacités parasites agissent sur la fonctionnalité de l'architecture échantillonnée, nous représentons sur la figure 4.22 les deux états du système pendant la commutation du mélangeur :

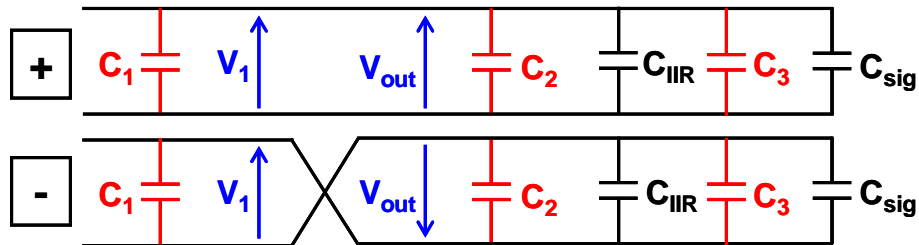


Fig. 4.22 : Les deux états du système pendant la commutation du mélangeur

On remarque que la tension aux bornes de la capacité parasite C_1 change de signe à chaque fois que les transistors du mélangeur passent d'un état à un autre. Par conséquent, la multiplication du signal RF avec l'horloge du mélangeur se fait avec une redistribution de charge entre les états. A chaque redistribution de charges, l'information est partagée à nouveau entre les différents éléments capacitifs de la structure [C_1 , C_2 , C_{IIR} , C_3 , C_{sig}].

Au paragraphe I.C du chapitre 3, nous avons établi une relation de proportionnalité entre la fréquence porteuse et la fréquence d'échantillonnage (Eq. 4.17) qui garantit la conversion du signal RF autour de la fréquence zéro :

$$F_c = N \times F_s \quad (\text{Eq. 4.17})$$

Le partage de charges pendant la commutation du mélangeur est proportionnel à N et est une conséquence directe de la présence de la capacité parasite pré-mélangeur C_1 . Cela représente une perte d'informations donc de gain et est susceptible de modifier les fonctions de filtrage de l'architecture échantillonnée. D'autre part, C_{IIR} augmente de C_2 et C_{sig} de C_3 , ce qui modifie le rapport entre les capacités utiles et introduit donc une erreur supplémentaire au niveau de la fonction de transfert du filtre IIR.

Qualitativement, les trois composantes parasites participent à la modification de la fonction de transfert globale du système. Cependant, l'impact de C_1 est plus conséquent à cause de l'inversion de polarité qui intervient à ses bornes lors de la commutation du mélangeur. Dans le paragraphe suivant, nous allons quantifier l'impact de chacune de ces composantes sur l'architecture échantillonnée.

3. Calcul de la fonction de transfert globale en fonction des capacités parasites

Nous nous proposons de calculer mathématiquement la fonction de transfert globale du système. Nous allons faire le calcul en supposant $N = 4$ (Fig. 4.23), notre supposition n'affectant pas la généralité du calcul.

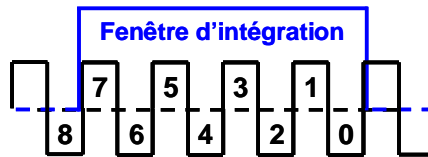


Fig. 4.23 : Les huit états du système pendant une fenêtre d'intégration

A l'intérieur d'une période d'échantillonnage, le mélangeur fait 8 commutations donnant lieu à 8 états différents. A chaque passage d'un état à un autre, nous pouvons appliquer le principe de conservation de la charge électrique dans le système isolé $\{LNA, C_1, C_2, C_{\text{IIR}}, C_3, C_{\text{sig}}\}$. Entre une période d'échantillonnage et la suivante, la capacité C_{IIR} continue à intégrer le signal d'entrée, ce qui crée notre filtre de sélection de canal (paragraphe I.D du chapitre 3). Cela se traduit par la conservation de la charge électrique entre les états 8 et 7 représentés sur la figure 4.23 :

$$Q(n-7) + [C_1 - C_2 - C_{\text{IIR}}]V(n-8) = C_{\text{tot}}V(n-7) \quad (\text{Eq.4.18})$$

$Q(n)$ représente la quantité de charges fournie par le LNA à l'instant n et $V(n)$ la valeur de la tension sur la capacité C_{IIR} en sortie du système (V_{out} sur Fig. 4.22).

A l'intérieur de la fenêtre d'intégration, les sept commutations suivantes peuvent se traduire, toujours en utilisant la conservation de la charge électrique, par l'équation générique :

$$Q(k) + (C_1 - C_2 - C_{\text{IIR}} - C_3 - C_{\text{sig}})V(k-1) = C_{\text{tot}}V(k) \quad k \in [(n-6), \dots, n] \quad (\text{Eq.4.19})$$

En posant :

$$\begin{aligned} C_{\text{tot}} &= C_1 + C_2 + C_3 + C_{\text{IIR}} + C_{\text{sig}} \\ \alpha C_{\text{tot}} &= C_1 - C_2 - C_{\text{IIR}} - C_3 - C_{\text{sig}} \quad (\text{Eq.4.20}) \\ \beta C_{\text{tot}} &= C_1 - C_2 - C_{\text{IIR}} \end{aligned}$$

nous démontrons en annexe III que la fonction de transfert globale du système (la quantité de charges en sortie sur la quantité de charges introduite par le LNA) prend la forme suivante :

$$H_{\text{globale}}(z) = \frac{1 - \alpha^8 z^{-8}}{1 - \alpha z^{-1}} \cdot \frac{\beta - \alpha}{1 - \alpha^7 \beta z^{-8}} \quad \text{avec } z = e^{j2\pi \frac{T_c}{2}} \quad (\text{Eq.4.21})$$

AA

IIR

L'équation Eq. 4.21 nous montre que les trois composantes C_1 , C_2 et C_3 agissent, à travers les coefficients α et β , sur les filtres anti-repliement (1^{er} terme) et sélection de canal (2^{er} terme).

Cas particulier

Dans le cas idéal où toutes les composantes parasites sont nulles, nous avons :

$$\alpha = -1 \quad \text{et} \quad \beta = -\frac{C_{\text{IIR}}}{C_{\text{IIR}} + C_{\text{sig}}} = -\beta_{\text{IIR}} \quad (\text{Eq.4.22})$$

Par conséquent :

$$H_{\text{globale}}(z) = \frac{1 - z^{-8}}{1 + z^{-1}} \cdot \frac{1 - \beta_{\text{IIR}}}{1 - \beta_{\text{IIR}} z^{-8}} \quad \text{avec } 0 < \beta_{\text{IIR}} < 1 \quad (\text{Eq.4.23})$$

AA

IIR

On retrouve la cohérence entre l'équation Eq. 3.8 et Eq. 4.23 avec la transformation suivante :

$$z^{-8} = \left(e^{j2\pi f \frac{T_c}{2}} \right)^{-8} = e^{-j2\pi f 4T_c} = e^{-j2\pi f T_s} = Z^{-1}$$

L'équation Eq. 4.23 représente le filtre global théorique de notre architecture, composé du filtre AA et du filtre IIR. Notons que dans notre approche, H_{globale} est une fonction normalisée donc de gain unitaire : si $f \rightarrow 0$, $z \rightarrow 1$ et $H_{\text{globale}} \rightarrow 1$.

Cas général

L'équation Eq. 4.21 s'étend directement au cas général en fonction de N , rapport de la fréquence porteuse à la fréquence d'échantillonnage :

$$H_{\text{globale}}(z) = \frac{1 - \alpha^{2N} z^{-2N}}{1 - \alpha z^{-1}} \cdot \frac{\beta - \alpha}{1 - \alpha^{2N-1} \beta z^{-2N}} \quad (\text{Eq.4.24})$$

AA

IIR

Afin de vérifier notre approche, nous avons tracé $|H_{\text{globale}}(z)|$ dans le cas idéal où $C_1 = C_2 = C_3 = 0$ et dans les 3 cas où une seule composante parasite est activée à la fois. Le but est d'isoler l'effet de chacune et de quantifier son impact sur la fonction de transfert globale. Les résultats sont représentés sur la figure 4.24 :

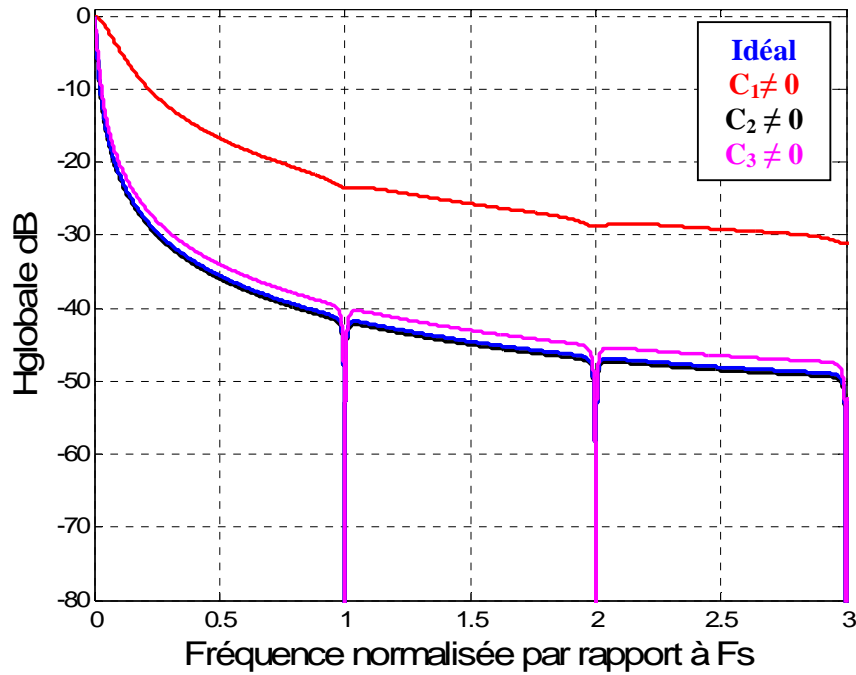


Fig. 4.24 : La fonction de transfert globale idéale et avec parasites du système

Les valeurs des capacités C_{IIR} et C_{sig} ont été choisies de façon à obtenir un filtre IIR de fréquence de coupure ($f_{-3\text{dB}}$) de 5 MHz. De même, aux capacités parasites ont été attribuées des valeurs assez fréquentes en conception RF et analogique et assez cohérentes avec l'application de réception radio :

$$C_{\text{IIR}} = 1.85\text{pF} , C_{\text{sig}} = 0.1\text{pF} , C_1 = 50\text{fF} , C_2 = 100\text{fF} , C_3 = 0.2 \times C_{\text{sig}} \quad (\text{Eq.4.25})$$

La courbe rouge sur la figure 4.24, qui correspond à $C_1 \neq 0$, montre une dégradation considérable de la fonction de transfert globale de la structure : la profondeur des zéros du filtre anti-repliement est de quelques dB seulement alors que la courbe idéale en bleu atteint des niveaux supérieurs à 80 dB ; la fréquence de coupure du filtre IIR est d'environ 44 MHz comparée au 5 MHz définie initialement.

Les effets de C_2 et C_3 , représentés respectivement par les courbes noire et rose sont faibles par rapport à celui de C_1 : le filtre anti-repliement est quasiment intacte ; le filtre IIR est affecté par un décalage de quelques centaines de kHz de sa fréquence de coupure vers le bas (resp. vers le haut) à $C_2 \neq 0$ (resp. à $C_3 \neq 0$).

Bien que statique, ce décalage est mauvais pour la précision du filtrage canal d'une chaîne de réception radio. Cependant, il peut être compensé par calibration des capacités $[C_{\text{IIR}} + C_2]$ et $[C_{\text{sig}} + C_3]$ suivie d'une reconfigurabilité de C_{IIR} grâce à un banc capacitif commuté. Cependant, l'effet de C_1 ne peut être corrigé par calibration puisqu'il est lié à une redistribution de charges dans la structure, effet qu'aucun concepteur ne pourra contrôler (elle dépend de l'amplitude du signal d'entrée). Nous avons également calculé, en utilisant l'équation Eq. 4.21, le gain de $H_{\text{globale}}(z)$ dans le cas où $C_1 \neq 0$: nous avons trouvé une perte de gain de 20 dB environ par rapport au cas idéal.

Maintenant que nous avons compris l'impact relatif de chacune des composantes parasites sur la performance de notre architecture de réception radio, nous allons nous concentrer sur

l'impact de C_1 sur chacun des filtres à part. Les simulations MATLAB sont basées sur l'équation Eq. 4.21 et les résultats sont représentés sur les figures 4.25 et 4.26 :

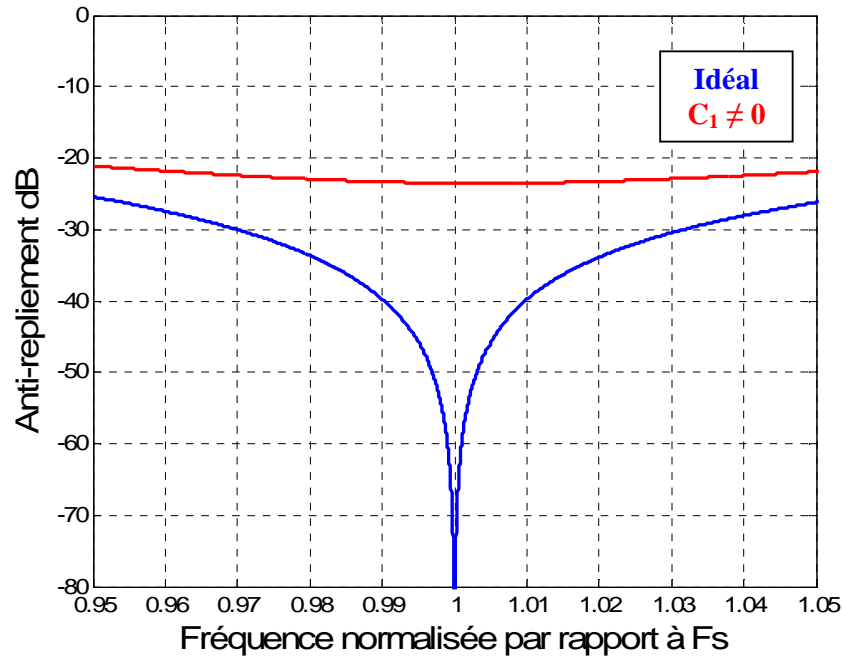


Fig. 4.25 : Le filtre anti-repliement dans le cas idéal et avec parasites

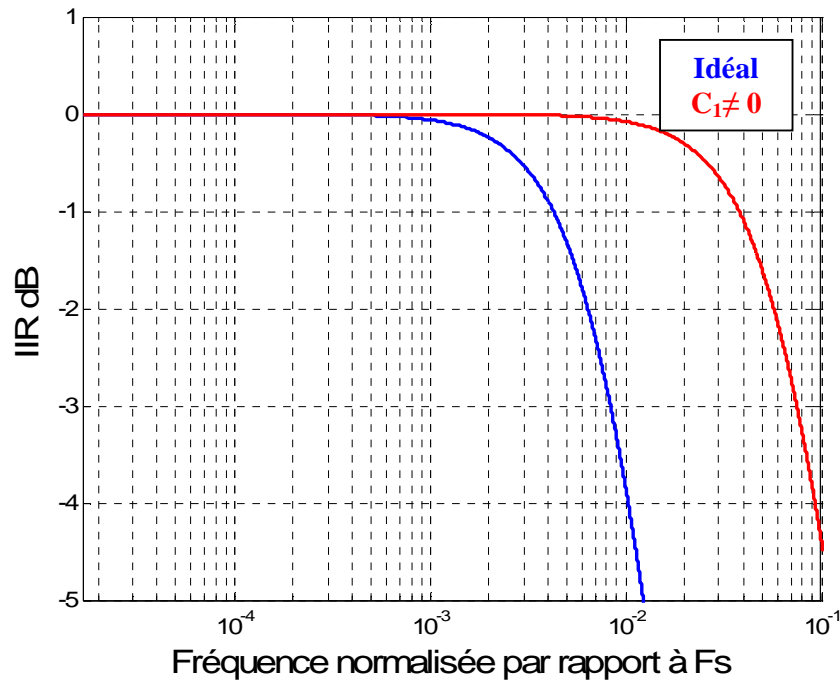


Fig. 4.26 : Le filtre IIR de sélection de canal dans le cas idéal et avec $C_1 \neq 0$

D'après Fig. 4.25, une capacité parasite C_1 de 50fF peut détruire quasi-totalement (40dB en moins) la capacité d'anti-repliement de l'architecture échantillonnée. Egalement, la

comparaison entre les deux courbes de la figure 4.26 montre que la fréquence de coupure du filtre IIR est largement décalée ce qui réduit de 15dB environ l'atténuation d'un canal adjacent se trouvant à 40MHz du signal.

En conclusion, seule C_1 a un effet important sur les performances de notre système, les effets des autres capacités peuvent être facilement compensés. Pour le cas considéré (Eq. 4.25), C_1 dégrade de 40dB le filtrage anti-repliement, de 20dB le gain globale de la chaîne et de 15dB le filtrage de sélection de canal. Une correction de l'effet de C_1 est donc indispensable au bon fonctionnement de l'architecture échantillonnée. Dans le paragraphe suivant, nous allons montrer la solution que nous avons adoptée pour corriger l'effet des capacités parasites.

D. Correction de l'effet des capacités parasites

1. Présentation de la solution

Nous avons vu que la principale dégradation de performance vient de la composante parasite pré-mélangeur. La dégradation est due, qualitativement, à l'inversion de polarité aux bornes de C_1 à chaque commutation du mélangeur, créant ainsi une redistribution de charge nuisible aux fonctions de gain et de filtrage de notre architecture.

Nous proposons une solution (propriété de STM/ST-Ericsson) et développée au sein de notre équipe) qui permet de remédier à ce problème en imposant une différence de potentiels fixe aux bornes de C_1 pendant les phases critiques où les redistributions de charges ont lieu.

Le schéma de la figure 4.27 (cas où $N = 4$) détaille le circuit qui réalise cette correction de parasites. Par souci de simplicité, nous n'avons représenté que la composante C_1 . En effet, une boucle de contre-réaction assure une recopie de tension de la partie bande de base $\{C_{IIR}, C_{sig}\}$ vers la partie RF $\{C_1\}$. Cette recopie se fait à travers le mélangeur qui mélange le signal en bande de base et le présente à la partie RF. Pour faire une recopie quasi-parfaite de la structure différentielle, nous avons implémenté deux suiveurs de tension grâce à des amplificateurs opérationnels rebouclés en entrée. Avec une structure à base d'amplificateurs rebouclés, nous pouvons avoir une erreur inférieure à 0.1% ce qui augmente la précision de notre système de recopie et garantit une meilleure correction.

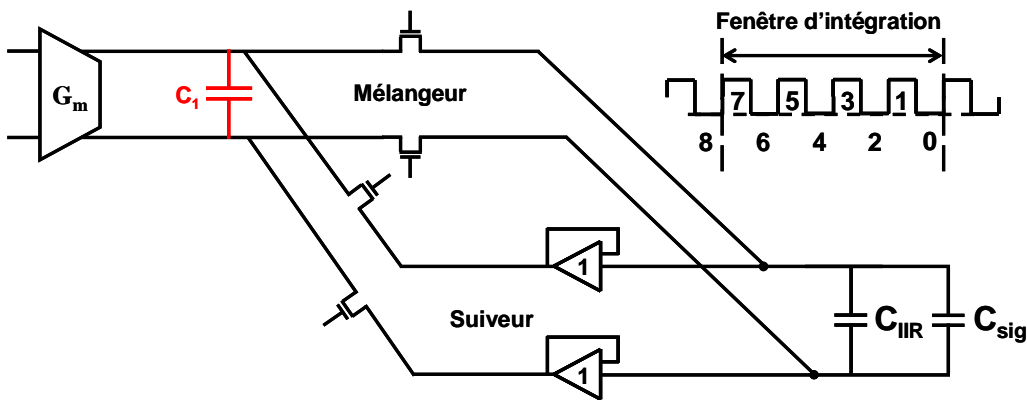


Fig. 4.27 : Correction de l'effet des capacités parasites par une boucle de contre-réaction

Pendant les phases de numéros impairs (diagramme sur la figure 4.27), l'intégration du courant se fait normalement à travers le mélangeur sur les capacités utiles C_{IIR} et C_{sig} . Pendant les phases de numéros pairs, l'intégration s'arrête et les deux suiveurs assurent une différence de potentiels (ddp) constante, égale à la tension aux bornes de C_1 à la fin de la dernière phase

d'intégration. A la prochaine phase d'intégration, aucune redistribution de charges n'a lieu puisque toutes les capacités de la structure sont quasiment à la même ddp.

2. Calcul de la fonction de transfert corrigée

Dans ce paragraphe, nous nous proposons de calculer la fonction de transfert globale du nouveau système afin de quantifier l'efficacité de notre solution de correction. Nous supposons $N = 4$ (Fig. 4.28), notre supposition n'affectant pas la généralité du calcul.

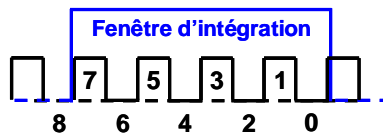


Fig. 4.28 : Les huit états du système avec correction pendant une fenêtre d'intégration

Pour les états de numéros pairs (Fig. 4.28), le courant RF ne passe pas à travers le mélangeur de la voie d'intégration et la tension aux bornes de C_1 est maintenue par les suiveurs (Fig. 4.29). Pendant ces phases, nous ne pouvons plus appliquer le principe de conservation de la charge électrique dans le système $\{LNA, C_1, C_2, C_{IIR}, C_3, C_{sig}\}$ car des charges supplémentaires sont fournies par les suiveurs de tension afin de fixer les potentiels aux bornes de C_1 . Le raisonnement se fait donc à tension constante et nous pouvons écrire :

$$\left. \begin{aligned} V(k) &= V(k-1) \\ V_1(k) &= \delta V(k) \end{aligned} \right\} \text{ pour } k \in [n-8, \dots, n] \quad (\text{Eq.4.26})$$

δ est le coefficient de suivi, il dépend du gain en boucle ouverte des amplificateurs opérationnels utilisés et représente l'imperfection de notre correction ($0 < \delta < 1$).

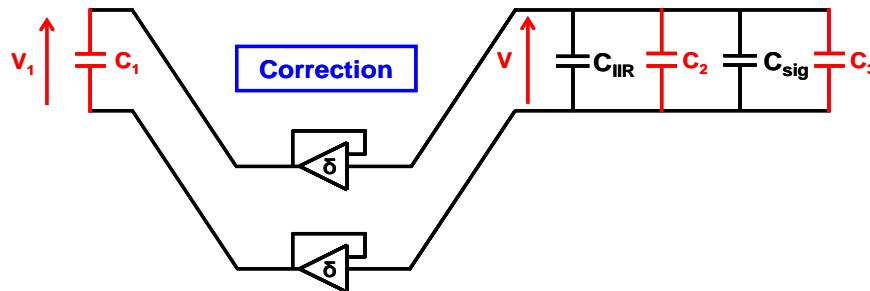


Fig. 4.29 : Phase de correction de l'effet parasite de C_1

Pour les états de numéros impairs (Fig. 4.28), le courant RF passe à travers le mélangeur pour charger les capacités utiles C_{IIR} et C_{sig} (Fig. 4.30) et les suiveurs de tension sont déconnectés du système. Ici, le principe de conservation de la charge électrique peut être appliqué.

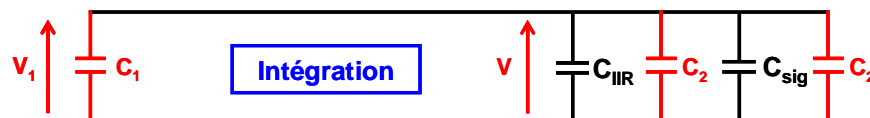


Fig. 4.30 : Phase d'intégration du courant

Entre une période d'échantillonnage et la suivante, la capacité C_{IIR} continue à intégrer le signal d'entrée, ce qui crée le filtre de sélection de canal. Cela se traduit par la conservation de la charge électrique entre les états 8 et 7 représentés sur la figure 4.28 :

$$Q(n-7) + [\delta C_1 + C_2 + C_{IIR}]V(n-8) = C_{tot} V(n-7) \quad (\text{Eq.4.27})$$

$Q(n)$ représente la quantité de charges fournie par le LNA à l'instant n et $V(n)$ la valeur de la tension sur la capacité C_{IIR} en sortie du système (V sur Fig. 4.30).

A l'intérieur de la fenêtre d'intégration, les sept commutations suivantes peuvent se traduire, toujours en utilisant la conservation de la charge électrique, par l'équation générique :

$$Q(k) + (\delta C_1 + C_2 + C_{IIR} + C_3 + C_{sig})V(k-1) = C_{tot} V(k) \quad k \in [(n-7), \dots, (n-1)] \quad (\text{Eq.4.28})$$

En posant :

$$\begin{aligned} C_{tot} &= C_1 + C_2 + C_3 + C_{IIR} + C_{sig} \\ \alpha C_{tot} &= \delta C_1 + C_2 + C_{IIR} + C_3 + C_{sig} \quad (\text{Eq.4.29}) \\ \beta C_{tot} &= \delta C_1 + C_2 + C_{IIR} \end{aligned}$$

nous démontrons en annexe III que la fonction de transfert globale du système (la quantité de charges en sortie sur la quantité de charges introduite par le LNA) prend la forme suivante :

$$H_{globale}(z) = \frac{1 - \alpha^4 z^{-8}}{1 - \alpha z^{-2}} \cdot \frac{\alpha - \beta}{1 - \alpha^3 \beta z^{-8}} \quad \text{avec } z = e^{j2\pi \frac{T_c}{2}} \quad (\text{Eq.4.30})$$

$\frac{\quad}{AA}$
 $\frac{\quad}{IIR}$

L'équation Eq. 4.30 montre que si la correction n'est pas parfaite ($\delta < 1$) les capacités parasites agissent toujours sur les filtres de IIR et AA, mais à travers de nouveaux coefficients α et β .

Cas particulier 1

Dans les cas idéal où la copie de tension est parfaite nous avons :

$$\alpha = 1 \quad \text{et} \quad \beta = \frac{(C_1 + C_2 + C_{IIR})}{(C_1 + C_2 + C_{IIR}) + (C_3 + C_{sig})} \quad (\text{Eq.4.31})$$

$$H(z) = \frac{1 - z^{-8}}{1 - z^{-2}} \cdot \frac{1 - \beta}{1 - \beta z^{-8}} \quad \text{avec } 0 < \beta < 1 \quad (\text{Eq.4.32})$$

L'équation Eq. 4.32 montre qu'en cas de copie idéale, la solution corrige l'effet de C_1 sur le filtre anti-repliement, mais le filtre IIR est toujours touché par C_1 et C_2 (Eq. 4.31).

Cas particulier 2

Dans le cas idéal où toutes les capacités parasites sont nulles, nous avons :

$$\alpha=1 \text{ et } \beta = \frac{C_{\text{IIR}}}{C_{\text{IIR}} + C_{\text{sig}}} = \beta_{\text{IIR}} \quad (\text{Eq.4.33})$$

Par conséquent :

$$H_{\text{globale}}(z) = \frac{1-z^{-8}}{1-z^{-2}} \cdot \frac{1-\beta_{\text{IIR}}}{1-\beta_{\text{IIR}} z^{-8}} \quad \text{avec } 0 < \beta_{\text{IIR}} < 1 \quad (\text{Eq.4.34})$$

On retrouve la cohérence entre Eq. 3.8 et Eq. 4.34 avec la transformation suivante :

$$z^{-8} = \left(e^{j2\pi f \frac{T_c}{2}} \right)^{-8} = e^{-j2\pi f 4T_c} = e^{-j2\pi f T_s} = Z^{-1}$$

L'équation Eq. 4.34 représente le filtre global théorique de notre architecture, composé du filtre AA et du filtre IIR. Notons que dans notre approche, H_{globale} est une fonction normalisée donc de gain unitaire : si $f \rightarrow 0$, $z \rightarrow 1$ et $H_{\text{globale}} \rightarrow 1$.

Cas général

L'équation Eq. 4.30 s'étend directement au cas général en fonction de N , rapport de la fréquence porteuse à la fréquence d'échantillonnage :

$$H_{\text{globale}}(z) = \frac{1-\alpha^N z^{-2N}}{1-\alpha z^{-2}} \cdot \frac{\alpha-\beta}{1-\alpha^{N-1} \beta z^{-2N}} \quad (\text{Eq.4.35})$$

Afin de vérifier notre approche, nous avons tracé $|H_{\text{globale}}(z)|$ dans le cas idéal où $C_1=C_2=C_3=0$ et dans le cas où $C_1 \neq 0$ pour plusieurs valeurs de δ : nous cherchons à quantifier l'efficacité de notre méthode de correction. Les résultats sont illustrés sur les figures 4.31, 4.32 et 4.33 :

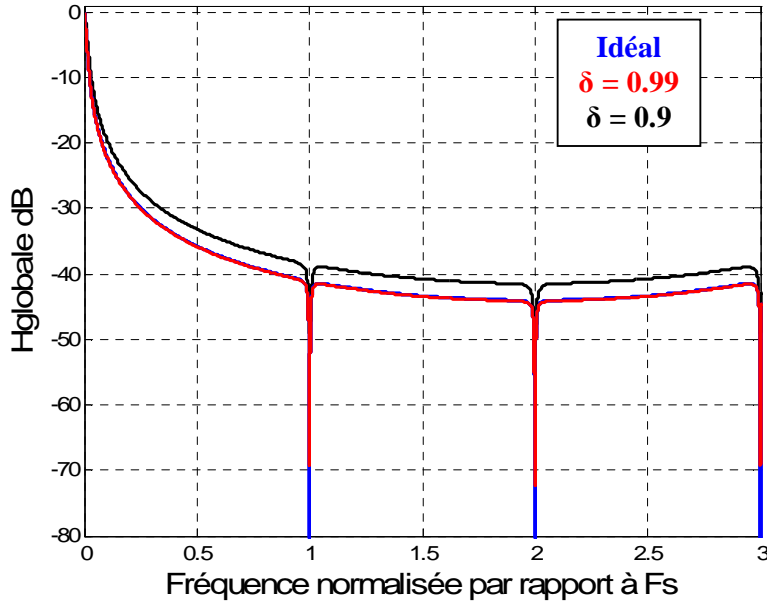


Fig. 4.31 : Impact du coefficient δ sur la correction des effets parasites

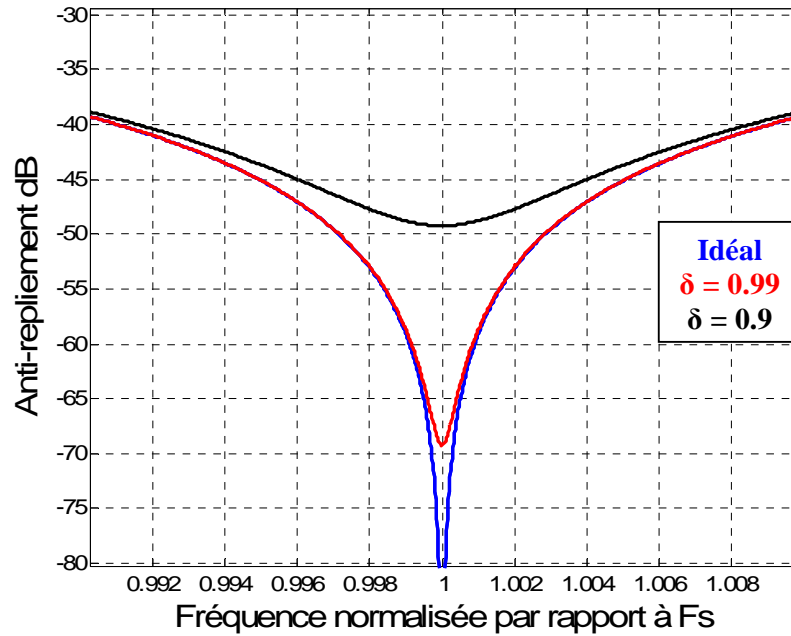


Fig. 4.32 : Impact du coefficient δ sur la correction des effets parasites sur le filtre AA

Les valeurs de δ choisies sont 0.99 et 0.9, elles correspondent à 1% et 10% d'erreur sur la recopie de tension. Au niveau « circuit », ces valeurs correspondent à des amplificateurs opérationnels de 40 et 20dB de gains en boucle ouverte (annexe IV).

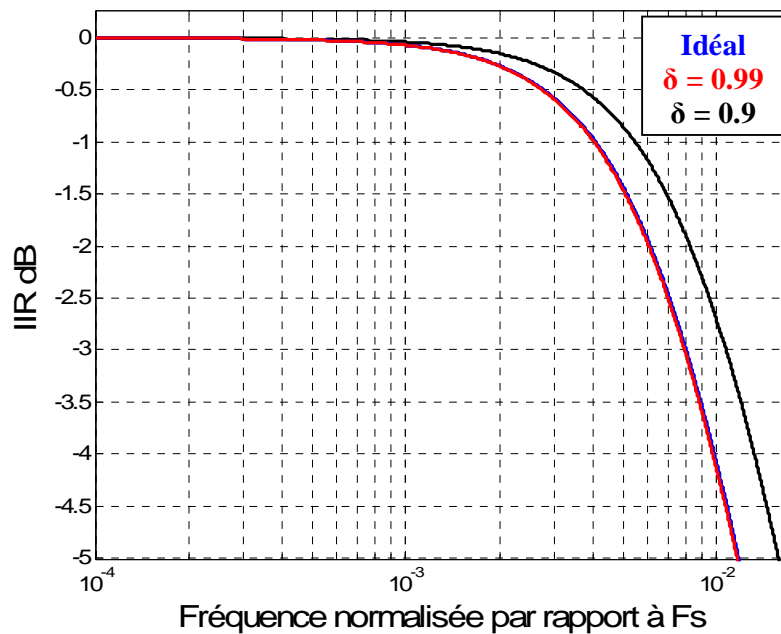


Fig. 4.33 : Impact du coefficient δ sur la correction des effets parasites sur le filtre IIR

Nos simulations actuelles servent donc de base à la spécification de ce bloc dans le cadre d'un dimensionnement d'une chaîne de réception basée sur l'architecture échantillonnée.

La figure 4.31 montre que la fonction de transfert globale est quasiment intacte avec une correction à $\delta = 0.99$. Cette tendance est confirmée par les courbes de résultats sur les figures 4.32 et 4.33 : en effet, la f_{-3dB} du filtre IIR est décalée de 45kHz seulement (autour de 5MHz) et l'atténuation du filtre AA dans une bande de 500kHz est de 0.7dB seulement au-dessous de la valeur théorique (Eq. 3.6) soit un gain de 40dB par rapport aux résultats précédents.

Les courbes de résultats avec une correction à 0.9 (courbes noires) donnent une idée de la robustesse de notre correction : la f_{-3dB} du filtre IIR est décalée de 1.7MHz et l'atténuation du filtre AA est 12dB au-dessous de sa valeur théorique.

Les mêmes conditions de simulations ont été utilisées pour le gain. Les résultats sont regroupés dans le tableau 4.8 :

δ	1	0.99	0.9
Gain (dB)	0	0.4	3

Tab. 4.8 : Impact du coefficient δ sur la correction des effets parasites sur le gain

En conclusion, notre méthode de correction de l'effet de la capacité parasite C_1 assure une amélioration de performance sur les fonctions de filtrage et de gain. Avec un amplificateur opérationnel de 40dB de gain seulement, nous corrigeons 40dB d'atténuation sur le filtre anti-repliement et nous garantissons une fréquence de coupure du filtre IIR et un gain global quasi-constants.

3. Simulation électriques

Dans cette partie, nous cherchons à valider par simulations les études qualitatives et quantitatives précédentes. Le système étudié contient le LNA, le mélangeur, le filtre IIR et une structure différentielle de capacités commutées à 4 voies d'entrelacement. L'entrelacement est nécessaire ici afin de réaliser le filtre anti-repliement (Fig. 3.11). Le schéma électrique de simulation est représenté sur la figure 4.34 : une capacité variable ou programmable a été placée avant le mélangeur pour modéliser la composante C_1 . Nous nous concentrons sur C_1 puisque les deux autres composantes ont des effets beaucoup moins importants. Pour faire des comparaisons directes, nous avons adopté les conditions et les valeurs adoptées du paragraphe précédent.

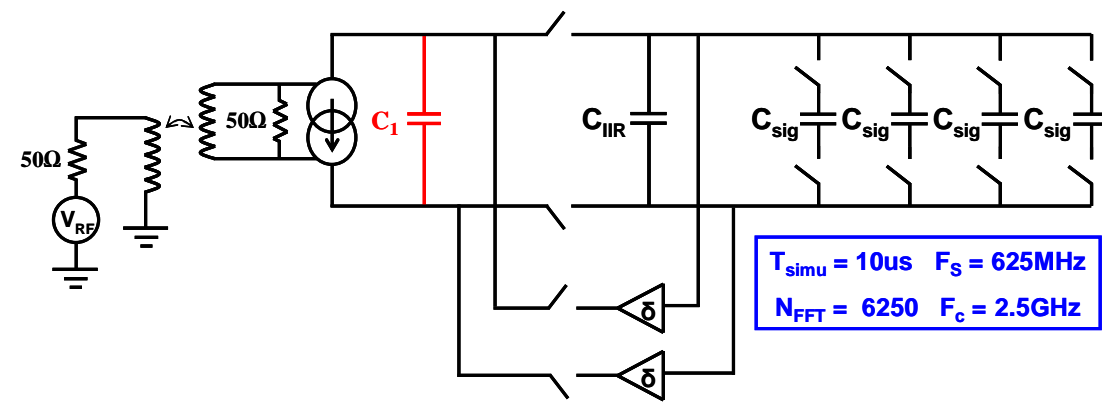


Fig. 4.34 : Le circuit de simulation de l'effet des capacités parasites

Le système est commandé par une batterie d'horloges avec des temps de montée et de descente typiques des technologies CMOS submicroniques avancées (autour de 20ps). Pour simuler l'impact de la capacité parasite C_1 uniquement, les interrupteurs utilisés sont des interrupteurs purement résistifs (Fig. 4.34). Nous les réalisons en se basant sur le modèle

d'interrupteurs établi au paragraphe I.C. Les résistances à l'état « ON » de ces interrupteurs sont calculées à partir de transistors MOS dimensionnés pour réaliser les interrupteurs du circuit. Les résistances à l'état « OFF » sont infinies. De cette manière, nous contrôlons parfaitement les capacités parasites à étudier par l'intermédiaire de la capacité variable C_1 . Nous utilisons la simulation « Transient » de Eldo sur laquelle nous appliquons un passage en fréquence grâce à une FFT dont nous choisissons judicieusement les paramètres. Le choix de la simulation temporelle est motivé par le caractère échantillonné de l'architecture étudiée : en effet, le grand nombre d'horloges carrées que nous utilisons pour commander les interrupteurs du circuit nous oblige à augmenter le nombre d'harmoniques à prendre en compte dans une simulation fréquentielle afin de bien modéliser ces signaux. Par conséquent, la complexité du calcul pour une simulation SST de *Eldo* (ou *Harmonic Balance* de ADS) devient vite rédhibitoire et des problèmes de convergence d'algorithmes ont lieu.

Nous choisissons donc de faire la simulation en deux étapes : Temporelle + FFT. Le seul inconvénient de cette méthode est sa lenteur puisqu'un temps de simulation assez long est nécessaire afin d'obtenir une bonne précision du spectre de sortie. Pour réduire au maximum tout bruit de calcul lié à notre FFT, nous faisons en sorte que la fréquence d'échantillonnage soit un multiple de toutes les fréquences du spectre de sortie. Les paramètres de notre simulation sont donnés en bleu sur la figure 4.34.

Sur les figures 4.35 et 4.36 nous représentons les courbes des résultats obtenus pour les simulations de filtrage IIR et anti-repliement dans le cas idéal (c.à.d. $C_1 = 0$) et dans le cas où $C_1 = 50\text{fF}$. Dans le cas où $\delta = 0.99$, les chiffres obtenus correspondent exactement aux chiffres calculés précédemment : 0.8dB (en simulation électrique) de filtrage AA en moins comparé à 0.7dB et 3.5dB (en simulation électrique) de perte de gain comparé à 3dB ; le décalage de la fréquence de coupure du filtre IIR est invisible sur le spectre de sortie donc inférieur à 100kHz (pas de calcul de la FFT) comparé à 45kHz. L'impact de C_1 est clair quand $\delta = 0.9$:

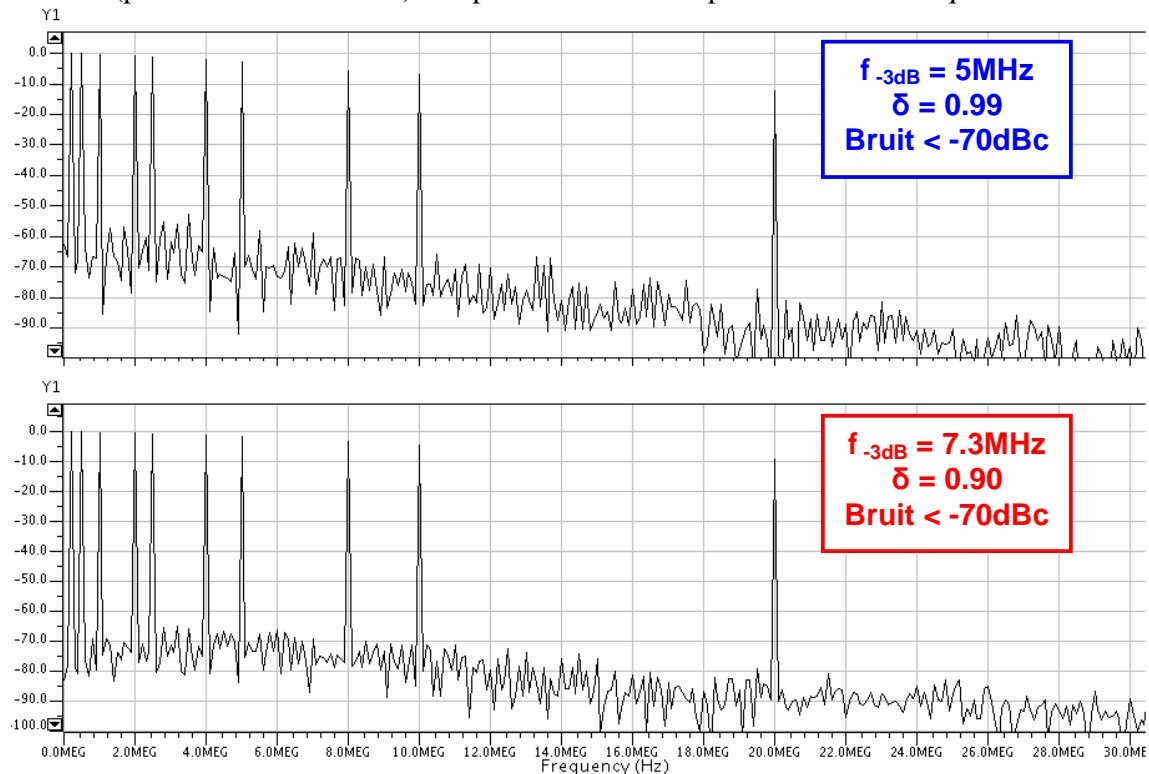


Fig. 4.35 : Le filtre de sélection de canal en présence de parasites et dans le cas idéal

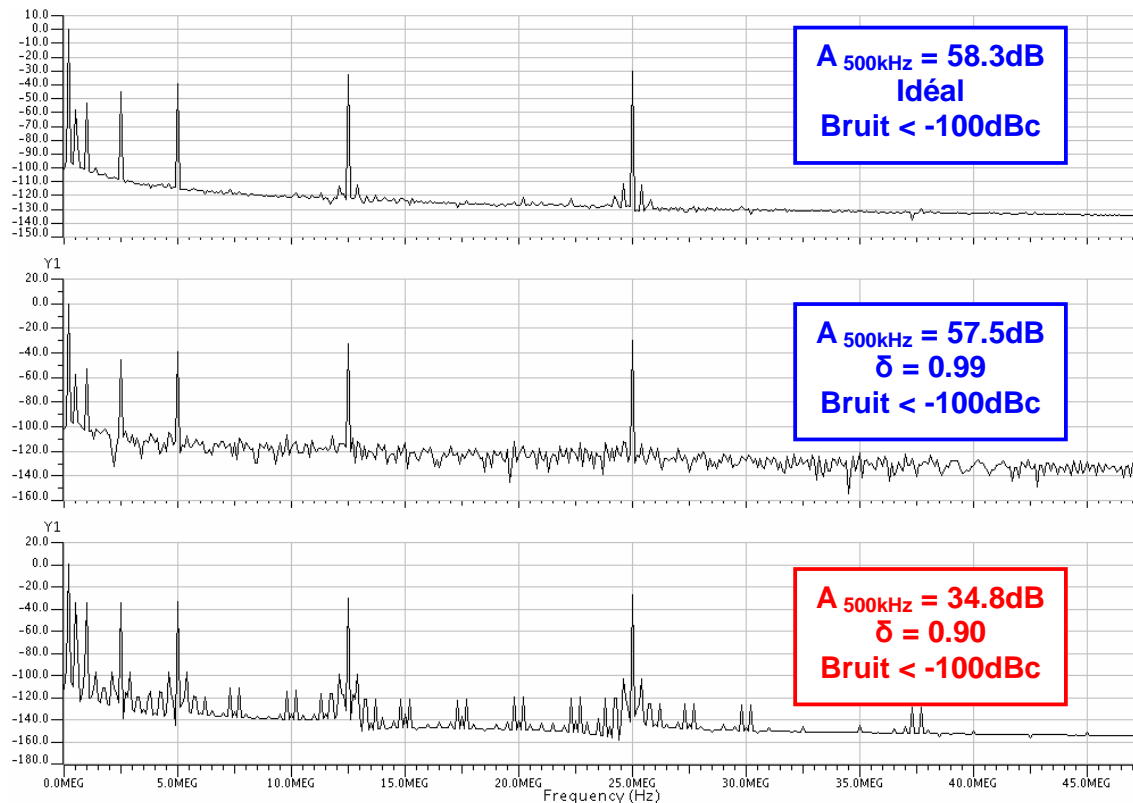


Fig. 4.36 : Le filtre anti-repliement en présence des parasites et dans le cas idéal

La simulation montre une perte de plus de 20dB de filtrage AA, un décalage de plus de 2MHz de la fréquence de coupure du filtre IIR et une perte de gain d'environ 3dB.

D'un point de vue qualitatif, les simulations sont en accord avec les résultats obtenus au paragraphe II.D.2. La précision de la correction (δ) impacte l'efficacité de la solution au niveau du gain, du filtrage AA et du filtrage IIR. Quantitativement, les simulations électriques ($\delta = 0.9$) montrent une dégradation légèrement supérieure à celle calculée au paragraphe précédent : une dégradation de 12 dB pour le filtre AA comparé à 20dB (simulation électrique) et un décalage de 1.7MHz comparé à 2.3MHz (simulation électrique) pour la fréquence de coupure du filtre IIR. La dégradation du gain est cependant similaire entre les deux résultats, elle vaut 3dB. Ces différences ajoutent des contraintes sur la conception de notre circuit de correction (suiveur de tension) et nous permettent de sortir une spécification de ce bloc : l'erreur de recopie doit rester inférieure à 1% ce qui implique un gain de 40dB au minimum sur les amplificateurs opérationnels à concevoir. Avec 40dB de gain, nous sommes à 1dB près de l'atténuation AA théorique et à quasiment la même $f_{-3\text{dB}}$ du filtre IIR.

En conclusion, nous avons démontré qualitativement, quantitativement et par simulations électriques une dégradation des fonctions de gain et de filtrage de l'architecture échantillonnée. Cette dégradation est due principalement à la composante parasite RF et une correction de son impact est indispensable au bon fonctionnement de l'architecture.

E. Evolution avec la technologie

L'étude précédente est directement liée à la portabilité de l'architecture échantillonnée : en effet, les capacités parasites dépendent de la technologie de fabrication et leur évolution d'un

nœud CMOS au suivant est très importante pour les résultats et les conclusions que nous avons obtenues. Nous discutons dans les points suivants la portabilité de l'architecture échantillonnée en ce qui concerne les capacités parasites.

Les coefficients α et β que nous avons utilisés dans les équations Eq. 4.24 et Eq. 4.35 sont inférieurs à 1 et modélisent l'effet des capacités parasites de l'architecture échantillonnée. Augmenter ces facteurs jusqu'à la valeur 1 permet de réduire l'effet des capacités parasites sur les performances de la chaîne de réception. Cela revient à augmenter les valeurs des capacités utiles C_{IRR} et C_{sig} (à rapport constant) et par conséquent la surface du circuit. Nous savons que l'évolution de la technologie CMOS permet de gagner en densité d'implémentation de certains types de capacités, i.e., Métal-Oxyde-Métal (MOM) en réduisant la distance minimale entre les doigts de la capacité. Ce gain permet donc d'augmenter la valeur de la capacité sans pour autant augmenter sa surface physique sur le dessin de masques. En réalité, ce gain en densité ne se chiffre pas facilement d'un nœud submicronique à un autre car il dépend de beaucoup de facteurs liés à la technologie de fabrication. Par exemple, la tension de claquage de la capacité diminue rapidement. Un gain de 50% en densité peut diviser la tension de claquage par 10 [114 STMicroelectronics]. D'autre part, augmenter C_{sig} a des conséquences négatives sur le gain de la chaîne (Eq. 3.11) et exige plus de gain (donc plus de consommation) au LNA afin de compenser la perte. En conclusion, l'effet des capacités parasites ne peut pas être réduit suivant cette perspective.

Dans les équations Eq. 4.24 et 4.35, on peut diminuer le facteur N pour augmenter les valeurs des termes α^N et α^{2N} et réduire ainsi l'effet des parasites quelles que soient les valeurs des coefficients α et β à la base. Concrètement, il faudra alors augmenter la fréquence d'échantillonnage F_S pour la même application radio (F_c). Or, les circuits CMOS profitent bien de l'évolution de la technologie en termes de vitesse de fonctionnement, ce qui permet d'envisager en toute rigueur cette voie. En ce sens, le bon choix de F_S peut réduire l'effet des capacités parasites indépendamment de leurs valeurs absolues ou de celles des capacités utiles correspondantes.

D'un point de vue purement technologique, parmi les éléments capacitifs parasites, nous trouvons les capacités qui sont liées aux connexions et aux lignes de routage sur le dessin de masques. L'évolution de la technologie CMOS va dans le sens d'une intégration de plus en plus complexe mettant en jeu beaucoup de fonctions RF, analogiques et numériques sur la même puce. Par conséquent, plus de lignes de connexions et de routage à tous les niveaux de métaux dans une surface totale de plus en plus réduite sont nécessaires pour connecter les différents blocs du circuit. En ce sens, les capacités parasites liées aux différentes connexions et lignes de routage entre les blocs et les composants ont tendance à augmenter faisant ainsi augmenter la composante parasite totale. L'impact est donc direct sur les performances de l'architecture échantillonnée.

La grande majorité des transistors MOS de l'architecture échantillonnée fonctionne en régime linéaire. Ceux-ci sont de ce fait dimensionnés à la longueur minimale (L_{min}) de la technologie. Au paragraphe I.D du chapitre 2, nous avons vu que la réduction des dimensions du transistor fait diminuer une partie de ses propres capacités parasites. Cependant, les composantes parasites latérales ou « frange » sont indépendantes des dimensions du dispositif et ne peuvent donc pas diminuer. En ce sens, à partir d'un certain nœud technologique on ne pourra plus gagner en termes de capacités parasites du transistor MOS même si nous diminuons ses dimensions. Nous ne pourrions jamais passer en-dessous d'une certaine valeur minimale qui définira le plancher absolue de capacités parasites. Cette limite laisse fortement croire que

l'impact des capacités parasites continuera à peser sur les performances de l'architecture échantillonnée quel que soit le nœud technologique avancé utilisé.

F. Conclusion

Une étude détaillée de l'impact des capacités parasites sur les performances au niveau « système » de l'architecture échantillonnée de réception radio a été menée. L'étude, qui est basée sur une analyse à la fois qualitative et quantitative ainsi que sur des simulations électriques, montre que l'architecture échantillonnée est considérablement impactée par les capacités parasites en termes de gain et de filtrages. Une solution a été proposée à ce problème et son efficacité a été démontrée par des simulations électriques de la structure. L'évolution de la technologie CMOS nous laisse fortement croire qu'il n'existera pas de solutions définitives à ce problème tant au niveau fabrication que conception.

III. Réduction des tensions d'alimentation

La réduction des tensions d'alimentation (V_{DD}) est l'un des points clés de l'évolution de la technologie CMOS. Son impact sur les applications numériques et analogiques a été détaillé paragraphe I.A du chapitre 2. Dans cette partie, notre objectif est de mesurer la robustesse de l'architecture échantillonnée de réception radio vis-à-vis de l'évolution de la technologie CMOS.

A. Contexte et importance de l'étude

Pour les applications analogiques échantillonnées où le transistor MOS fonctionne comme un interrupteur, la résistance à l'état « ON » (R_{on}) est une caractéristique importante qui définit (avec les capacités de charge) les temps d'établissements des échantillons. L'expression mathématique du R_{on} est donnée par la relation suivante :

$$R_{on} = \frac{K_n}{\mu_n C'_{ox} \frac{W}{L} (V_{DD} - V_{in} - V_T)} \quad (\text{NMOS}) \quad (\text{Eq.4.36})$$

$$R_{on} = \frac{K_p}{\mu_p C'_{ox} \frac{W}{L} (V_{in} - V_T)} \quad (\text{PMOS})$$

D'après l'équation Eq. 4.36, on remarque que le R_{on} dépend de l'amplitude du signal d'entrée, ce qui est source de non-linéarité. Egalement, on voit que toute diminution de V_{DD} implique une augmentation de la valeur du R_{on} et laisse de moins en moins de marge à la dynamique d'entrée du signal pour laquelle la condition de conduction d'un transistor MOS est satisfaite ($[V_{GS} - V_T] > 0$). Ainsi, nous pouvons dire que la linéarité, la résistance à l'état « ON » et la dynamique d'entrée du signal sont les trois paramètres critiques liés à la réduction des tensions d'alimentation en technologies CMOS.

L'architecture échantillonnée de réception radio est basée principalement sur des structures de capacités commutées qui réalisent les fonctions suivantes : mélange, filtrage de sélection de canal (IIR) et filtrage anti-repliement (AA). En se basant sur les schémas des figures 3.11 et 3.16 (du chapitre 3) nous pouvons estimer le nombre d'interrupteurs MOS et de capacités nécessaires pour implémenter une chaîne échantillonnée de réception radio. Considérons,

pour cela, le cas d'un récepteur à huit voies d'entrelacement (pour le filtre AA) qui doit adresser trois canaux de largeurs différentes. Nous considérons, par ailleurs, que la structure du récepteur est entièrement différentielle (Fig. 4.37).

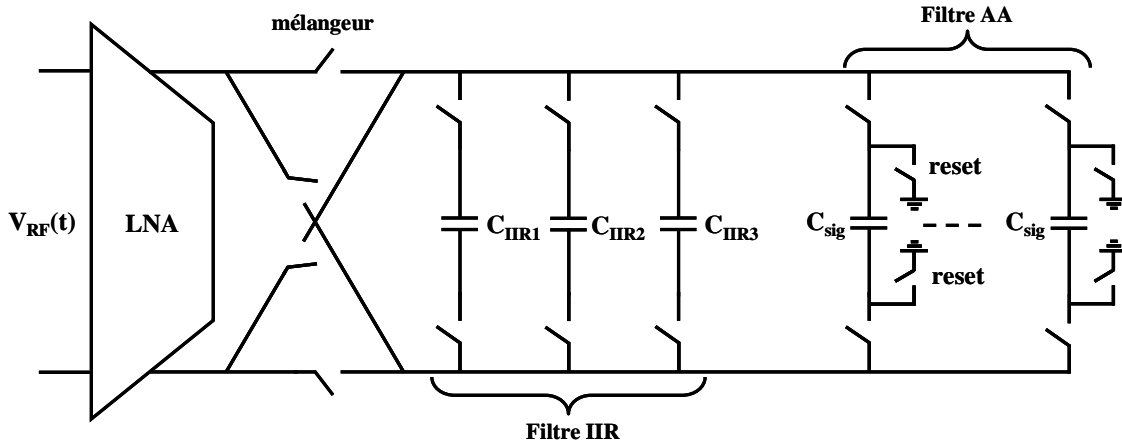


Fig. 4.37 : Exemple d'un récepteur basé sur l'architecture échantillonnée

Sur ce schéma, nous comptons 2×2 interrupteurs sur le mélangeur, 3×2 interrupteurs avec 3 capacités sur le filtre IIR et $8 \times (2+2)$ interrupteurs avec 8 capacités sur le filtre AA : au total, nous avons donc 42 interrupteurs MOS et 11 capacités.

Les techniques de compensation présentées au chapitre 2 permettent de s'affranchir de certains problèmes liés à la réduction de la tension d'alimentation. Nous allons voir quelles techniques sont facilement implémentables dans le cas de l'architecture échantillonnée :

En effet, le nombre de transistors MOS utilisés dans le cas de notre exemple est assez conséquent. Si nous appliquons la technique de « Clockboosting » sur les 42 interrupteurs, la complexité du circuit est excessivement accrue, le nombre de transistors est multiplié par 4 ou 5 (Fig. 2.9 et Fig. 2.10) et le nombre d'horloges augmente également. Nous pensons fortement que cette technique ne s'applique pas au cas de l'architecture échantillonnée de réception radio.

L'une des techniques les plus simples est l'utilisation des transistors « low- V_T ». Elle consiste à faire fonctionner les transistors MOS avec des valeurs de tensions $[V_{GS} - V_T]$ plus grandes que celles obtenues avec la technologie de base. L'avantage est double : d'une part, on donne plus de dynamique possible au signal d'entrée et d'autre part, on diminue les valeurs des R_{on} , ce qui compense à la fois deux inconvénients liés à la baisse de la tension d'alimentation. Cette technique est bien adaptée à l'architecture échantillonnée puisqu'elle n'intervient qu'au niveau du procédé de fabrication et est indépendante du circuit lui-même. Cependant, il faut faire attention à la fuite de l'état « OFF » et étudier son impact sur les performances du circuit.

La dernière technique consiste à utiliser des interrupteurs à transistor unique avec un mode commun adapté. Le transistor NMOS peut fonctionner avec des modes communs de faibles valeurs, ce qui assure à la fois une bonne linéarité de l'interrupteur et une faible valeur de R_{on} . Ces deux avantages sont importants dans le contexte de l'évolution de la technologie CMOS et de la baisse des tensions d'alimentation.

En conclusion, l'utilisation des transistors NMOS « low- V_T » avec faible mode commun paraît la meilleure solution (tant au niveau conception et fabrication) pour limiter les effets de la réduction de V_{DD} sur l'architecture échantillonnée.

Dans le paragraphe suivant, nous allons quantifier par des simulations électriques la robustesse de l'architecture échantillonnée vis-à-vis de la baisse des tensions d'alimentation.

B. Impact de la baisse de V_{DD} sur les performances de l'architecture échantillonnée

Etudier l'impact de la baisse des tensions d'alimentation dans le cadre de l'évolution de la technologie CMOS n'est pas évident : en effet, à chaque passage d'un nœud technologique au nœud suivant, les caractéristiques du transistor évoluent avec V_{DD} . Notre étude concerne principalement la partie analogique temps-discret de l'architecture échantillonnée constituée d'interrupteurs. A la différence des applications analogiques classiques, en régime linéaire, le transistor MOS est caractérisé principalement par sa résistance à l'état « ON ». Pour cela, nous avons dimensionné le circuit de la figure 4.37 en technologie CMOS 65nm et nous avons simulé ce circuit avec plusieurs valeurs de tension d'alimentation, allant du V_{DD} nominale jusqu'à 0.7V. Les simulations de performance que nous avons faites concernent le gain et les fonctions de filtrage AA et IIR.

Nous avons repris les mêmes méthodes de simulation et de calcul utilisées aux paragraphes I et II. Le circuit qui a servi à nos simulations est basé sur le schéma de la figure 4.37 sur lequel nous avons rajouté la boucle de correction des parasites expliquée au paragraphe II.D. Les transistors, les capacités et les horloges ont été dimensionnés en CMOS 65nm pour réaliser le récepteur échantillonné avec 8 voies d'entrelacement et trois largeurs de canaux.

Pour réduire les temps de simulations une source de courant RF idéale a été utilisée à la place du LNA avec une impédance de sortie qui correspond au LNA de l'architecture échantillonnée. Egalement, une seule largeur de canal a été adoptée pour l'étude du filtre IIR (5MHz) sachant que le comportement du circuit est directement extrapolé pour les autres largeurs. La source de courant RF a un gain de transconductance de 80mS et une impédance de sortie qui vaut [400 Ω , 60fF]. Un « peigne » de signaux est utilisé en entrée dont les fréquences sont judicieusement choisies pour chacun des deux cas de filtres à étudier. Dans le peigne d'entrée, le signal utile est un ton décalé de 200kHz par rapport à la fréquence porteuse (pour le séparer visuellement dans le spectre de sortie).

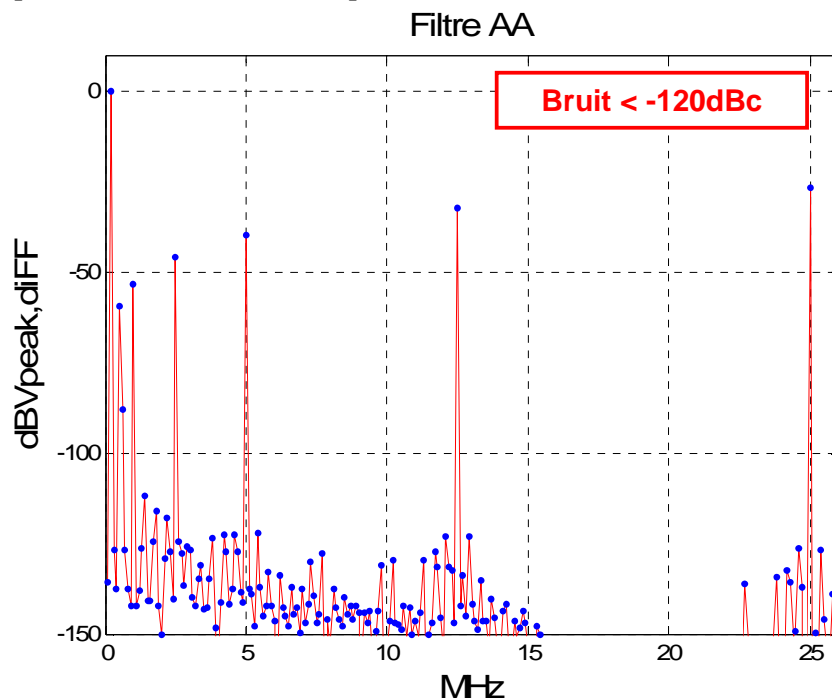


Fig. 4.38 : Le filtre AA en 65nm et à tension d'alimentation nominale

Les signaux qui ont servi au calcul de la fonction de transfert du filtre IIR (resp. filtre AA) ont été placés aux fréquences suivantes de 0.5, 1, 2, 2.5, 4, 5, 8, 10 et 20MHz (resp. 0.5, 1, 2.5, 5, 12.5 25MHz).

La fréquence d'échantillonnage de la FFT a été choisie pour réduire au maximum le bruit de calcul. La tension d'alimentation nominale du nœud 65nm est 1.2V, nous représentons sur les figures 4.38 et 4.39 les spectres de sortie normalisés des filtres IIR et AA dans le cas $V_{DD} = 1.2V$. Avant normalisation, nous avons mesuré un gain global de 38 dBVrms/dBm.

Le lobe de la fonction sinus cardinal ainsi que la fréquence de coupure du filtre IIR apparaissent de manière assez claire sur les figures 4.38 et 4.39.

On remarque que le niveau de bruit est très faible sur les deux spectres ($< -100dBc$) ce qui permet de bien séparer les signaux utiles, des signaux d'intermodulation et du bruit de la chaîne de réception en général.

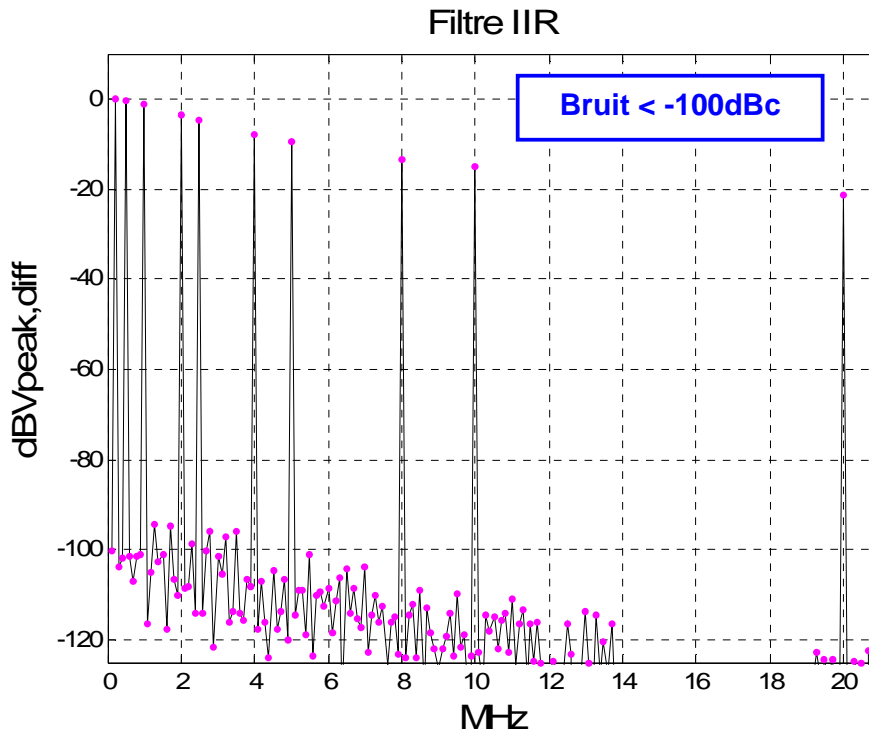


Fig. 4.39 : Le filtre IIR en 65nm et à tension d'alimentation nominale

A partir de ce résultat et de la précision que nous avons pu avoir, nous avons simulé le même circuit à différentes tension d'alimentation allant de 1.2V à 0.7V, soit sur une plage de 500mV (40% de V_{DD} nominale). Les résultats, normalisés par rapport au cas $V_{DD} = 1.2V$, sont regroupés dans le tableau 4.9.

V_{DD} (V)	1.2	1.1	1.0	0.9	0.8	0.7
Gain normalisé (dB)	0.00	-0.05	-0.18	-0.52	-1.50	-2.20
Att_{Sinc} normalisée à 500kHz (dB)	0.00	-0.00	-0.03	-0.1	-0.25	-3.40
Att_{IIR} normalisée à 20MHz (dB)	0.00	-0.01	-0.02	-0.05	-0.10	-1.60

Tab. 4.9 : Impact de la tension d'alimentation sur l'architecture échantillonnée en 65nm

L'atténuation du filtre AA à 500kHz de la fréquence porteuse caractérise la « profondeur » des zéros de la fonction sinus cardinal qui réalise le filtre anti-repliement. A $V_{DD} = 1.2V$, elle

vaut 59.3dB. L'atténuation du filtre IIR à 20MHz caractérise la réjection des canaux adjacents, à $V_{DD} = 1.2V$ elle vaut 21.2dB.

Nous déduisons des résultats du tableau 4.9, que pour des tensions d'alimentation allant jusqu'à 0.8V et en gardant toujours la même technologie, les performances de l'architecture échantillonnée en termes de gain, de filtrage de sélection de canal et de filtrage anti-repliement restent quasiment intacts. Seul le gain, à $V_{DD} = 0.8V$, connaît une perte de 1.5dB qu'on peut commencer à sentir sur une chaîne de réception radio. Notons que dans ces simulations, nous avons gardé constant le mode commun à 200mV, ce qui montre une robustesse non négligeable du circuit vis-à-vis de V_{DD} .

A partir de 0.7V de tension d'alimentation, les pertes augmentent sur les trois grandeurs : on perd 2.2dB de gain, 3.4dB d'atténuation du filtre AA dans une bande de $\pm 500kHz$ et 1.6dB d'atténuation du filtre IIR à 20MHz. La simulation à $V_{DD} = 0.7V$ nous montre la limite à partir de laquelle le portage « non-intelligent » ou direct de l'architecture échantillonnée commence à impacter les performances à tensions d'alimentation réduites.

C. Conclusion

L'étude précédente montre clairement la robustesse de l'architecture échantillonnée vis-à-vis de la baisse des tensions d'alimentation. Les simulations électriques sur un récepteur échantillonné dimensionné en CMOS 65nm ont montré qu'on pouvait réduire la tension d'alimentation jusqu'à 60% de sa valeur nominale, à dynamique et mode commun constants, sans pour autant affecter les performances radio.

En conclusion, la limite de 60% de l'exemple étudié, pourra certainement être poussée plus bas encore avec un portage « intelligent » du système qui prend en compte l'évolution des paramètres du transistor d'un nœud technologique à un autre et les réglages de modes communs et de dynamique d'entrée.

IV. Effet de la fuite de grille

La fuite par effet « Tunnel » est un phénomène purement quantique qui se manifeste lorsque des porteurs, arrivant à l'interface Silicium-Oxyde du transistor MOS, franchissent directement la barrière de potentiel sans acquérir une énergie supplémentaire. Une étude détaillée de son importance ainsi que de son évolution en fonction de la technologie a été présentée au paragraphe I.B.3 du chapitre 2. Dans cette partie, nous nous intéressons à l'impact qu'il peut avoir sur les performances radio de l'architecture échantillonnée. Les résultats et les conclusions de l'étude que nous avons menée au chapitre 2 nous sont très utiles.

Nous allons maintenant rappeler ces conclusions : la densité de courant de fuite de grille (J_g) (exprimée en A/cm^2) dépend exponentiellement de l'épaisseur de l'oxyde (T_{ox}), ce qui explique les augmentations importantes de J_g en fonction de la technologie. La fuite de grille à l'état « ON » est 10 fois plus grande qu'à l'état « OFF » et elle est 2.5 à 3 fois plus faible pour les transistors PMOS que NMOS ; Les mesures des courants de fuite de grille dans les technologies CMOS avancées (données de ST Microelectronics, TSMC et IBM) montrent des valeurs de $2.5mA/mm^2$ en technologie 32nm (Tab. 2.1) ; D'un point de vue électrique, la grille du transistor est parcourue par un courant DC et son impédance d'entrée contient une composante résistive dont l'effet n'apparaît qu'en-dessous d'une fréquence caractéristique (f_{gate}) qui est de l'ordre de quelques dizaines de MHz en 45nm (Fig. 2.16).

Nous allons maintenant étudier l'impact du courant de fuite de grille sur les performances radio de l'architecture échantillonnée.

Afin d'estimer les courants parasites dus à la fuite de grille, nous avons réalisé des simulations sur des interrupteurs MOS de dimensions différentes. Nous avons considéré un premier transistor de longueur minimale et de largeur $20\mu\text{m}$ et un deuxième de dimensions beaucoup plus grandes avec $L = 10\mu\text{m}$ et $W = 100\mu\text{m}$. Ces deux transistors ont été simulés en CMOS 90,65 et 45nm et à chaque fois les mêmes conditions de charge ont été utilisées pour rendre la comparaison pertinente. La charge est une résistance de $10\text{k}\Omega$ ce qui correspond à une capacité de 0.1pF commutée à 1GHz de fréquence. Une extrapolation en CMOS 32nm a été faite en se basant sur les chiffres du tableau Tab. 2.1.

Les courants de fuite de grille (I_G) et de drain (I_D) ont été extraits par simulation, le tableau 4.10 résume tous les résultats obtenus :

Transistor NMOS		Techno (nm)			
		90	65	45	32 (extrap.)
L_{\min} , $W = 20\mu\text{m}$	I_D (μA)	32.37	32.32	32.25	32.25
	I_G (nA)	0.02	0.04	0.2	0.5
	I_D/I_G (%)	6×10^{-5}	1.24×10^{-4}	6.2×10^{-4}	1.55×10^{-3}
$L = 10\mu\text{m}$, $W = 100\mu\text{m}$	I_D (μA)	28.63	27.3	23.9	23.9
	I_G (nA)	34	62	320	800
	I_D/I_G (%)	0.12	0.22	1.34	3.34

Tab. 4.10 : Impact de la fuite de grille sur le fonctionnement de l'interrupteur MOS

Dans le tableau précédent, nous avons estimé la perte en courant due à la fuite de grille en calculant le rapport des courants I_G et I_D . Nous remarquons qu'entre les technologies CMOS 90 et 32nm ce rapport varie d'un facteur d'environ 30, ce qui correspond à un changement non-négligeable. Dans le cas du transistor de dimensions $L_{\min} \times 20\mu\text{m}$, la valeur du courant de fuite est de l'ordre de 0.5nA au pire-cas (32nm). Dans le cas du transistor de dimensions $10\mu\text{m} \times 100\mu\text{m}$, la valeur peut atteindre $0.8\mu\text{A}$. Cependant, pour les applications échantillonnées qui nous intéressent dans le cadre de ce travail de thèse, le transistor est souvent dimensionné à la longueur minimale de la technologie et à la plus petite largeur possible, ce qui nous ramène à des valeurs de courants de fuite de 0.5nA . Pour mieux comprendre et comparer cette valeur aux courants qui pourront exister dans une architecture échantillonnée de réception radio, nous considérons l'exemple concret suivant : supposons que le signal d'entrée est de l'ordre d'une dizaine de microvolts (-90dB_m sous 50Ω), et que le gain de transconductance est de l'ordre de 50mS ; le courant d'intégration sera d'environ $0.5\mu\text{A}$. Dans ce cas, la fuite d'un transistor NMOS en technologie 32nm de dimensions L_{\min} et $W = 20\mu\text{m}$ sera de 0.5nA , soit 0.1% de la plus petite valeur possible du courant utile. L'exemple précédent semble confirmer la robustesse de l'architecture échantillonnée à la fuite de grille.

Pour étayer cette conclusion, nous avons simulé la structure de la figure 4.37 avec des transistors de la technologie 45nm. Nous avons calculé les fonctions de filtrage et de gain et à chaque fois deux simulation sont réalisées : une 1^{ère} avec le modèle compact du transistor et une 2^{ème} fois en annulant le courant de fuite de grille dans la carte du modèle. L'objectif est de quantifier l'impact de la fuite de grille sur les fonctions de l'architecture échantillonnée. Tous les résultats obtenus n'ont pas permis de quantifier une différence entre les deux simulations, même avec des grandes précisions de calcul. Nous pensons que ce résultat montre réellement la robustesse quasi-parfaite de l'architecture échantillonnée vis-à-vis de la fuite de grille (au moins jusqu'au nœud technologique CMOS 45nm).

V. Conclusion générale

Dans ce chapitre nous avons étudié plusieurs effets technologiques liés à la portabilité et nous avons pu quantifier l'impact de chacun d'entre eux sur les performances au niveau « système » de l'architecture échantillonnée de réception radio.

Nous avons montré que l'injection de charges a tendance à diminuer en fonction de l'évolution de la technologie CMOS, et son impact sur les performances radio de la solution étudiée reste limité (même si visible en simulation). En conclusion, à long-terme, l'injection de charges ne pourra pas limiter la portabilité de l'architecture échantillonnée.

L'étude que nous avons faite a montré que les capacités ont tendance à plafonner sur une limite et que donc on ne pourra plus gagner beaucoup lors d'un portage d'un circuit en technologie avancée. De plus, nous avons montré que l'impact des capacités parasites sur l'architecture échantillonnée était conséquent et qu'une structure de correction doit absolument faire partie du système pour obtenir de bonnes performances radio. En ce sens, les capacités parasites ne pourront pas bloquer la portabilité de cette solution à condition d'implémenter la correction.

La réduction des tensions d'alimentation a aussi fait partie de notre étude, les simulations nous ont conduit à la conclusion suivante : l'architecture échantillonnée est bien robuste vis-à-vis de la baisse de V_{DD} même sans redimensionnement du circuit dans le nœud CMOS suivant. Cette robustesse augmente considérablement la portabilité de cette solution.

La fuite de grille augmente considérablement en fonction de l'évolution de la technologie CMOS, cependant les mesures des courants de fuite actuelles montrent une grande marge de sécurité en amplitude par rapport aux courants utiles. La nature échantillonnée de la solution permet de réduire les tailles des composants MOS implémentés ce qui conduit à des ordres de grandeurs négligeables pour les courants de fuite. Nous croyons fortement que la fuite de grille n'affectera pas la portabilité de l'architecture échantillonnée.

Le seul effet sur lequel nous n'avons pas pu travailler est la pollution numérique, c.à.d l'impact du bruit des circuits numériques couplé par le substrat. Sachant que l'évolution de la technologie CMOS va dans le sens d'une augmentation de l'intégration ce bruit a tendance à augmenter. Il pourra devenir un point limitant la portabilité de la solution. Nous pensons fortement qu'une étude sur l'impact de ce bruit sur l'architecture échantillonnée est importante.

En conclusion, nous pouvons estimer positivement la portabilité de l'architecture échantillonnée en fonction de la technologie CMOS. Cependant, l'optimisation du portage et du redimensionnement de la solution à chaque passage d'un nœud CMOS au nœud suivant est indispensable pour maintenir la portabilité.

Dans le chapitre suivant, nous présentons le portage d'une chaîne de réception complète basée sur l'architecture échantillonnée. Le dimensionnement et les problématiques liés à l'opération de portage y sont expliqués.

Chapitre 5

I. Introduction

L'objectif principal de ce travail de thèse est de répondre à la question de portabilité de l'architecture échantillonnée de réception radio. Pour cela, il est indispensable pour nous de réaliser le portage d'un récepteur échantillonné d'un nœud technologique au nœud suivant, afin de se confronter concrètement aux problèmes de conception liés à l'opération de portage. Dans le cas idéal d'une solution parfaitement portable, le transfert souhaité se fait de manière directe sans avoir besoin de retravailler les blocs constitutifs de la chaîne : on imagine ainsi, que des simulations « système » suffiront, pour valider le circuit avant de l'envoyer en fabrication. Cependant, dans le cas réel, les concepteurs sont souvent amenés à adapter les blocs aux nouvelles conditions, afin d'obtenir des performances au moins égales à celles obtenues sur la technologie d'avant.

Dans ce paragraphe, nous allons réaliser le portage d'une chaîne de réception complète (Fig. 5.1), basée sur l'architecture échantillonnée, de la technologie CMOS 65 à 45nm. Ce travail nous aidera à savoir quels sont les points critiques liés à la portabilité de l'architecture échantillonnée.

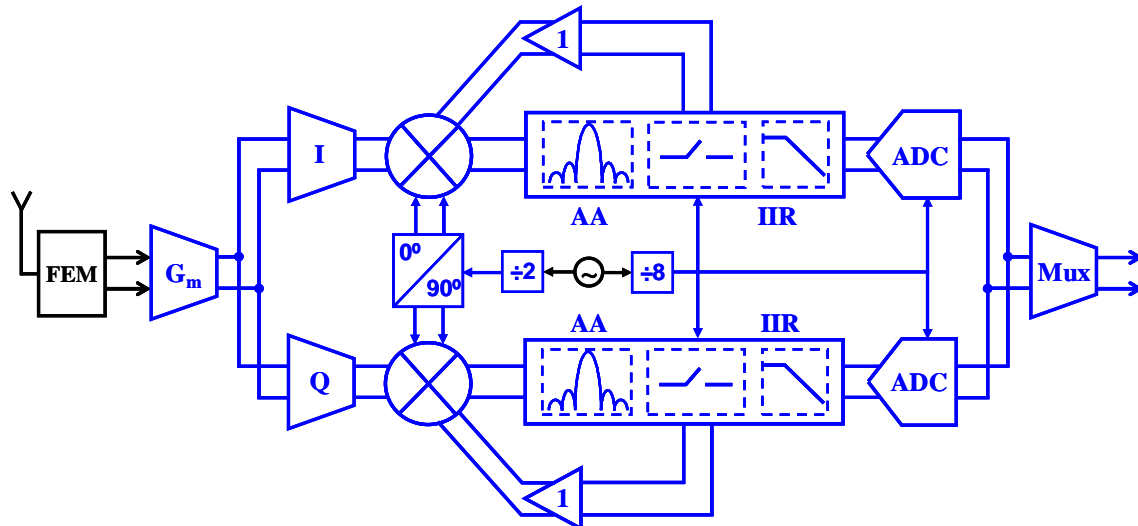


Fig. 5.1 : Schéma détaillé du récepteur à transférer de la technologie CMOS 65 à 45nm

Dans les paragraphes suivants, nous allons exposer nos objectifs, notre méthodologie de portage et de conception ainsi que la réalisation et les mesures obtenues.

II. Objectifs

La conception et la réalisation d'une chaîne de réception dépend énormément de l'application visée. Dans ce paragraphe, nous souhaitons spécifier le périmètre de l'application en termes de standards, de bandes RF et de largeurs de canaux.

A. Le Wi-Fi ou IEEE 802.11

La norme IEEE 802.11 appelée souvent « Wi-Fi » (Wireless Fidelity) contient toutes les spécifications radio et autres nécessaires à la réalisation d'un émetteur/récepteur pour un système sans fils de connectivité de données de courte distance. La spécificité du Wi-Fi est

qu'il est aussi bien spécifié pour utiliser la technique d'étalement de spectre (802.11b) que l'OFDM (802.11a/g/n). La norme prévoit l'utilisation de canaux de largeur 5, 10 et 20MHz dans trois bandes RF différentes [27 IEEE] : la bande basse allant de 2.4 à 2.5GHz et les deux bandes hautes allant de 4.9 à 5.3GHz et de 5.5 à 5.8GHz.

Dans le cadre de ce travail de thèse réalisé chez STMicroelectronics, nous étions amenés à faire le portage, la conception et la réalisation d'un récepteur échantillonné visant le standard 802.11g/n dans la bande 2.4-2.5GHz avec une largeur de canal de 20MHz.

B. Le « mobile WiMAX » ou IEEE 802.16e

La norme IEEE 802.16e appelée souvent « mobile WiMAX » (mobile Wireless Interoperability for Microwave Access) contient toutes les spécifications radio et autres nécessaires à la réalisation d'un émetteur/récepteur pour un système radio mobile de 4^{ème} génération. Ce standard de communication, basé sur la technique OFDM, prévoit l'utilisation de 16 largeurs de canaux différentes allant de 1.25 à 20MHz dans trois bandes RF [28 Gray] : les bandes basses allant de 2.3 à 2.4GHz et de 2.5 à 2.7GHz, puis la bande haute allant de 3.3 à 3.8GHz. Le « mobile WiMAX » est aussi bien spécifié pour un fonctionnement TDD (« Time Division Duplex ») que FDD (« Frequency Division duplex »).

Dans le cadre de ce travail de thèse réalisé chez STMicroelectronics, nous étions amenés à faire le portage, la conception et la réalisation d'un récepteur échantillonné visant le standard 802.16e TDD dans la bande 2.5-2.7GHz avec des canaux de largeur 5 et 10MHz.

III. Dimensionnement du récepteur et simulations « système »

A. Les spécifications de la norme

Pour concevoir une chaîne de réception radio, la première chose à faire est de savoir quelles sont les contraintes qu'elle doit subir dans des conditions de fonctionnement réelles. L'ensemble de ces contraintes physiques de la couche radio est appelé « spécifications de la norme » et doit être étudié en premier par les concepteurs de systèmes RF. Ces spécifications concernent les niveaux de puissance du signal utile, la bande RF, la largeur du canal de communication, les niveaux de puissances et le décalage fréquentiel des signaux brouilleurs, le type de modulation utilisé et les taux d'erreur binaire (BER) à obtenir en sortie du démodulateur. Dans les deux parties suivantes, nous allons détailler les spécifications de la norme pour les deux standards de communications sans fils que nous ciblons pour notre chaîne de réception.

1. Le Wi-Fi

La première spécification et certainement la plus importante en conception radio est la sensibilité : elle correspond à un cas de fonctionnement où le signal utile se propage seul sur le canal hertzien sans présence de signaux brouilleurs. En général, la norme spécifie les niveaux de puissance à l'antenne pour lesquelles des BER doivent être respectés en sortie du démodulateur numérique.

En télécommunications, il existe une relation liant la capacité numérique d'un canal de transmission (C) au rapport signal à bruit (SNR) en sortie de ce dernier :

$$C = B \times \text{Log}_2[1 + \text{SNR}] \quad (\text{Eq.5.1})$$

avec C en bps (bit/s), B la largeur spectrale du canal de communication en Hz et SNR en dB. D'après le théorème de Shannon et de Hartley (Eq. 5.1), il existe une relation simple liant le BER et le SNR. Le rôle d'un concepteur RF est de traduire les chiffres de BER fournis par la norme en valeurs de SNR exprimés en dB à l'entrée du démodulateur (sortie de son circuit). Le tableau 5.1 donne les niveaux de sensibilité pour toutes les modulations prévues par la norme 802.11 [115 IEEE] avec les chiffres de SNR à respecter à l'entrée du démodulateur numérique :

Modulation	Sensibilité (dBm)	SNR (dB)	Dynamique (dB)
BPSK $\frac{1}{2}$	-82	4.1	62
BPSK $\frac{3}{4}$	-81	5.1	61
QPSK $\frac{1}{2}$	-79	7.1	59
QPSK $\frac{3}{4}$	-77	9.1	57
16-QAM $\frac{1}{2}$	-74	12.1	54
16-QAM $\frac{3}{4}$	-70	15.1	50
64-QAM $\frac{2}{3}$	-66	19.1	46
64-QAM $\frac{3}{4}$	-65	21.1	45

Tab. 5.1 : Les niveaux de sensibilité et les valeurs de SNR de la norme IEEE 802.11g/n

La sensibilité représente la performance d'un système de communication à faibles puissances d'entrée. Une autre spécification est définie pour les fortes puissances : c'est le niveau de puissance maximal du signal à l'antenne de réception (S_{\max}). En Wi-Fi, ce niveau peut aller jusqu'à $10\mu\text{W}$ ou -20dBm pour un SNR en sortie de 21.1dB . A partir du niveau de sensibilité et du S_{\max} , nous pouvons déduire la dynamique totale d'un signal Wi-Fi (Tab. 5.1) :

$$DR = S_{\max} - \text{Sensi} \quad (\text{Eq.5.2})$$

Un signal OFDM est construit sur une base de fréquences orthogonales. En émission, la modulation est générée numériquement par une simple FFT inverse [25 Bahai]. En réception la démodulation est réalisée par FFT. Le tableau 5.2 résume les paramètres de la modulation OFDM du signal Wi-Fi dans le cas du canal de largeur 20MHz .

Bande passante nominale (MHz)	20
Fréquence d'échantillonnage (MHz)	20
Taille FFT	64
Nombre de sous-porteuses utiles	52
Nombre total de sous-porteuses	64
Distance entre deux sous-porteuses (kHz)	312.5

Tab. 5.2 : Paramètres de la modulation OFDM en Wi-Fi 20MHz

Dans un signal IEEE 802.11g/n, toutes les sous-porteuses sont allouées à un seul utilisateur, il n'existe pas de multiplexage entre utilisateurs sur le même canal de communication.

En général, la norme d'un standard de communication donné spécifie des cas de fonctionnement où l'antenne du récepteur reçoit le signal utile avec un ou plusieurs brouilleurs. La norme IEEE 802.11 définit deux types de brouilleurs : les canaux adjacents notés $[N+1]$ et les canaux « alternate » notés $[N+i]$ (Fig. 5.2.).

Les canaux adjacents sont les signaux les plus proches du signal utile alors que les canaux « alternate » se juxtaposent ensuite l'un à la suite de l'autre. En cas de présence de brouilleurs,

le niveau du signal utile est 3dB au-dessus des niveaux de sensibilités données dans le tableau 5.1 [115 IEEE], les canaux adjacents sont à -63dBm et les canaux « alternate » sont à -47dBm. Dans le cas de notre implémentation, les signaux adjacents (resp. les « alternate ») se trouvent à 20MHz (resp. 40, 60, 80... MHz) du signal utile.

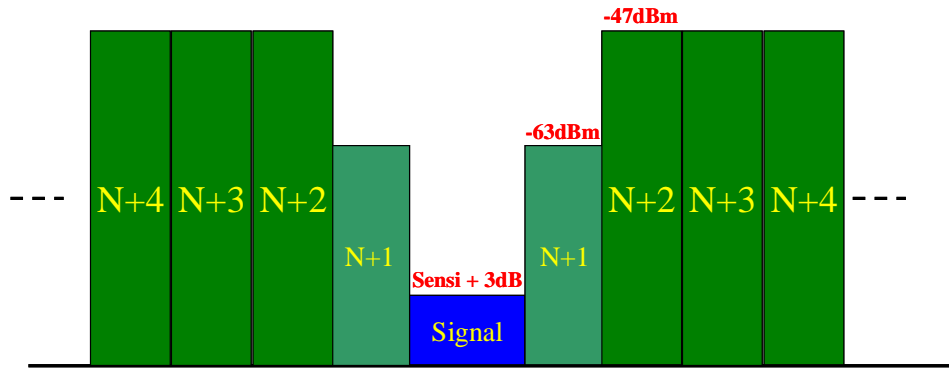


Fig. 5.2 : Profil des brouilleurs en IEEE 802.11

La norme prévoit au total quatre types de scénarios de brouilleurs (Fig. 5.3) : [signal + adjacent] / [signal + « alternate »] / [signal + adjacent + « alternate »] / [signal + « alternate » + « alternate »].

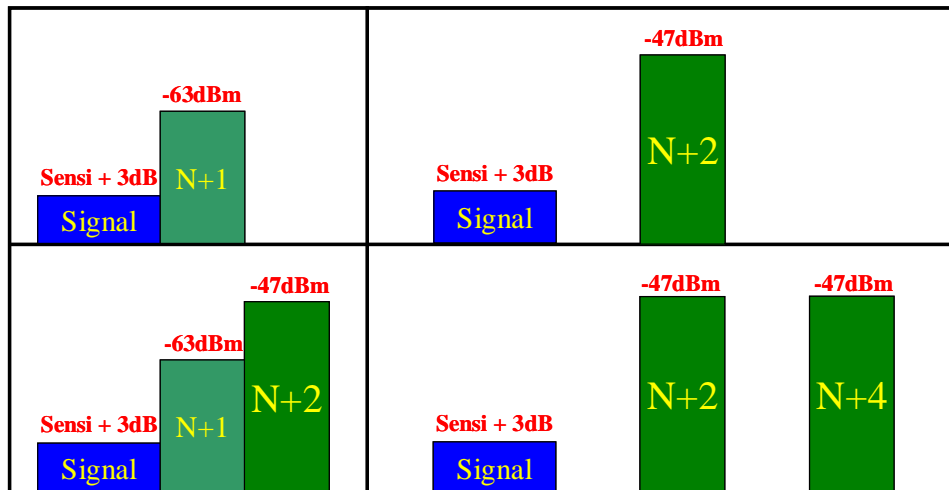


Fig. 5.3 : Scénarios de brouilleurs en IEEE 802.11

La figure 5.2 nous montre que le dimensionnement du filtre analogique de sélection de canal dépendra directement du canal « alternate » [N+2] qui est le plus proche du signal utile. D'autre part, la contrainte de linéarité d'ordre 3 sur un récepteur Wi-Fi dépendra des canaux « alternate » [N+2] et [N+4] car des sous-porteuses peuvent se recombinaison donnant naissance à des raies d'intermodulation au niveau du canal utile.

2. Le « mobile WiMAX »

A la différence de Wi-Fi, le « mobile WiMAX » utilise l'OFDMA qui est une technique de saut de fréquences permettant de multiplexer des sous-porteuses venant de plusieurs utilisateurs sur le même canal. Le détail de cette technique de modulation ainsi que le signal 802.16e [116 Fili] sont représentés sur la figure 5.4 : la porteuse RF ou sous-porteuse DC se situe au milieu du signal OFDM et ne contient aucune information utile. Des sous-porteuses

de garde sont utilisées pour délimiter le signal WiMAX au début et à la fin et ne contiennent pas des données utiles. Des sous-porteuses pilotes ont pour rôle d'aider le récepteur à se synchroniser avec la transmission et lui permettent de faire une estimation du canal de propagation.

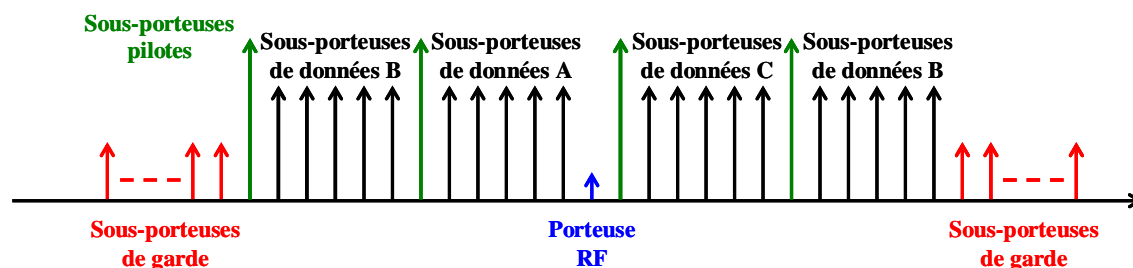


Fig. 5.4 : Détail du signal OFDMA de la norme IEEE 802.16e

Le tableau 5.3 montre les paramètres de la modulation OFDMA de la norme IEEE 802.16e pour des canaux de largeur 5 et 10MHz :

Canal	1	2
Bande passante nominale (MHz)	5	10
Fréquence d'échantillonnage (MHz)	5.6	11.2
Taille FFT	512	1024
Nombre de sous-porteuses utiles	432	864
Nombre total de sous-porteuses	457	914
Distance entre deux sous-porteuses (kHz)	10.94	10.94

Tab. 5.3 : Paramètres de la modulation OFDM en « mobile WiMAX » 5 et 10MHz

Mise à part cette légère disparité entre les deux standards de communication, les spécifications techniques du « mobile WiMAX » sont définies à l'image de celles du Wi-Fi.

Modulation	Sensibilité BW = 5MHz (dBm)	SNR (dB)	Dynamique (dB)
BPSK $\frac{1}{2}$	-91	5.8	61
BPSK $\frac{3}{4}$	-87.5	9.2	57.5
QPSK $\frac{1}{2}$	-85.2	11.5	55.2
QPSK $\frac{3}{4}$	-81.1	15.6	51.1
16-QAM $\frac{1}{2}$	-80	16.7	50
16-QAM $\frac{3}{4}$	-80	19.8	50
64-QAM $\frac{2}{3}$	-75.9	20.9	45.9
64-QAM $\frac{3}{4}$	-74	22.8	44

Tab. 5.4 : Les niveaux de sensibilité et les valeurs de SNR de la norme 802.16e

Commençons d'abord par les niveaux de sensibilité et les valeurs de SNR pour les canaux de largeur 5MHz (Tab. 5.4). Pour les canaux de largeur 10MHz, on retrouve les mêmes chiffres de SNR à respecter mais à des niveaux de sensibilité 3dB au-dessus.

Le niveau du signal maximal en entrée est de $1\mu\text{W}$ ou -30dBm , ce qui donne une dynamique totale de 61dB similaire à celle du Wi-Fi pour la même modulation (BPSK $\frac{1}{2}$).

Tout comme la norme 802.11, le « mobile WiMAX » prévoit des scénarios de brouilleurs dont les niveaux de puissances sont définis sur la figure 5.5. Le profil et les scénarios des brouilleurs sont définis pour deux modulations seulement : 64-QAM $\frac{2}{3}$ et 16-QAM $\frac{3}{4}$. Les signaux $[N+1]$ (resp. $[N+i]$) sont à 4 ou 11dB (resp. à 23 ou 30dB) du signal utile. Dans le cas

d'un canal WiMAX de 5MHz de largeur (resp. 10MHz), les canaux adjacents se trouvent à 5, 10, 15, 20... MHz (resp. 10, 20, 30, 40... MHz) du signal utile.

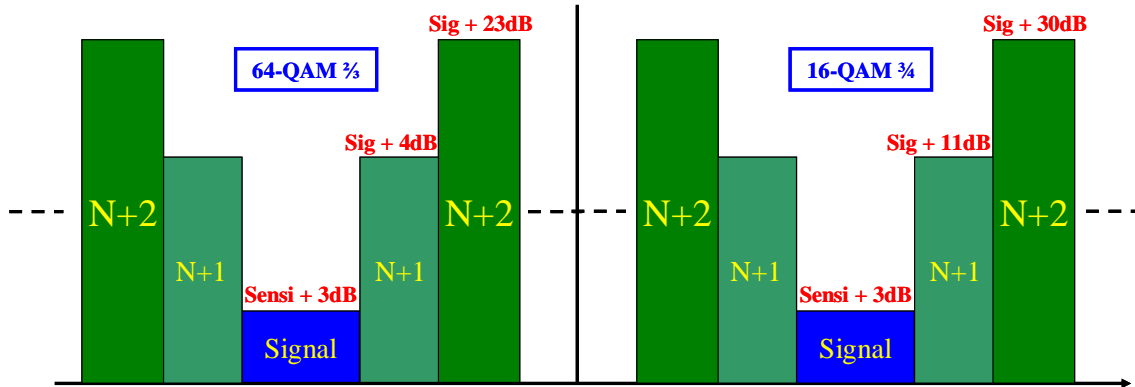


Fig. 5.5 : Profil des brouilleurs en IEEE 802.16e

B. Les spécifications de la chaîne de réception

Après avoir étudié les spécifications de sensibilité, de dynamique et des scénarios de brouilleurs liées aux normes IEEE 802.11g/n et 802.16e, nous pouvons commencer le dimensionnement de la chaîne de réception en technologie CMOS 45nm.

1. Les spécifications globales et le convertisseur analogique-numérique

Le choix des spécifications de l'ADC est l'élément de base dans le dimensionnement d'une chaîne de réception. En effet, la pleine échelle du convertisseur (FS) définit le gain maximum du récepteur (G_0) et sa dynamique (DR) ou la différence entre le plancher de bruit et la FS définit le taux de filtrage analogique à implémenter.

Dans une perspective d'implémentation en technologie CMOS avancée, l'ADC de l'architecture échantillonnée doit être dimensionné pour que sa pleine échelle soit faible comparée à V_{DD} . En CMOS 45nm, la tension d'alimentation est de 1.1V seulement et nous préférons, pour des raisons liées à la portabilité de l'architecture échantillonnée, travailler avec une FS de $500mV_{pp,diff}$ (crête à crête différentielle) seulement. Nous choisissons donc cette valeur comme spécification de la pleine échelle du convertisseur.

La spécification de dynamique est directement liée au facteur de bruit global de la chaîne de réception et à la contribution relative du bruit du convertisseur analogique-numérique. En utilisant le diagramme de la figure 5.6, nous allons calculer les spécifications G_0 , NF et DR.

Le bruit thermique à l'antenne (N_{TH}) est donné par la relation suivante :

$$N_{TH} \text{ (dBm)} = 10 \times \text{Log}_{10} \left[\frac{kTB}{10^{-3}} \right] \text{ (Eq.5.3)}$$

avec k la constante universelle de Boltzmann en Joules/Kelvin, T la température en Kelvin et B la largeur du canal en Hz.

Sur la figure 5.1, on trouve en amont du LNA le « Front-End Module » (FEM) qui est constitué de filtres passe-bande et d'interrupteurs RF pour séparer l'émission de la réception. A l'entrée du LNA, le signal est défini au niveau de sensibilité minimum par la norme moins 5.1dB pour prendre en compte les pertes d'insertion du FEM (IL) que nous allons donner au paragraphe B.3.

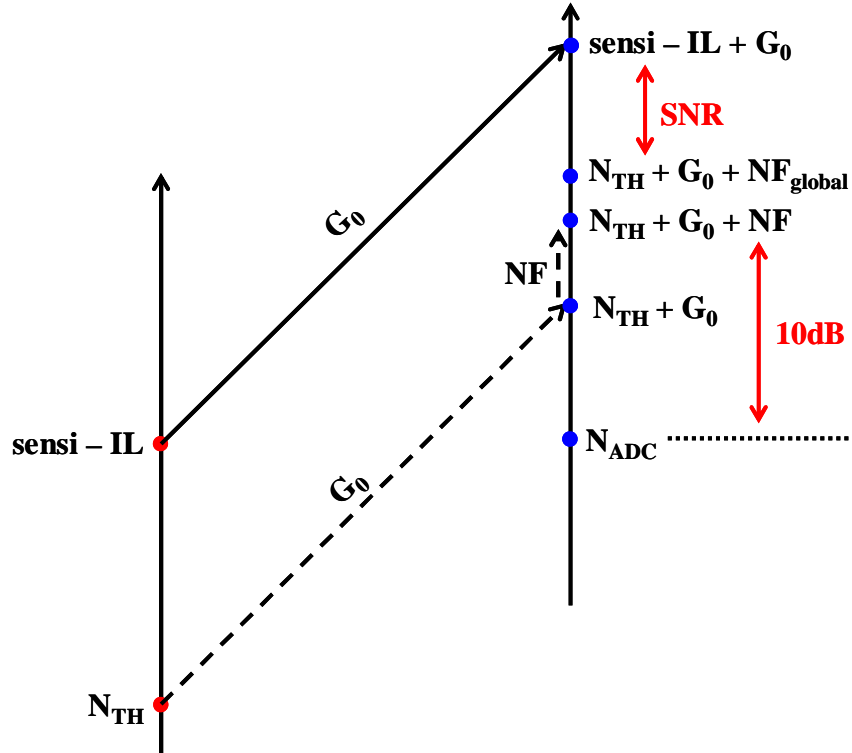


Fig. 5.6 : Diagramme de calcul du gain maximum du récepteur en 802.16e

Nous commençons notre dimensionnement par le calcul du facteur de bruit global du récepteur (NF_{global}) qui prend en compte la contribution en bruit thermique de tous les blocs. Nous considérons le cas de la modulation BPSK $_{1/2}$ en « mobile WiMAX » qui est le plus difficile car le signal utile est à -91dBm (Tab. 5.4). D’après le diagramme de la figure 5.6 et en supposant toujours que le FEM fait au pire-cas 5.1dB de pertes, nous pouvons écrire la relation suivante :

$$\begin{aligned} \text{sensi} - \text{IL} + G_0 &= N_{TH} + G_0 + NF_{global} + \text{SNR} \\ \Rightarrow NF_{global} &= \text{sensi} - \text{IL} - N_{TH} - \text{SNR} \quad (\text{Eq.5.4}) \\ NF_{global} &= 5.1\text{dB} \end{aligned}$$

Le gain G_0 s’applique en entrée aussi bien au signal qu’au bruit et on se retrouve en sortie avec des niveaux translatés. Cependant, la chaîne de réception (NF) ainsi que le convertisseur analogique-numérique (N_{ADC}) vont contribuer à l’augmentation du niveau de bruit en sortie. En général, le facteur de bruit de l’ADC est beaucoup plus faible que celui de la chaîne, mais au final c’est au concepteur « système » de décider du partitionnement de bruit entre les deux. Nous fixons alors une spécification de 0.4dB à la dégradation du NF_{global} due à l’ADC, ce qui correspond à un niveau de bruit du convertisseur 10dB au-dessous de celui du reste de la chaîne (Fig. 5.6). Nous pouvons alors écrire :

$$\begin{aligned} N_{TH} + G_0 + NF &= N_{ADC} + 10\text{dB} \\ \Rightarrow G_0 &= N_{ADC} + 10 - NF - N_{TH} \quad (\text{Eq.5.5}) \\ G_0 &= N_{ADC} - 112.3 \end{aligned}$$

L'équation Eq. 5.5 montre qu'il existe une relation directe liant le gain maximal d'une chaîne de réception au bruit absolu du convertisseur, moyennant le NF_{global} et la contribution de l'ADC à ce dernier. Pour cela, nous avons fixé les spécifications précédentes :

$$\begin{aligned} N_{ADC} &= -77.3dBV_{rms} \\ G_0 &= 35dBV_{rms} / dB_m \quad (Eq.5.6) \end{aligned}$$

Ayant fixé N_{ADC} et FS, nous pouvons déduire la dynamique du convertisseur en dB :

$$DR = FS - N_{ADC} \quad (Eq.5.7)$$

La figure 5.7 montre que cette dynamique vaut 62.3dB, ce qui correspond à un nombre effectif de bits (ENOB) d'environ 10 :

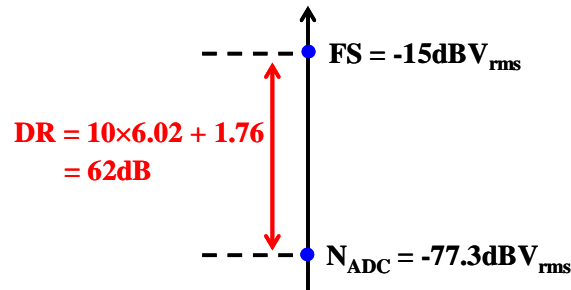


Fig. 5.7 : Les spécifications de l'ADC dans la chaîne de réception

2. Le plan de fréquence et le filtrage

Le plan de fréquence

L'un des points les plus importants de l'architecture échantillonnée est le plan de fréquence. Il s'agit principalement du choix de la fréquence d'échantillonnage F_s qui dépend de beaucoup de paramètres : en effet, les équations Eq. 3.6, Eq. 3.9, Eq. 3.11 et Eq. 4.17 représentent les contraintes qui pèsent sur le choix de F_s dans le cadre de notre application. Nous les regroupons ici dans l'équation 5.8 :

$$\begin{aligned} A &\approx \frac{B}{2NF_s} \quad \text{pour } F_s \gg B \\ F_{coupure} &= \frac{F_s(1-\beta)}{2\pi\sqrt{\beta}} \quad \text{pour } fT_s \ll 1 \quad (Eq.5.8) \\ G_{0_{dB}} &= 20\log_{10} \left[\frac{2 G_m T_s}{\pi C_s} \right] \\ F_c &= N \times F_s \end{aligned}$$

Nous adressons la bande RF allant de 2.4 à 2.7GHz et nous savons que la fréquence porteuse doit être un multiple de F_s pour assurer une bonne conversion en ZIF. De plus, augmenter F_s réduira le filtrage IIR à rapport C_{IIR}/C_s constant ainsi que le gain global de la chaîne, mais améliorera l'atténuation des signaux « alias ». Le convertisseur analogique-numérique fonctionne également à F_s , car il n'y a pas d'étage de décimation entre les filtres à capacités commutées et l'ADC, ce qui entraîne une augmentation de sa consommation. En conclusion,

les équations de Eq. 5.8 nous montrent clairement qu’il existe un compromis sur le choix de F_s et que ce compromis est aussi dépendant de ce que peut fournir la technologie CMOS.

Nous allons fixer le plan de fréquence en se basant sur un point important : toute réduction de gain et de filtrage (due à l’augmentation de F_s possible grâce à l’évolution de la technologie) peut être compensée par une réduction de la taille de C_s . La tendance de conception et de portage de l’architecture échantillonnée est claire : il faut travailler à fréquence d’échantillonnage élevée, ce qui s’adapte bien à l’évolution de la technologie CMOS.

L’architecture échantillonnée possède la particularité de ne pas pouvoir profiter du filtre de sélection de canal pour atténuer les signaux « alias » en raison de la périodicité de la fonction de transfert de ce dernier (Fig. 3.13). Pour fixer la spécification d’anti-repliement nous avons considéré qu’un signal alias doit revenir en bande de base 16dB au-dessous du niveau de bruit final afin de ne pas dégrader ce dernier (-0.1dB). Considérons le cas du canal utile WiMAX 5MHz et calculons la spécification de filtrage d’un « alias » Att_{sinc} :

$$P_{alias} + G_{alias} - Att_{FEM} - Att_{Sinc} = N_{TH} + G_0 + NF_{global} - 16dB \quad (Eq.5.9)$$

$$\Rightarrow Att_{sinc} = (P_{alias} - A_{FEM}) + 117dB$$

avec G_{alias} et A_{FEM} le gain de la chaîne et l’atténuation du FEM à la fréquence du signal « alias » et A_{Sinc} l’atténuation du filtre AA. D’après l’équation Eq. 5.9, Att_{sinc} dépend de la puissance de l’« alias » et de la spécification du FEM. Supposons, à titre d’exemple, que le FEM est capable de nous donner 40dB d’atténuation au pire-cas et que le signal alias est à -30dBm (ce qui est très probable). Dans ce cas, Att_{Sinc} vaut 47dB. D’après les équations Eq. 5.8, nous calculons la fréquence d’échantillonnage minimum capable d’assurer une telle atténuation et nous trouvons des valeurs de F_s de l’ordre des centaines de MégaHertz.

Pour cela, nous fixons la spécification de la fréquence d’échantillonnage au quart de F_c soit alors entre 600 – 675MHz (la moitié donne 1.25GHz fréquence à laquelle nous trouverons très peu de convertisseur analogique-numérique capable de fonctionner avec la DR que nous avons spécifié avec une consommation modérée). A cette fréquence de fonctionnement, l’atténuation minimale en bord de bande au premier zéro du filtre anti-repliement est donnée dans le tableau 5.5 :

	WiMAX 5MHz	WiMAX 10MHz	Wi-Fi 20MHz
Att_{Sinc, min} (dB)	48	42	36

Tab. 5.5 : Atténuation du filtre anti-repliement en fonction du standard et du canal

En pratique, un signal « alias » sera atténué davantage surtout sa porteuse RF qui tombe en plein milieu du zéro de la fonction sinus cardinal. Il faut donc calculer l’atténuation intégrée autour d’un zéro de la fonction sinus cardinal dans une largeur de bande égale à celle du signal utile.

Le filtre IIR

Ayant fixé notre fréquence d’échantillonnage, nous pouvons en se basant sur nos spécifications de gain et de dynamique d’ADC calculer la spécification de filtrage IIR nécessaire. Prenons le cas du WiMAX avec un niveau d’adjacent 30dB au-dessus de celui du signal et calculons avec l’ADC que nous venons de spécifier le niveau maximal de brouilleur que nous pouvons tolérer sans saturation.

Considérons le diagramme de la figure 5.8 qui représente le scénario Signal + [N+2] dans le cas d’un canal WiMAX modulé 16-QAM_{3/4} :

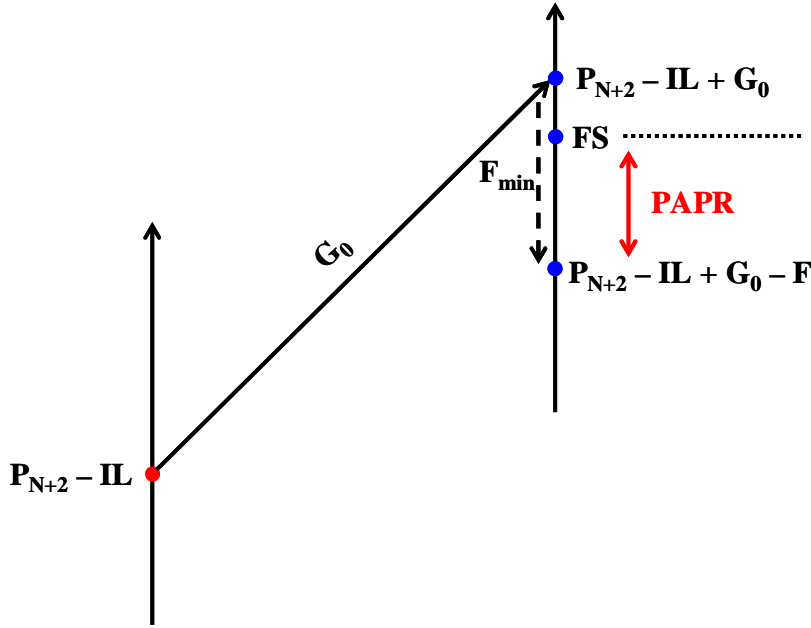


Fig. 5.8 : Diagramme de calcul du filtrage analogique du récepteur en 802.16e

D'après le diagramme nous déterminons la spécification de filtrage avec la relation suivante :

$$\begin{aligned}
 P_{N+2,Max} - IL + G_0 - F_{min} &= FS_p - PAPR \\
 \Rightarrow F_{min} &= P_{N+2,Max} - IL + G_0 - FS_p + PAPR \quad (\text{Eq.5.10})
 \end{aligned}$$

Le PAPR est le « peak to average power ratio » et cela correspond au rapport entre la puissance maximale et la puissance moyenne d'un signal modulé. Pour un signal OFDM ayant N_{sp} sous-porteuses, le PAPR vaut [25 Bahai] :

$$PAPR = 10 \times \text{Log}_{10}(\sqrt{N_{sp}}) \quad (\text{Eq.5.11})$$

Pour les trois canaux OFDM visés, nous pouvons considérer un PAPR approximatif de 10dB. En général, le récepteur reste à gain maximal sur une plage de 20 à 25dB aucun pas de gain n'est activé dans cette zone qu'on appelle communément la zone de sensibilité. Nous fixons arbitrairement la limite en puissance du signal d'entrée dans cette partie à -69dBm. Ce qui permet donc de déduire le niveau maximal de brouilleur dans le scénario précédent (qui correspond au pire-cas) à $P_{N+2,Max} = -39\text{dBm}$. Moyennant cette valeur, nous calculons d'après Eq. 5.10 la spécification de filtrage analogique :

$$F_{min} = 14\text{dB} \quad (\text{Eq.5.12})$$

Nous dimensionnons donc le filtre IIR afin qu'il donne une atténuation d'au moins 14dB au niveau du canal adjacent [N+2]. La relation qui lie l'atténuation à une fréquence donnée, à la fréquence de coupure du filtre IIR est donnée par l'équation suivante (annexe I) :

$$\frac{f}{F_{coupure}} = \frac{\sqrt{1 - \text{Att}^2}}{\text{Att}} \quad (\text{Eq.5.13})$$

En utilisant les équations Eq. 3.8 et Eq. 5.13, nous calculons la valeur de β (rapport entre C_{IIR} et C_S) nécessaire pour assurer la spécification de filtrage que nous venons de calculer.

A $F_s = 640\text{MHz}$, nous trouvons $\beta = 50$ soit une capacité C_{IIR} cinquante fois plus grande que la capacité signal C_S . Afin de réaliser le même filtrage pour les canaux 10 et 20MHz, il suffit de diviser β par 2 et 4 ce qui donne les valeurs 25 et 12.5pF.

En conclusion, la taille du filtre IIR est plus grande pour le canal de plus faible largeur et la capacité IIR peut être 50 fois plus grande que la capacité C_S . Nous fixons, pour des raisons liés à la taille et au gain, les valeurs de C_S à 0.1pF et C_{IIR} à 5pF.

Le filtre de sélection de canal de l'architecture échantillonnée est un filtre de premier ordre (paragraphe I.D du chapitre 3). Pour arriver à tenir l'atténuation spécifiée précédemment (14dB à $[N+2]$), sa fréquence de coupure doit être assez faible, ce qui implique une atténuation du signal dans sa bande propre. Une atténuation en bord de bande peut atteindre jusqu'à 4dB ! Cette coupure dans la bande dégrade le SNR et crée une perte non négligeable du signal. Afin de remédier à ce problème, nous utilisons une méthode de correction numérique (propriété de STM/ST-Ericsson) de cet effet indésirable.

3. Le « front-end » RF

Le « front-end » RF est le premier bloc qui reçoit le signal en provenance de l'antenne. Il est généralement composé de filtres de sélection de bande, d'interrupteurs RF, d'amplificateurs faible bruit et de mélangeurs. En général, les filtres et les interrupteurs RF sont regroupés dans un seul module appelé « front-end module » (FEM). On peut résumer le rôle du « front-end » RF dans une chaîne de réception par : la réjection des brouilleurs hors bande RF utile, l'aiguillage du signal sur le récepteur au bon moment (TDD), l'amplification et la transposition de fréquence du signal utile.

Le FEM

Bien que nous ayons décidé d'implémenter les blocs allant du LNA jusqu'à l'ADC seulement (Fig. 5.1), les spécifications du FEM reste indispensables au bon dimensionnement de la chaîne de réception. Plus particulièrement, deux grandeurs du FEM sont les plus importantes : les pertes d'insertion (IL) qui contribuent à l'atténuation du signal utile et l'atténuation hors-bande (Att_{HB}) qui nous permet de chiffrer le niveau de réjection des brouilleurs lointains. Nous avons choisi un FEM dont les spécifications qui nous concernent (d'après la fiche technique du produit fourni par le constructeur) sont regroupées dans le tableau 5.6 :

FEM	IL (dB)	Att_{HB} (dB)
Meilleur-cas	3	55
Typique	4	50
Pire-cas	5.1	36

Tab. 5.6 : Spécifications du FEM choisi

Le FEM est constitué de filtres à ondes de surface (SAW) et n'est pas assemblé avec notre circuit. Pour cela, il ne fait pas partie de l'étude de portabilité de l'architecture échantillonnée.

Le LNA

Le LNA est le premier bloc électrique de la chaîne de réception, son entrée est connectée directement à la sortie du FEM qui lui présente une impédance de 50Ω . Dans le cadre de l'application visée, le LNA doit donc être adapté en entrée à 50Ω sur toute la bande 2.4 –

2.7GHz. Nous considérons qu'un coefficient de réflexion (S_{11}) de -10dB maximum est indispensable pour assurer l'adaptation d'impédance que nous réalisons grâce à un réseau de composants passifs sur la carte de test.

Pour qu'il soit adapté à l'architecture échantillonnée, le LNA doit fonctionner comme un amplificateur de transconductance avec une impédance de sortie nettement supérieure à l'impédance de charge. En fait, la charge vue par le LNA à travers le mélangeur est constituée de la capacité C_{IIR} en parallèle avec la capacité C_S (à l'intérieur d'une période d'échantillonnage). En gros, le LNA charge une impédance équivalente qui est inférieure à 100Ω à 2.5GHz. Pour cela, il suffit d'assurer la condition suivante :

$$\begin{aligned} |Z_{out,LNA}| &> 10 \times |Z_{charge}| \quad (\text{Eq.5.14}) \\ \Rightarrow |Z_{out,LNA}| &> 1k\Omega \end{aligned}$$

Le gain de transconductance maximum du LNA (G_{max}) est dimensionné suivant les équations Eq. 5.6, Eq. 3.11 et Eq. 3.12. Nous appliquons juste un facteur $\frac{1}{2}$ sur l'équation Eq. 3.11 due à l'utilisation de la technique de correction des capacités parasites expliquée au chapitre 4 :

$$\begin{aligned} 20 \times \text{Log}_{10} \left(\frac{G_{max}}{\pi F_S C_S} \right) - 13 &= 35 \text{dBV}_{rms} / \text{dB}_m \quad (\text{Eq.5.15}) \\ \Rightarrow G_{max} &= 50 \text{mS} \end{aligned}$$

Ce gain doit être réalisable sur toute la bande 2.4 – 2.7GHz et correspond au gain pire-cas. Une autre spécification liée au gain du LNA est le point de compression à 1dB (P_{1dB}). Cette valeur décrit le comportement du LNA à fortes puissances du signal d'entrée et est liée à la spécification de non-linéarité d'ordre 3 modélisée par le point d'interception en entrée (IIP_3). Pour définir le P_{1dB} de notre LNA, nous avons considéré le cas le plus contraignant qui est celui de la norme Wi-Fi avec un niveau de signal maximum 10dB plus haut que celui du WiMAX (paragraphe II.A.2). En effet, il faut que le LNA puisse tenir des puissances d'entrée de l'ordre de -20dBm avant la compression de gain. Pour l' IIP_3 , nous ne définissons pas de spécification stricte a priori car elle est déduite de nos simulations « système » que nous exposons dans la partie C.

Nous avons fixé la spécification du facteur de bruit global de la chaîne de réception à 5.1dB (Eq. 5.4). Dans ce chiffre, se cumulent toutes les contributions de bruit thermique et 1/f des différents blocs constitutifs du récepteur. Le LNA est l'unique bloc de gain dans le système, ce qui fait de lui le contributeur majeur en bruit. La spécification du facteur de bruit du LNA (NF_{LNA}) correspond à la valeur maximum de NF_{LNA} dans la bande 2.4 – 2.7GHz et nous l'avons fixé à 3dB.

Le tableau 5.7 récapitule les spécifications du LNA :

LNA	S_{11} (dB)	G_m (mS)	Z_{out} (k Ω)	NF (dB)	P_{1dB} (dBm)
Pire-cas	-10	50	1	3	-20

Tab. 5.7 : Les spécifications du LNA

4. Le suiveur de tension

Le suiveur de tension est un amplificateur opérationnel rebouclé en entrée, il est utilisé dans l'architecture échantillonnée pour corriger l'effet des capacités parasites (paragraphe II.D du chapitre 4). Son rôle est de recopier la tension différentielle sur la capacité IIR (V_{IIR}) et la forcer (à travers le mélangeur) sur les capacités parasites de la partie RF.

Dans cette partie, nous cherchons à fixer les spécifications de ce bloc au niveau « système ». D’après nos résultats de simulations (paragraphe II.D du chapitre 4), l’erreur de recopie sur la tension ne doit pas dépasser 1% :

$$\left| \frac{V_{p,RF} - V_{IIR}}{V_{IIR}} \right| < 0.01 \text{ (Eq.5.16)}$$

avec $V_{p,RF}$ la tension sur la capacité parasite de la partie RF et V_{IIR} la tension sur C_{IIR} .

En annexe IV, nous avons établi une relation liant le gain en boucle ouverte de l’amplificateur et l’erreur de recopie et nous savons que ce gain doit être au minimum de 40dB pour garantir la spécification fixée (Eq. 5.16).

Le suiveur de tension fonctionne à basses fréquences mais il doit assurer une recopie uniforme (à gain constant) sur toutes les sous-porteuses du signal OFDM. Le canal le plus large en bande est le 802.11g/n, c’est donc le signal Wi-Fi qui fixe la spécification sur la bande de l’amplificateur qui vaut alors 10MHz (moitié du canal RF en ZIF).

Le suiveur de tension est un système rebouclé qui peut manifester des oscillations. Pour cela, il est important de vérifier sa stabilité dans les conditions de fonctionnement du récepteur.

D’autre part, une simple étude qualitative montre que le bruit et les non-linéarités de l’amplificateur se retrouvent amplifiés d’un facteur N qui correspond au rapport entre la fréquence d’échantillonnage et la fréquence porteuse : à chaque recopie de la tension V_{IIR} , tout bruit en sortie de l’amplificateur se retrouve sur la capacité parasite RF (C_p) qui, au court de la phase suivante d’intégration du courant, le transfère sur les capacités utiles C_{IIR} et C_s . Dans notre cas, le bruit ainsi que les produits de non-linéarités en provenance d’autres canaux adjacents sont amplifiés d’un facteur 4 soit 12dB. Nous allons fixer les spécifications de bruit et de non-linéarité de l’amplificateur au prochain paragraphe en utilisant nos simulations « système ».

Le tableau 5.8 récapitule les spécifications de l’amplificateur dans la bande qui nous intéresse 0 – 10MHz (moitié du canal RF en Wi-Fi) :

Suiveur	G_o (dB)	BP (MHz)	Stabilité
Pire-cas	40	10	Inconditionnelle

Tab. 5.8 : Les spécifications du suiveur de tension

5. Bilan

Les variations de performance liées au procédé de fabrication ainsi que les variations de température et de tension d’alimentation liés à l’environnement de fonctionnement du circuit affectent énormément ses performances. Pour cela, le concepteur « système » fixe des spécifications que le concepteur « circuit » doit garantir dans des conditions de fonctionnement extrêmes. Pour cela, toutes nos spécifications (Tab. 5.9) doivent être respectées quel que soit les conditions de fonctionnement du circuit.

RX	Spécification				
LNA	S_{11} (dB)	G_m (mS)	Z_{out} (kΩ)	NF (dB)	P_{1dB} (dBm)
	-10	50	1	3	-20
Suiveur	G_o (dB)	BP (MHz)	Stabilité		
	40	10	Inconditionnelle		

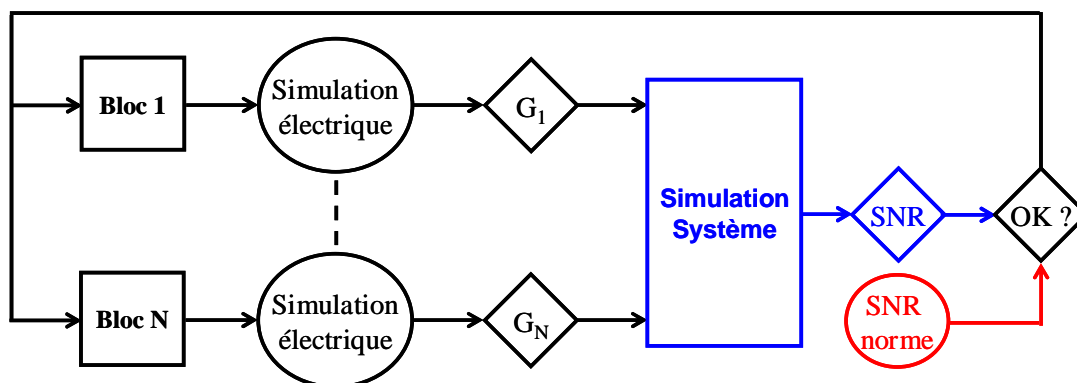
FEM	IL (dB)	Att_{HB} (dB)	
	5.1	36	
ADC	FS (mV_{pp,diff})	DR (dB)	
	500	62	
C_{IIR} (pF)	WiMAX 5MHz	WiMAX 10MHz	Wi-Fi 20MHz
	5	2.5	1.25
C_S (fF)	100		
NF (dB)	5.1		
F_S (MHz)	600 – 675		
Bande RF (GHz)	2.4 – 2.7		
Canal (MHz)	5 / 10 / 20		
Standard	IEEE 802.11g/n & 802.16e		

Tab. 5.9 : Les spécifications globales du récepteur

C. Simulations

1. Méthodologie des simulations « système »

Après avoir spécifié nos blocs, nous allons faire des simulations « système » qui vont nous permettre de valider la capacité de notre chaîne de réception à respecter toutes les spécifications des deux normes IEEE 802.16e et 802.11g/n. Pour cela, nous faisons une simulation globale du récepteur en utilisant les chiffres de performances obtenues en simulations électriques sur chaque bloc. L'organigramme de la figure 5.9 explique notre méthodologie de validation. La simulation globale est basée sur des fonctions C++ qui calculent le rapport signal à bruit à la sortie de chaque bloc de la chaîne de réception. Chaque bloc est décrit par ses spécifications à l'intérieur de ces fonctions, i.e., le LNA est décrit par six paramètres qui sont $[S_{11}, G_m, Z_{out}, NF, P_{1dB}, IIP_3]$. Le signal d'entrée est un signal composite formé de 4 canaux OFDM modélisés sous-porteuse par sous-porteuse : le signal utile et les canaux $[N+1]$, $[N+2]$ et $[N+4]$. En sortie, nous récupérons le SNR global ainsi que le SNR sur chacune des sous-porteuses. La première mesure nous permet de valider notre chaîne de réception par rapport aux spécifications de SNR données par la norme. Des fonctions spéciales ont été développées pour calculer les produits d'intermodulations d'ordre 2 et 3 qui se replient au niveau du canal utile. Ces fonctions nous ont permis de fixer les spécifications d'IIP3 sur tous les blocs du récepteur.


Fig. 5.9 : Méthodologie de validation et de simulation système

Notre simulation globale nous permet également d'isoler toutes les contributions de bruit et de non-linéarité dans le récepteur, ce qui nous donne la possibilité d'optimiser une ou plusieurs spécifications et gagner en performance. Nous représentons sur le schéma 5.10 le cas de non-linéarité d'ordre 3 pour un signal utile pollué par deux canaux brouilleurs :

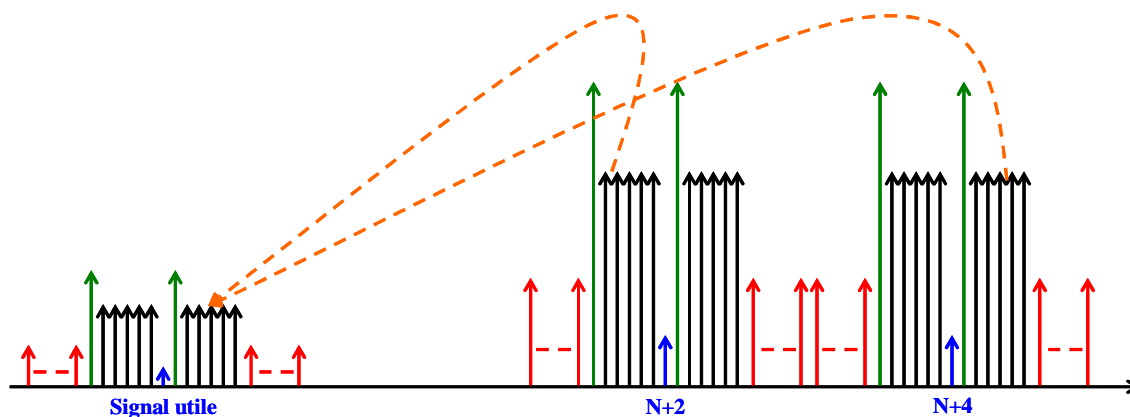


Fig. 5.10 : Impact des non-linéarités d'ordre 3 dans un scénario de brouilleurs

2. « Corners » de fonctionnement

La définition des cas de fonctionnement extrêmes est parfois trompeuse : en effet, un pire-cas donné (Technologie, V_{DD} , T) pour une grandeur donnée ne correspond pas forcément à celui des autres grandeurs. Une méthode assez agressive qui permet de valider un récepteur est de cumuler tous les pires cas liés à chaque spécification de bloc en un seul pire cas virtuel pour faire ensuite les simulations « système ».

Dans ce travail, nous avons adopté une approche différente qui consiste à simuler chaque cas extrême à part au niveau « système » et de les valider un par un. Voici un exemple de cas extrême : $V_{DD} = 1V$, $T = 100^{\circ}C$ et $Techno = -3\sigma$: la technologie fait varier les caractéristiques des composants à 3 fois l'écart-type, la tension d'alimentation diminue de 10% et la température passe à $100^{\circ}C$. La température peut aussi baisser à $-30^{\circ}C$, la tension d'alimentation peut augmenter à 1.2V et le décalage de la technologie peut aller à $+3\sigma$. Au total, on peut se retrouver avec des cas croisés, ce qui peut faire augmenter davantage la complexité de la simulation « système » mais permet au moins de savoir quelles sont les performances de la solution dans des conditions de fonctionnement réelles.

Nous allons maintenant montrer des résultats de simulations « système » que nous avons réalisé dans des cas extrêmes de technologie, de température et de tension d'alimentation. Les simulations sont faites cas par cas (sensibilité, adjacents, etc.) sur toute la plage de dynamique d'entrée du signal utile. Par exemple, pour le Wi-Fi des SNR de sortie sont calculés pour des signaux d'entrée de puissance variable allant de $-86dBm$ jusqu'à $-20dBm$. Les cas à considérer sont le cas de sensibilité, et les quatre cas de brouilleurs déjà expliqués au paragraphe III.A.

Les figures 5.11 et 5.12 montrent les résultats obtenus pour les scénarios de sensibilité et de brouilleurs dans le cas $V_{DD} = 1V$, $T = 100^{\circ}C$ et $Techno = -3\sigma$.

Toutes nos courbes de simulation montrent que les SNR calculés (courbes bleu) sont au-dessus des masques de spécifications (courbes en rouge) définis par les normes et ce sur toute la dynamique de puissance du signal utile. Ces résultats confirment donc la validation de ce récepteur radio basé sur l'architecture échantillonnée pour adresser les standards Wi-Fi et « mobile WiMAX ».

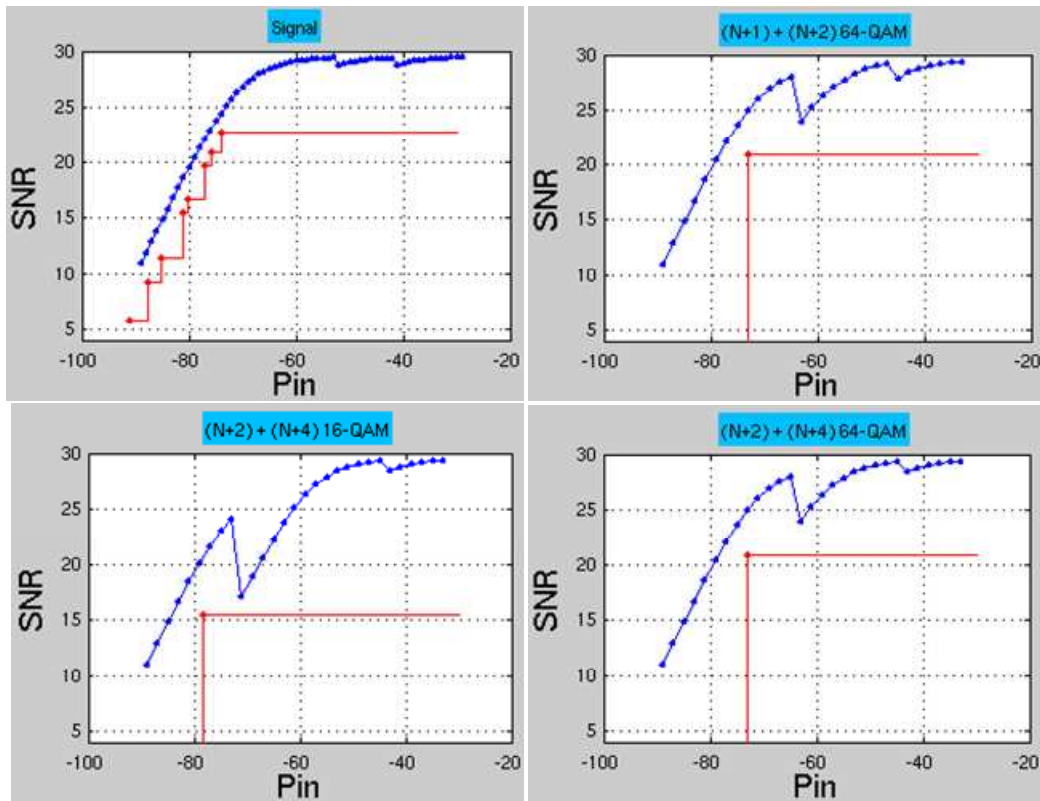


Fig. 5.11 : Validation des scénarios pire-cas pour le IEEE 802.16e

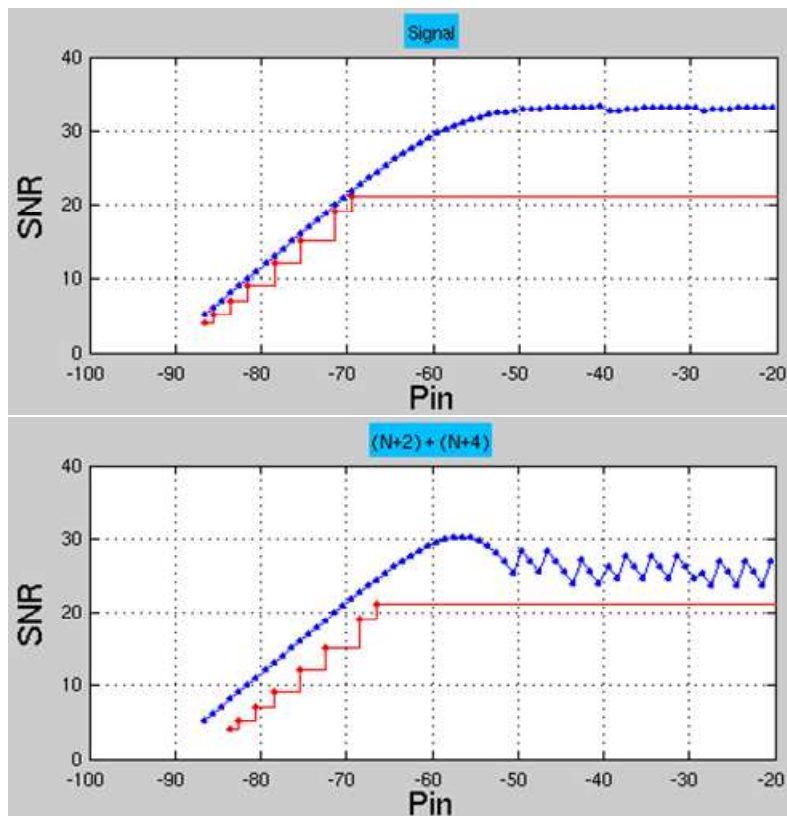


Fig. 5.12 : Validation des scénarios pire-cas pour le IEEE 802.11g/n

IV. Conception de la chaîne de réception

A. L'approche du portage

L'architecture échantillonnée de réception radio profite au maximum de l'évolution de la technologie en termes de baisse des tensions d'alimentation et d'augmentation de la fréquence de fonctionnement (Chapitre 4). La grande majorité du traitement analogique du signal se fait grâce à des interrupteurs MOS et des capacités. Pour cela, la première tendance de portage d'une telle architecture est le dimensionnement des transistors MOS à la longueur minimum L_{\min} . De cette façon, l'interrupteur commutera de plus en plus rapidement, ce qui permet de faire fonctionner le récepteur à des fréquences d'échantillonnage de plus en plus élevées. De plus, la diminution de la longueur compense l'augmentation de la résistance à l'état « ON » due à la baisse des tensions d'alimentation. D'un autre côté, la diminution des largeurs des transistors (bien que limitant sur les R_{ON}) permet de réduire aussi bien l'erreur d'injection que les capacités parasites. On peut donc résumer les tendances de portage de l'architecture échantillonnée dans le tableau 5.10 :

Tendances de portage	L	W	F_S	V_{DD}	C_S
Injection de charges	↓	↓	↓		↑
Capacités parasites	↓	↓			
Temps d'établissement	↓	↑	↓	↑	↓
Bruit thermique kT/C					↑
Fuite de grille		↓		↓	

Tab. 5.10 : Les tendances de portage de l'architecture échantillonnée

Le tableau précédent liste les effets liés au portage et à l'évolution de la technologie CMOS (parasites, injection, etc.) en fonction des principaux paramètres de conception (L, W, etc.). Les tendances montrées correspondent à des directives générales à suivre pour effectuer un portage « intelligent » d'un récepteur échantillonné d'une technologie CMOS à la technologie suivante. Pour un paramètre donné, les tendances relatives à chaque effet parasite peuvent parfois être contradictoires, i.e., C_S et W. Dans ces cas, le concepteur doit privilégier celle qui correspond à la plus faible dégradation de performance à l'échelle du système. Par exemple, on peut imaginer que la capacité d'échantillonnage C_S ne soit pas diminuer d'une technologie CMOS à la suivante pour garder le bruit thermique kT/C à des valeurs raisonnables même si les temps d'établissements seront indirectement augmentés. Un autre exemple de compromis sera celui de la fréquence d'échantillonnage et de l'injection de charges dont l'effet sur la solution est limité (paragraphe I du chapitre 4). Cette description étant générale, nous expliquerons en détails, dans les parties suivantes, les idées directrices de la conception et du portage (bloc par bloc) de la chaîne de réception que nous avons réalisée.

B. Le « front-end »RF

1. Le LNA

Sur la figure 5.13, nous représentons le circuit du LNA utilisé : c'est une structure de transconductance différentielle à deux étages. Un premier étage de gain réalisé par les couples de transistors $[M_1-M_2]$ et $[M_3-M_4]$ et un second étage de « cascode », réalisé par les couples de transistors $[M_5-M_7]$ et $[M_6-M_8]$, pour augmenter l'impédance de sortie du LNA. Les

capacités C_x et C_y font le couplage du signal RF aux PMOS d'entrée M_2 et M_3 . Egalement, des résistances permettent de polariser les grilles des MOS d'entrée et un circuit de contre-réaction est utilisé pour contrôler le mode commun (non représenté sur la figure 5.13).

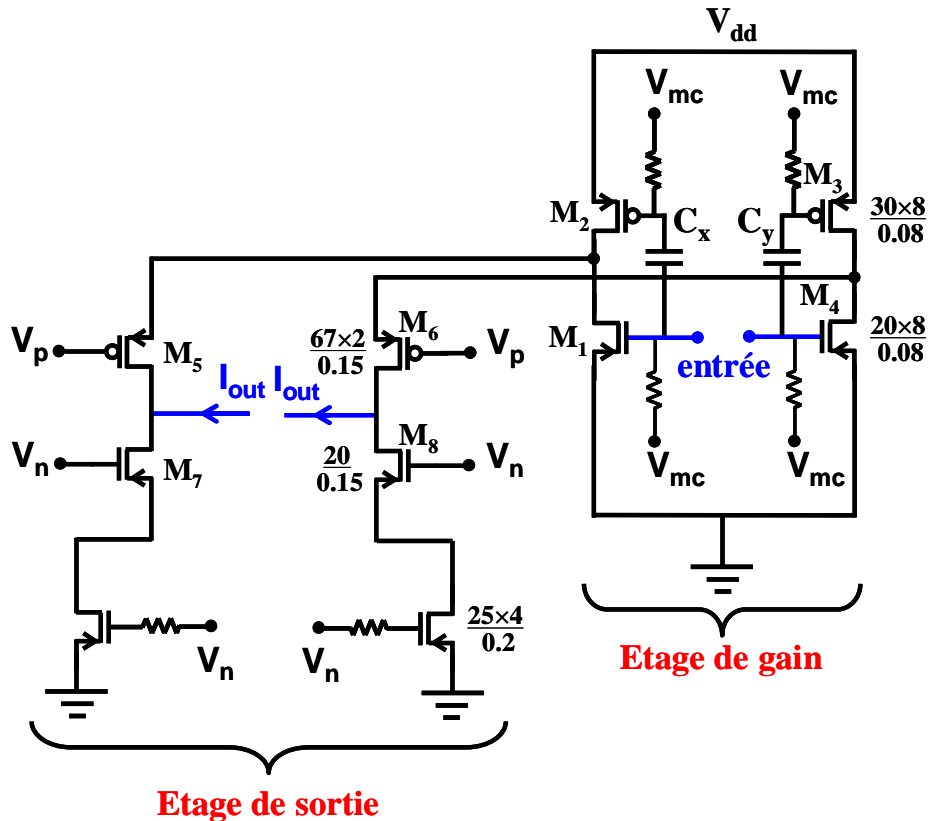


Fig. 5.13 : Circuit du LNA utilisé dans le récepteur

Pour comprendre quelles sont les problématiques liées au portage d'un LNA adapté à l'architecture échantillonnée, nous allons reprendre les spécifications du tableau Tab. 5.7. L'impédance de sortie (Z_{out}) doit être de quelques kiloOhms pour assurer un bon fonctionnement en mode courant du système. Cette spécification oblige à utiliser des étages de « cascode », ce qui réduit la dynamique de sortie à tensions d'alimentation de plus en plus faibles. En regardant le circuit de la figure 5.13, nous voyons que quatre tensions de saturation en plus de la dynamique « single-ended » crête à crête du signal doivent coexister entre V_{DD} et la masse. Avec une tension d'alimentation de 1.1V en CMOS 45nm et une $V_{DS,SAT}$ d'environ 150mV on remarque qu'il ne reste que $400mV_{pp, single}$ soit $800mV_{pp, diff}$, un chiffre qui a tendance à diminuer à $600mV_{pp, diff}$ en CMOS 32nm. A la sortie du LNA, la dynamique du signal RF est à son maximum car aucun filtrage n'a encore été fait et nous savons que le niveau de puissance des brouilleurs peut aller jusqu'à -30dBm (WiMAX) ce qui risque de causer des problèmes de portabilité.

La conception et les simulations de validation du LNA ont été réalisées dans des conditions de fonctionnement extrêmes, nous regroupons les résultats obtenus dans le tableau 5.11 :

LNA	S_{11} (dB)	G_m (mS)	Z_{out} (k Ω)	NF (dB)	P_{1dB} (dBm)
Spécification	-10	50	1	3	-20
Simulation typique	-11	78	0.68	1.8	-21.2
Simulation pire-cas	-7	53	0.46	2.35	-26.7

Tab. 5.11 : Les spécifications du LNA

Le tableau 5.11 montre que l'impédance de sortie du LNA peut au pire-cas baisser à des valeurs de 500Ω soit cinq fois plus grande seulement que l'impédance équivalente de la charge (100Ω environ). Le système pourra certainement marcher sans problème mais il faut être conscient qu'une partie du gain de notre chaîne ne sera pas injecté dans le reste de la chaîne.

Quant au S_{11} , notre méthode d'adaptation d'impédance utilise un réseau de composants passifs sur la carte de test. Cette méthode permet d'avoir une bonne adaptation à la fréquence centrale de la bande RF ($< -14\text{dB}$) mais sur une bande étroite ($< 300\text{MHz}$). C'est bien ce qui explique le S_{11} à -7dB en bord de bande. La consommation du LNA est de 14mA .

2. Le mélangeur

Dans le contexte de développement d'architectures de réception radio facilement portables, un mélangeur passif à base de quatre interrupteurs MOS est le bon choix à faire pour réaliser la conversion de fréquence. Le circuit de la figure 5.14 montre le mélangeur que nous avons conçu pour notre chaîne de réception :

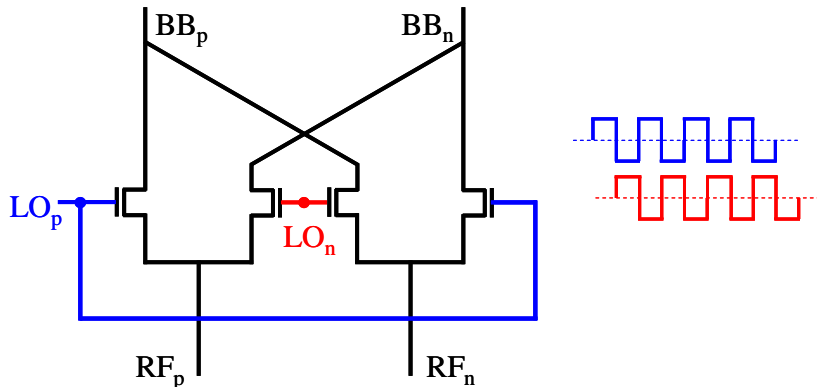


Fig. 5.14 : Circuit du mélangeur utilisé dans le récepteur

Le circuit est constitué de quatre transistors NMOS qui aiguillent le courant RF en sortie du LNA grâce aux signaux d'horloge qui commandent leurs grilles. Les interrupteurs fonctionnent deux à deux car la structure est différentielle et sont commandés par des signaux carrés. Le choix des NMOS est lié à la portabilité de l'architecture échantillonnée, en effet ces transistors permettent de fonctionner avec des modes communs faibles (Fig. 2.6) et gardent une bonne linéarité et une faible résistance à l'état « ON » (R_{ON}) à des dynamiques de signal appropriées. Toutes ces caractéristiques sont d'une importance non négligeable dans le cadre de l'évolution de la technologie CMOS, ce qui justifie le choix des mélangeurs passifs à transistors NMOS pour la conversion de fréquence dans l'architecture échantillonnée.

D'après le tableau 5.10, il est impossible de faire moins de capacités parasites (C_p) sans augmenter le R_{ON} des transistors, ce qui crée un compromis entre les maximums tolérables de R_{ON} et de capacités parasites. La spécification sur la résistance à l'état « ON » est fixée par la contrainte sur le temps d'établissement des échantillons sur la capacité C_S pendant la phase de conduction du mélangeur. A une fréquence porteuse de 2.5GHz et à $C_S = 0.1\text{pF}$ nous avons :

$$R_{ON} \times C_S = \frac{T_{ON, \text{mélangeur}}}{10} \quad (\text{Eq.5.17})$$

$$\Rightarrow R_{ON} = 200\Omega$$

Cependant, nous préférons garder une marge en prenant la valeur 50Ω .

Pour que la capacité parasite totale pré-mélangeur ne dépasse pas 50fF (paragraphe II.C du chapitre 4), nous avons fixé une spécification de 10fF sur les capacités parasites (principalement de jonctions) des transistors du mélangeur.

Nous avons fait des simulations électriques d'extraction pour dimensionner correctement les transistors du mélangeur suivants les spécifications que nous venons de fixer (Tab. 5.12).

	L (μm)	W (μm)	C _p (fF)	R _{ON} (Ω)
Mélangeur	0.04	17	8	49
Spécification			10	50

Tab. 5.12 : Les spécifications du mélangeur

Pour converger vers ces valeurs, nous avons fait des simulations de paramètres-Y avec le simulateur Eldo (Fig. 5.15) et ensuite nous avons utilisé les équations d'extraction suivantes :

$$C_p = \frac{\text{Im}(Y_{12}) + \text{Im}(Y_{11})}{\omega} \quad (\text{Eq.5.18})$$

$$R_{ON} = \text{Re}(Y_{22})$$

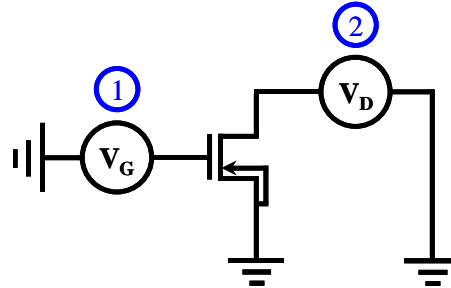


Fig. 5.15 : Circuits de simulation de la résistance et des capacités parasites du mélangeur

C. La partie analogique basse-fréquence

1. Le filtre IIR

Le filtre de sélection de canal représente le cœur de la reconfigurabilité de l'architecture échantillonnée, la précision sur sa fréquence de coupure est pour cela très importante. En général, dans les chaînes de réception radio, on fixe cette précision à moins de 5% pour dimensionner correctement le filtre numérique de sélection de canal.

Dans un contexte de portabilité, il est important de limiter au maximum la surface totale de la chaîne de réception. D'après le tableau 5.9, la capacité du filtre IIR peut atteindre des valeurs typiques de 5pF. Afin de réduire au maximum sa taille nous avons choisi d'implémenter une structure Métal-Oxyde-Métal (MOM) de très haute densité développée chez STMicroelectronics. Cette structure interdigitée cumule à la fois l'effet latéral (dans un même niveau de métal) et vertical (entre les niveaux de métal). Pour le dessin de masques, nous connectons chaque borne de la capacité C_{IIR} à tous les niveaux de métal allant du 1^{er} au 7^{ème} et lors du passage d'un niveau de métal à un autre, on effectue une rotation des doigts de 90° pour créer l'effet vertical. Avec une telle structure nous pouvons atteindre des densités supérieures à 2fF/μm². La figure 5.16 montre une coupe transversale de C_{IIR}.

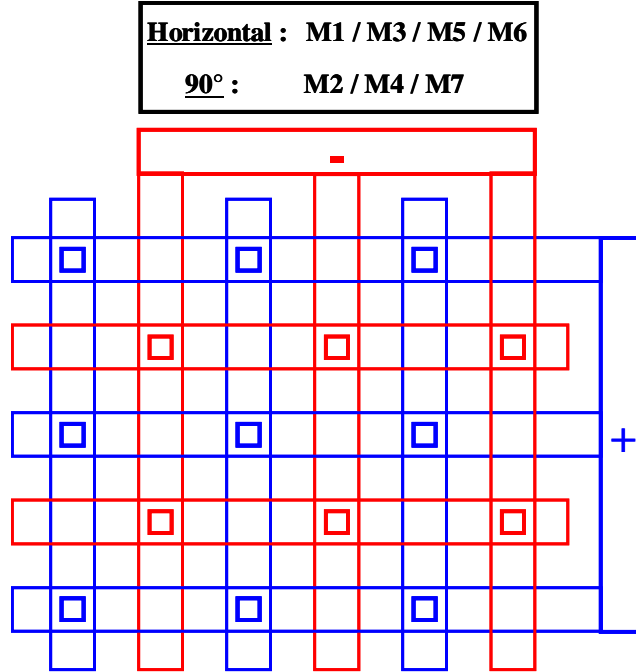


Fig. 5.16 : Structure de base de la capacité C_{IIR}

Notons que la largeur et l'espace entre les doigts sont de $0.08\mu\text{m}$ pour les niveaux de métal allant de 1 à 5 et de $0.4\mu\text{m}$ pour les deux derniers niveaux (M6 et M7).

Nous savons que la fréquence de coupure de ce filtre dépend de la fréquence d'échantillonnage et du rapport entre les capacités C_{IIR} et C_S (Eq. 5.8). Pour réaliser la reconfigurabilité et garantir une précision de 5%, nous implémentons la capacité C_{IIR} à l'aide d'un banc capacitif en parallèle commandé par une série d'interrupteurs MOS (Fig. 5.17).

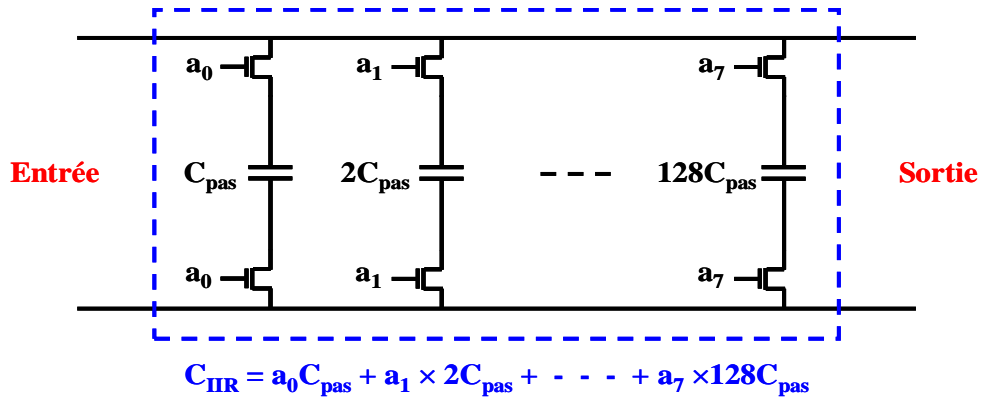


Fig. 5.17 : Implémentation de la capacité C_{IIR} dans le récepteur

Le calcul et le dimensionnement de ce banc capacitif (Eq. 5.19) est fait en se basant sur les équations Eq. 3.8, Eq. 5.13 et la spécification de filtrage (paragraphe III.B.1 et annexe I).

$$f_{N+2} \approx 4.9 \times F_{coupure} \quad (\text{Eq.5.19})$$

$$C_{IIR} = C_S \left[\frac{F_S}{2\pi F_{coupure}} - \frac{1}{2} \right]$$

La plus petite capacité du filtre IIR (C_{\min}) doit assurer 14 dB de filtrage du signal adjacent [N+2] dans le cas extrême suivant : réception d'un signal Wi-Fi de largeur 20MHz situé au plus bas de la bande RF (2.5GHz) dans un cas de variation de technologie qui diminue la valeur de C_S de 25% (décalage typique des technologies CMOS avancées). Elle est donnée par la relation suivante :

$$f_{N+2,\max} \approx 4.9 \times F_{\text{coupure,max}}$$

$$C_{\min} = C_{S,\min} \left[\frac{F_{S,\min}}{2\pi F_{\text{coupure,max}}} - \frac{1}{2} \right] \quad (\text{Eq.5.20})$$

$$\Rightarrow C_{\min} = 0.85\text{pF}$$

Le pas capacitif du banc C_{IIR} (C_{pas}) fixe la précision du filtre, il doit donc nous permettre d'affiner C_{\min} à moins de 5%. Il est donné par la relation suivante :

$$C_{\text{pas}} = 0.05 \times C_{\min} \quad (\text{Eq.5.21})$$

$$\Rightarrow C_{\text{pas}} = 40\text{fF}$$

La plus grande capacité (C_{\max}) doit assurer 14 dB de filtrage du signal adjacent [N+2] dans le cas extrême suivant : réception d'un signal WiMAX de largeur 5MHz situé au plus haut de la bande RF (2.7GHz) dans un cas de variation de technologie qui augmente la valeur de C_S de 25%. Elle est donnée par la relation suivante :

$$f_{N+2,\min} \approx 4.9 \times F_{\text{coupure,min}}$$

$$C_{\max} = C_{S,\max} \left[\frac{F_{S,\max}}{2\pi F_{\text{coupure,min}}} - \frac{1}{2} \right] \quad (\text{Eq.5.22})$$

$$\Rightarrow C_{\max} = 6.6\text{pF}$$

QuickCap est un logiciel d'extraction de capacités en technologies CMOS. Il est utilisé pour estimer la valeur effective d'une structure capacitive à partir de son dessin de masques. Après avoir fixé sa valeur maximum et sa structure physique, nous avons utilisé QuickCap pour estimer les parasites liés à la capacité C_{IIR} , et grâce à des extractions successives, nous avons convergé vers les dimensions finales du banc capacitif. De plus, afin d'assurer un bon appariement entre les éléments capacitifs du banc, nous avons dessiné un motif unitaire en forme de carré de surface $23\mu\text{m}^2$ qui est recopié à chaque fois.



Fig. 5.18 : Dessin de masques du banc capacitif C_{IIR}

Au final, ce filtre mesure $131\mu\text{m} \times 33.8\mu\text{m}$ (Fig. 5.18) et consomme très peu de courant car il est basé sur un partage de charges complètement passif. Sa simple reconfiguration, sa très petite surface et sa consommation quasi-négligeable rendent l'architecture échantillonnée robuste vis-à-vis de l'évolution de la technologie CMOS.

2. Le suiveur de tension

L'amplificateur opérationnel utilisé dans l'architecture échantillonnée pour réaliser la correction des capacités parasites doit avoir un gain de 40dB dans une bande de 10MHz (Tab. 5.9). Pour assurer une recopie transparente au fonctionnement du système, il ne doit pas, par ailleurs, affecter l'état électrique des capacités utiles C_{IIR} et C_S . Le transistor de l'étage d'entrée de l'amplificateur doit avoir une taille assez importante pour réaliser le gain en boucle ouverte et il est connecté à l'une des bornes de la capacité du filtre IIR. D'un autre côté, nous savons que la fuite de grille en technologie CMOS 45nm est cinq fois plus importante qu'en 65nm (Tab. 2.1), pour cela les risques de voir un courant DC affecter les charges de la partie basse fréquence doivent être considérés sérieusement.

D'autre part, le bruit et les non-linéarités générées par le suiveur de tension sont recopiés et amplifiés sur les capacités utiles. Il est donc important de les réduire au maximum.

A cause de toutes ces contraintes, nous avons décidé d'implémenter une structure d'amplificateur de type « folded-cascode » à transistors PMOS. Cette structure nous permet d'avoir de très forts gains en boucle ouverte pouvant atteindre 80dB [117 Gray book] tout en offrant une bonne dynamique de sortie et permet également de réduire le courant de fuite de grille et le bruit 1/f (les transistors de l'étage de gain sont en PMOS).

D'autre part, nous avons rajouté un étage de gain en source-commune avant de reboucler la sortie sur l'entrée pour augmenter le gain davantage et assurer une grande dynamique de sortie. Au final, entre la tension d'alimentation et la masse nous n'avons plus que deux transistors (Eq. 5.23) :

$$DR_{\text{out}} = V_{\text{DD}} - 2 \times V_{\text{DS,SAT}} \quad (\text{Eq. 5.23})$$

Cette architecture d'amplificateur opérationnel s'adapte beaucoup à la baisse des tensions d'alimentation et elle est de ce fait assez facilement portable d'une technologie à la suivante.

Comme tout système à boucle de contre-réaction, le suiveur de tension peut devenir instable s'il n'y a pas une marge de phase suffisante (par rapport à -180°) à gain unitaire (critère de stabilité de Nyquist). Pour garantir cette condition, des techniques de compensation ont été développées par les concepteurs de circuits dont la plus connue est celle de l'introduction d'un pôle de filtrage pour « casser » la bande de l'amplificateur [118 Gray book]. Nous avons implémenté alors une compensation à base d'un circuit RC-série entre la sortie et l'entrée du 2^{ème} étage de gain. Grâce à ce réseau, nous devons assurer une marge de phase supérieure à 45° à gain unitaire de l'amplificateur.

Nous avons introduit, par ailleurs, un étage de sortie en drain-commun qui offre une bonne linéarité et aussi une impédance de sortie assez faible pour assurer un gain quasi-constant en sortie. Pour générer les polarisations V_n et V_p nous avons utilisé une structure à base de miroirs de courant référencés par une simple résistance connectée à la tension d'alimentation.

La structure finale du suiveur de tension est représentée sur la figure 5.19.

Des simulations électriques sur cette architecture d'amplificateur dans des conditions extrêmes de technologie, de tension d'alimentation et de température ont permis de valider les spécifications du tableau 5.8.

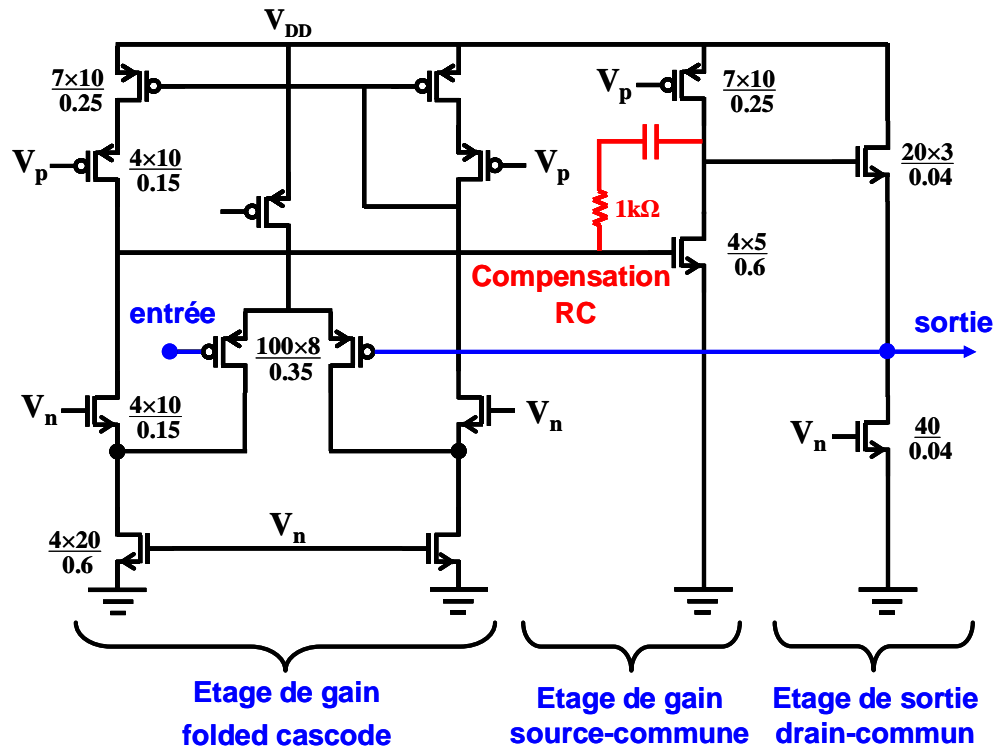


Fig. 5.19 : Circuit de l'amplificateur suiveur de tension utilisé dans le récepteur

Sur la figure 5.20 nous donnons le résultat de simulation pire-cas pour le gain et la stabilité.

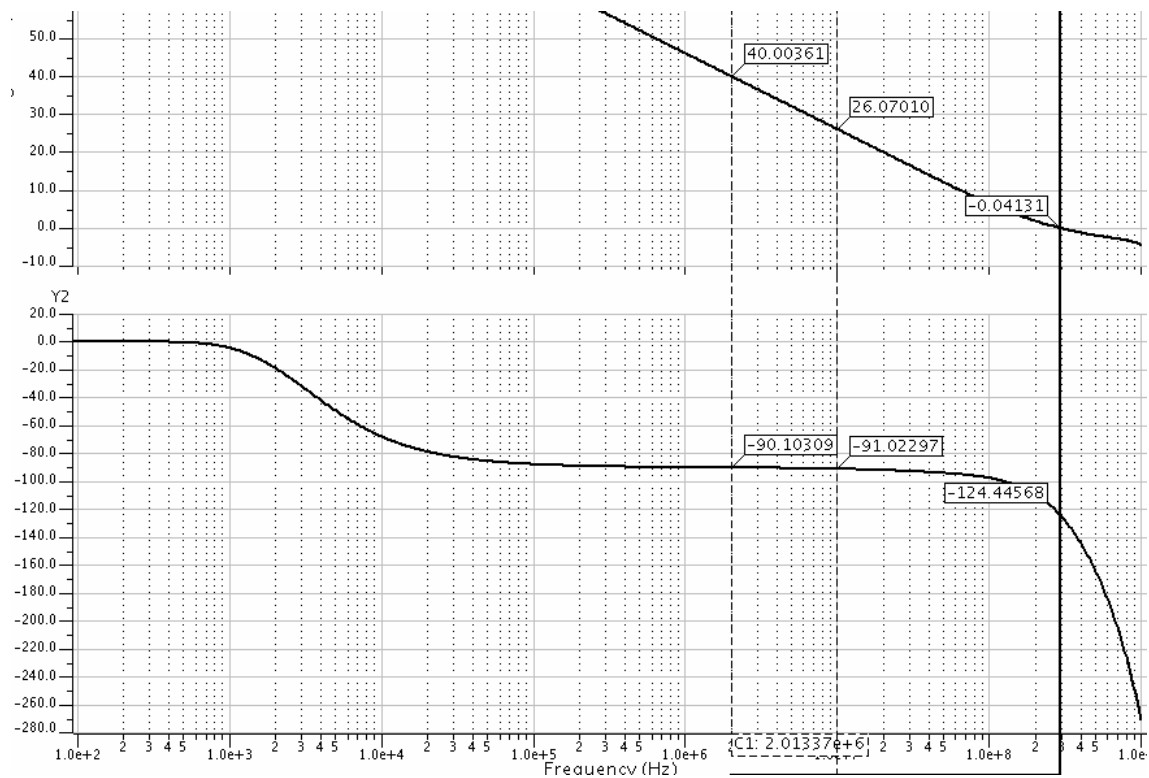


Fig. 5.20 : Résultat de simulation de gain et de stabilité du suiveur en pire-cas

La simulation du gain en boucle ouverte et de la stabilité est la simulation AC avec Eldo que nous avons faite aux valeurs extrêmes et intermédiaires du mode commun d’entrée pour estimer le comportement réel de l’amplificateur. Nous remarquons qu’à 0dB de gain en boucle ouverte, la phase vaut -124.44° soit alors une marge de phase de 55.56° au pire-cas.

A 10MHz de fréquence, le gain en boucle ouverte (G_0) ne vaut plus que 26dB, ce qui est insuffisant pour respecter la spécification. Les conditions de simulation de ce pire-cas sont trop agressives, elles correspondent à une variation de technologie d’amplitude -3σ , une diminution de 5% de la tension d’alimentation et une température de -30°C . L’erreur de recopie vaut 4.7%, 2.1% et 1.2% sur les sous-porteuses les plus hautes en fréquence du canal Wi-Fi, WiMAX 10 et WiMAX 5MHz respectivement.

Nous avons également extrait la non-linéarité d’ordre 3 en mesurant un $\text{IIP}_3\text{dBV}_{\text{rms}}$ car le suiveur fonctionne en tension. La courbe de la figure 5.21 montre la performance d’ IIP_3 pire-cas en considérant deux canaux adjacents [N+1] et [N+2] à puissance maximum dont le produit d’intermodulation d’ordre 3 retombe sur le canal utile. Une distorsion de 92.2dB a été mesurée, ce qui nous permet d’extraire l’ $\text{IIP}_3\text{dBV}_{\text{rms}}$ en utilisant la relation suivante :

$$\begin{aligned} \text{IIP}_3\text{dBV}_{\text{rms}} &= \text{OIP}_3\text{dBV}_{\text{rms}} \\ \text{OIP}_3\text{dBV}_{\text{rms}} &= V_{\text{out}}\text{dBV}_{\text{rms}} + \frac{V_{\text{out}}\text{dBV}_p - \text{IM}_{3,\text{out}}\text{dBV}_p}{2} \quad (\text{Eq.5.24}) \\ \Rightarrow \text{OIP}_3\text{dBV}_{\text{rms}} &= +18\text{dBV}_{\text{rms}} \end{aligned}$$

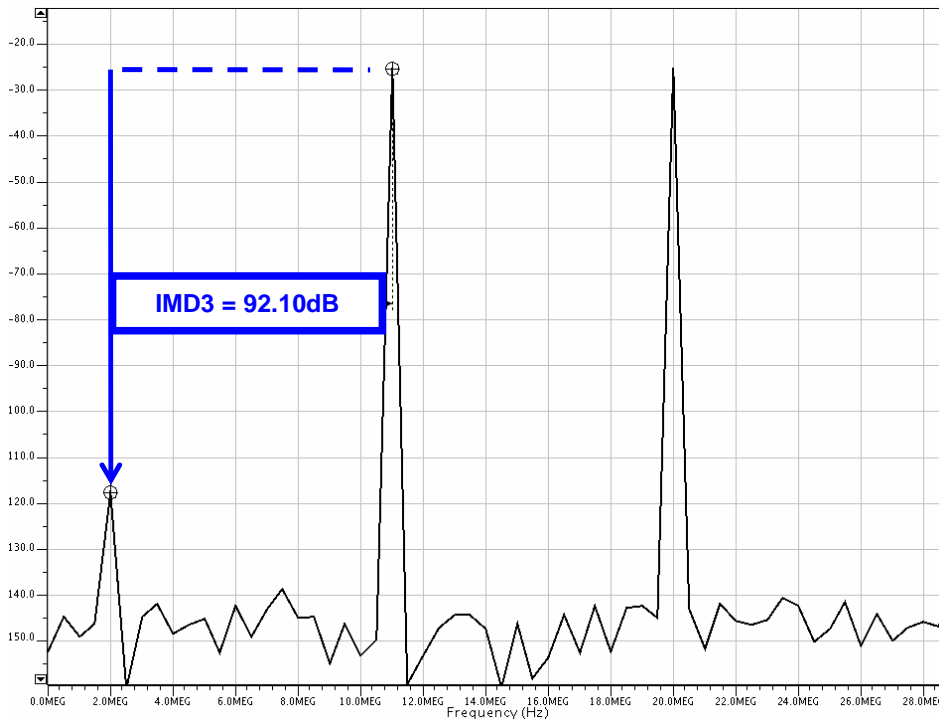


Fig. 5.21 : Résultat de simulation de l’ IIP_3 du suiveur en scénario pire-cas d’adjacents

Les simulations sur le bruit ont été réalisées par la combinaison de deux simulations avec Eldo : AC + Noise. Nous avons extrait le bruit thermique à 10MHz ainsi que la fréquence « corner » qui représente le bruit $1/f$. Il est important de séparer les bruits basse et haute fréquences car nous travaillons avec des signaux OFDM large-bande. L’impact de chacun des

bruits sur les sous-porteuse n'étant pas le même selon leurs positions spectrales, cette séparation nous permet d'affiner la conception de notre amplificateur en optimisant l'un et pas l'autre par exemple. Ainsi, deux pire-cas se présentent pour le bruit :

$$\text{pire cas thermique: } N_{TH} = 6.9\text{nV}/\sqrt{\text{Hz}} \quad F_{\text{corner}} = 986\text{kHz} \quad (\text{Eq.5.25})$$

$$\text{pire cas } F_{\text{corner}} : N_{TH} = 5.2\text{nV}/\sqrt{\text{Hz}} \quad F_{\text{corner}} = 1.24\text{MHz}$$

Chacun de ces pire-cas a été simulé à part dans la simulation « système » pour vérifier l'impact sur le SNR global. Le tableau 5.13 résume les performances simulées du suiveur :

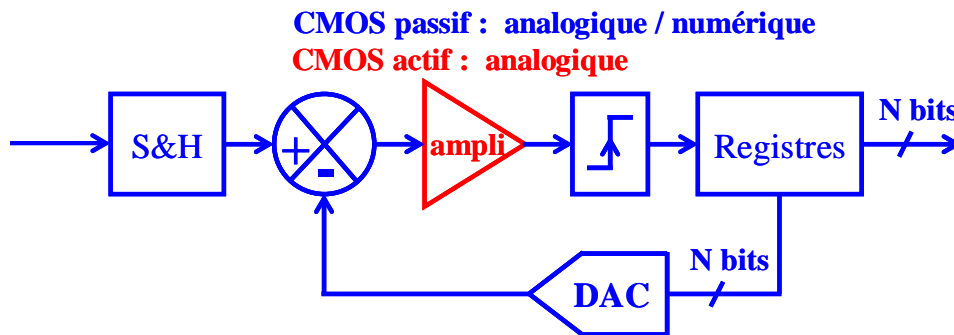
Pire-cas	$\Phi_{\text{marge}} (^{\circ})$	$G_{O,DC}$ (dB)	$G_{O,10\text{MHz}}$ (dB)	N_{TH} (nV/ $\sqrt{\text{Hz}}$)	IIP ₃ (dBV _{rms})
Suiveur	55.6	64	26	6.9	+18

Tab. 5.13 : Les performances globales du suiveur de tension

Nous réalisons une chaîne de réception entière avec deux voies I et Q, nous avons donc besoin de quatre amplificateurs opérationnels « single-ended » afin de compenser correctement les effets des capacités parasites. Les quatre amplificateurs consomment 4.5mA.

D. Le convertisseur analogique-numérique

Les spécifications du convertisseur analogique-numérique ont été définies en premier dans le paragraphe III. B : la chaîne de réception doit fonctionner avec un convertisseur ayant une pleine échelle de -15dBV_{rms} (500mV_{pp,diff}) et une dynamique de 62dB (ENOB de 10 bits). Par souci de portabilité et d'adaptation aux principes de l'architecture échantillonnée basée sur des circuits CMOS passifs, nous avons choisi un convertisseur à approximations successives (SAR). La particularité de ce convertisseur est qu'il est formé principalement d'un système passif de capacités commutées et d'un seul bloc actif : le préamplificateur du comparateur de décision. Son schéma conceptuel est représenté sur la figure 5.22 :



Le SAR est généralement connu pour sa simplicité et ses moyennes résolutions, sauf que l'évolution de la technologie CMOS et l'augmentation des vitesses de commutation du transistor MOS, permet de le faire fonctionner à des fréquences élevées. Ainsi, on peut gagner en résolution en profitant du facteur de sur-échantillonnage. Son principal inconvénient (le nombre de cycles pour une seule conversion correspond au nombre de bits théoriques) est surmonté en utilisant un entrelacement temporel de plusieurs unités de SAR en parallèle.

Dans le cadre de l'architecture échantillonnée, nous savons que le filtre anti-repliement est réalisé par un entrelacement de plusieurs capacités C_s à la fois. La particularité de notre approche de conception a été d'utiliser le premier étage du SAR (le S&H) pour réaliser le

filtre anti-repliement de l'architecture échantillonnée en intégrant les capacités C_S directement dans la structure du convertisseur. Le schéma de la figure 5.23 détaille ce principe :

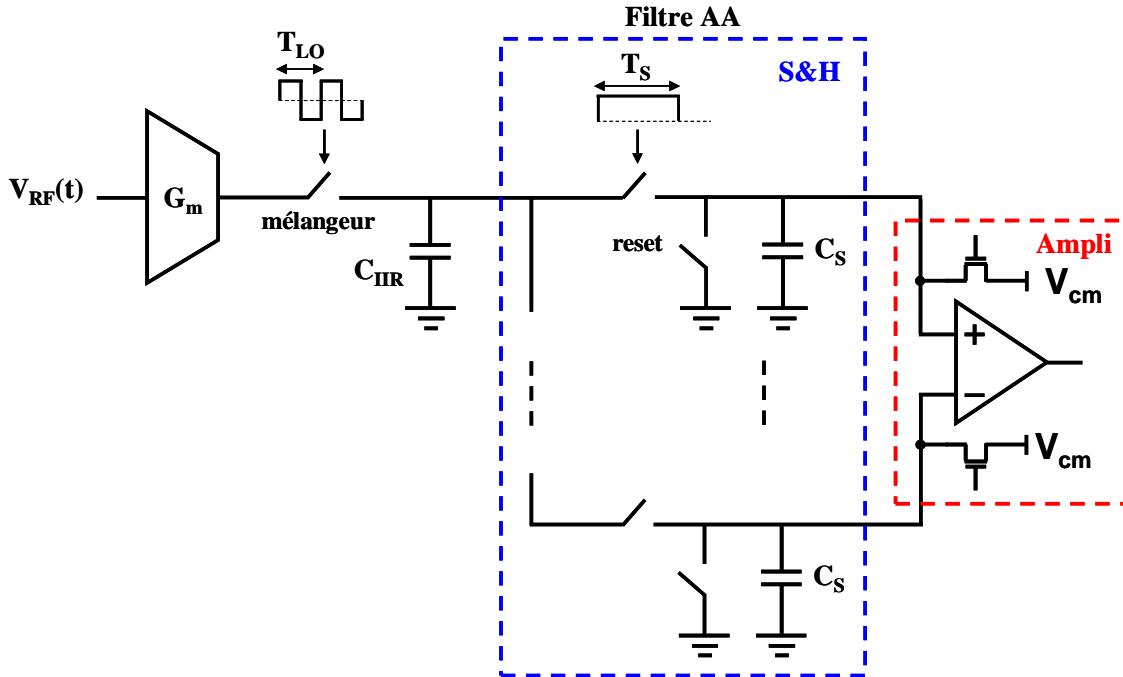


Fig. 5.23 : Schéma du SAR entrelacé et intégré dans l'architecture échantillonnée

On voit bien qu'une optimisation en complexité et en surface a ainsi été réalisée avec un convertisseur SAR entrelacé, ce qui donne plus de portabilité à l'architecture échantillonnée. Pour garantir un ENOB de 10, nous avons implémenté une structure à 12 unités : huit unités pour faire une conversion théorique de 8 bits, une unité supplémentaire pour permettre au convertisseur d'écrire le mot binaire sur le registre de sortie, une autre pour faire la remise à zéro de la capacité d'échantillonnage C_S , une unité pour calibrer le préamplificateur du comparateur et une dernière pour la phase d'intégration du courant en provenance de la partie RF sur la capacité C_S . Au total il y a 12 voies d'entrelacement qui fonctionnent chacune à la fréquence $F_S/12$ mais le convertisseur lui fonctionnera à F_S soit entre 600 et 675 MHz.

La capacité de l'ADC est de faible valeur et ne nécessite pas l'utilisation d'une structure à haute densité comme la capacité C_{IRR} . Pour cela, sa structure utilise uniquement l'effet latéral interdigité à chaque niveau de métal en allant du premier au cinquième.

Dans la bande de Nyquist ($[0 - F_S/2]$), les simulations électriques sur l'ADC donnent un ENOB de 7.4 bits dans des conditions de fonctionnement extrêmes. En considérant le gain dû au facteur de sur-échantillonnage nous aurons le nombre de bits effectif dans la bande utile :

$$ENOB_{\text{bande}} = ENOB_{\text{Nyquist}} + 10 \times \text{Log}_{10} \left(\frac{F_S}{B} \right) \quad (\text{Eq.5.26})$$

$$\Rightarrow ENOB_{\text{bande}} = 7.4 + 2.5 = 9.9\text{bits} \quad \text{WiFi}$$

$$\Rightarrow ENOB_{\text{bande}} = 7.4 + 2.5 = 10.4\text{bits} \quad \text{WiMAX 10MHz}$$

$$\Rightarrow ENOB_{\text{bande}} = 7.4 + 2.5 = 10.9\text{bits} \quad \text{WiMAX 5MHz}$$

La spécification de 10bits est donc respectée pour les trois largeurs de canaux visés. Le convertisseur occupe une surface de 0.22mm^2 et consomme 16mA.

E. La couronne des plots

1. La couronne

La couronne des plots est la partie qui lie le circuit au monde extérieur : en effet, les broches d'un boîtier sont généralement connectés aux entrées/sorties d'un circuit par l'intermédiaire de fils très fins en or ou platine (pour avoir une faible résistivité) appelés les « fils de bonding ». Ces fils ne sont pas directement connectés au circuit mais à un plot qui permet de faire l'interface entre les deux. Son rôle principal est de protéger le circuit des éventuelles décharges électrostatiques (ESD) qu'il peut endurer au cours du procédé de fabrication. Nous avons utilisé les plots standards de STMicroelectronics pour réaliser nos plots d'entrée/sortie analogiques et RF. Cependant, les signaux en sortie de l'ADC sont échantillonnés à une fréquence entre 600 et 675MHz. Les plots numériques de la bibliothèque standard de STMicroelectronics fonctionnent jusqu'à des fréquences de l'ordre de 100MHz seulement. Pour remédier à ce problème deux solutions sont envisageables : concevoir un bloc de décimation qui réduit la fréquence d'échantillonnage à la sortie du convertisseur ou concevoir des plots spécifiques à nous avec des buffers numériques intégrés. Nous avons opté pour la 2^{ème} solution, le paragraphe suivant détaille la conception du buffer numérique de sortie.

2. Le buffer numérique de sortie

Le buffer numérique doit fournir une image assez fidèle des bits en sortie du convertisseur. Le schéma de la figure 5.24 montre le circuit de simulation qui a été utilisé pour prendre en compte l'environnement réel de fonctionnement du buffer:

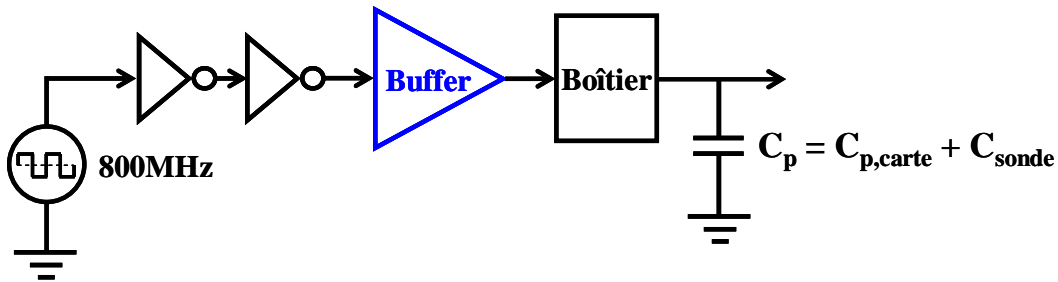


Fig. 5.24 : Circuit de simulation du buffer numérique de sortie

Une source de signal échantillonné à 800MHz est utilisée en entrée pour émuler le signal numérique en provenance de l'ADC. Pour le mettre en forme avant d'attaquer le buffer, le signal passe à travers les derniers étages de l'ADC constitués d'une série d'inverseurs. En sortie, nous avons utilisé un modèle de boîtier basé principalement sur une modélisation RLC des fils de « bonding » et un élément capacitif qui permet de modéliser les capacités des lignes de routage sur la carte de test (que nous avons approximativement mesurées) et la capacité de la sonde qui détecte le signal pour l'envoyer à l'analyseur logique. Le buffer lui-même est constitué d'une suite d'inverseurs bien dimensionnés pour garantir une bonne lecture du signal sur la capacité C_p à la fréquence maximale de 800MHz.

Le schéma électrique complet du buffer avec le dimensionnement des transistors est représenté sur la figure 5.25. Les simulations électriques, dans des cas extrêmes de technologie, de température et de tension d'alimentation ont montré une lecture bien stable et robuste du signal numérique de sortie.

Tous les transistors (P et NMOS) sont dimensionnés au L_{\min} de la technologie soit $0.04\mu\text{m}$. Une résistance de 50Ω a été rajoutée à la sortie du buffer (Fig. 5.25) pour réduire les

éventuelles oscillations dues au battement entre ondes réfléchies et incidentes. En effet, elle permet d'adapter l'impédance de sortie du buffer à 50Ω impédance caractéristique des lignes et des appareils de mesures utilisés. Deux diodes de protection contre les ESD ont également été prévues.

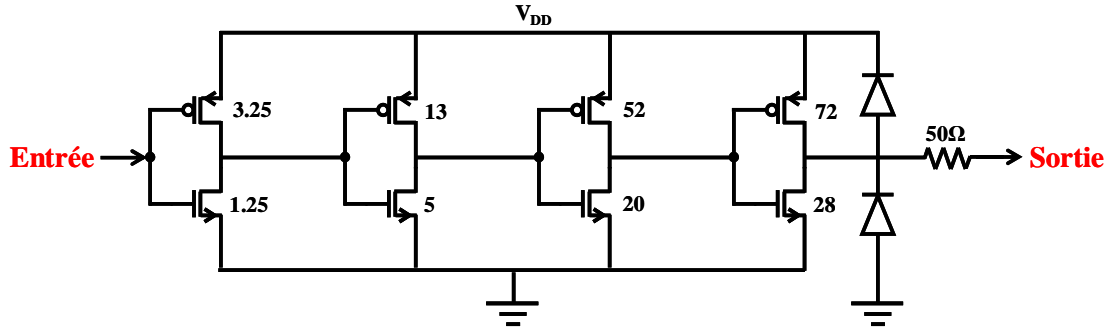


Fig. 5.25 : Circuit électrique du buffer numérique de sortie

F. La génération des signaux d'horloge

Nous avons besoin de cinq signaux de base seulement pour réaliser notre chaîne de réception radio : quatre signaux déphasés à la fréquence porteuse pour commander les transistors des mélangeurs des deux voies I et Q, notés LOI_p , LOI_n , LOQ_p et LOQ_n ; un signal à la fréquence porteuse divisé par quatre qui correspond à la fréquence d'échantillonnage et commande tous les transistors des structures à base de capacités commutées. Ce signal sert également de référence à la génération des phases internes de l'ADC.

La réalisation d'une synthèse de fréquence complète, avec oscillateur VCO et boucle à verrouillage de phases intégrés (comme c'est le cas dans une chaîne de réception), n'entraîne pas dans le cadre de ce travail de thèse. Pour cela, nous avons utilisé une référence d'horloge externe à 5.2GHz à partir de laquelle nous avons synthétisé les cinq signaux précédents. La synthèse de ces signaux a été réalisée grâce à de simples diviseurs par 2 et des déphaseurs de 90 et 180°.

Sur le dessin de masques, les lignes de routage qui connectent le circuit de génération d'horloges aux différents blocs à commander sont d'une importance cruciale. En effet, l'acheminement des signaux de phases opposées, la longueur des lignes de routage et les niveaux de métal choisis peuvent avoir un impact énorme sur la qualité des signaux de commandes (résistances, délais, couplages).

Afin de vérifier le bon fonctionnement de notre génération d'horloges, nous avons réalisé des simulations avec PLS (Post Layout Simulator) qui permettent de prendre en compte les effets parasites d'interconnexion et de routage. Avec la simulation PLS et l'option d'extraction RCmax nous avons pu vérifier que toutes les phases que nous générons sont de bonnes qualités à l'entrée des blocs à commander.

G. Les simulations d'intégration du circuit et bilan

Plusieurs simulations électriques sont nécessaires, une fois le circuit assemblé, afin de valider l'aspect fonctionnel avant l'envoi en fabrication. Nous avons effectué une série de simulations globales sur le circuit complet (du LNA jusqu'à l'ADC) et nous avons obtenues les bonnes valeurs de gain, de filtrage, de tensions DC et de consommation.

Sur la figure suivante nous représentons le schéma complet du dessin de masques de notre circuit de réception :

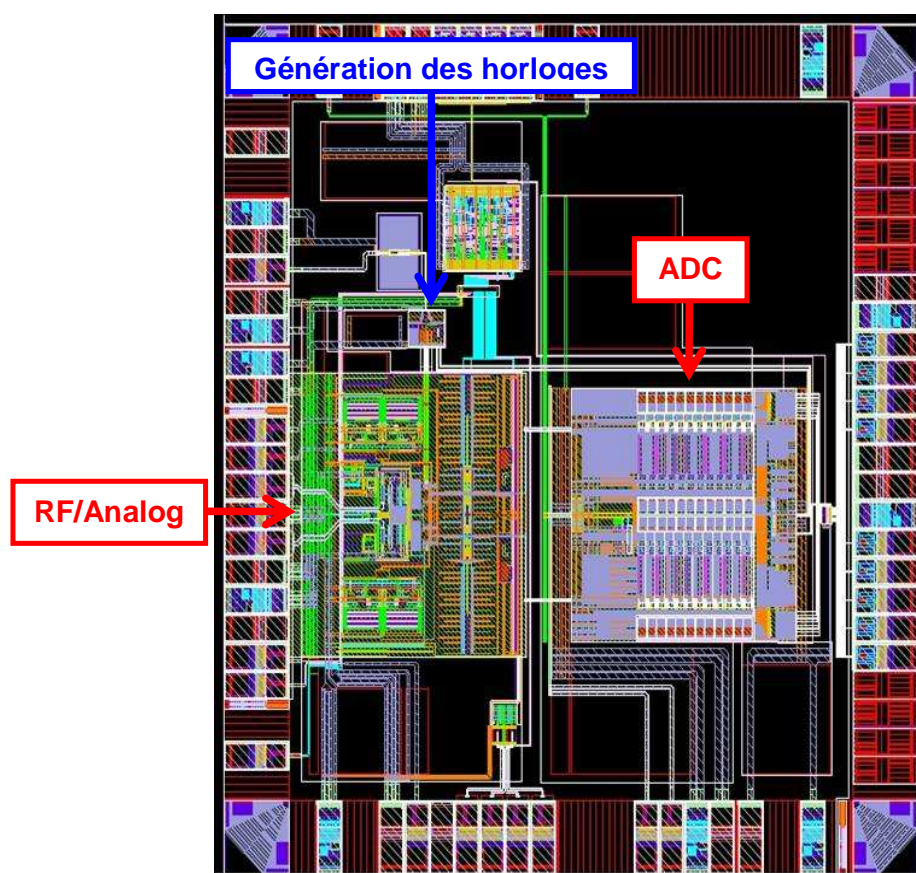


Fig. 5.26 : Dessin de masques complet du circuit de réception

Plusieurs points sont importants à noter sur ce dessin de masques (propriété de STM/ST-Ericsson) : La surface occupée par le LNA, les mélangeurs, les suiveurs de tensions et les filtres de sélection de canal (la totalité de la partie RF et analogique) est sensiblement égale à celle occupée par l'ADC. Cette tendance correspond bien à la vision future de l'intégration en technologie CMOS où l'on pousse le traitement numérique de l'information au plus près possible de l'antenne. D'autre part, la génération des signaux d'horloge qui commandent le circuit occupe une surface quasi-négligeable (annotée en bleu).

Avant de passer à la dernière partie de ce chapitre pour présenter les résultats de mesure du circuit, nous donnons dans le tableau 5.14 la quantité de travail utilisée pour réaliser le portage de ce circuit :

	Système	Conception	Dessin de masques	Total	Durée
Ressource	1	3	2	5	3 mois

Tab. 5.14 : Bilan de la quantité de travail

En conception, la partie analogique basse-fréquence a été réalisée par la personne qui a fait le dimensionnement au niveau système de la chaîne de réception. Au total, sur une durée de 3 mois uniquement 5 personnes étaient impliquées à plein temps ce qui conduit à une quantité de travail de 15 homme/mois. Sur les 5 personnes impliquées, une seule avait la connaissance du fonctionnement de l'architecture échantillonnée. Ainsi, lors d'un portage en 32nm nous sommes confiants que la même quantité de travail suffira.

V. Mesures

Dans ce paragraphe, nous allons détailler toutes les étapes de test du circuit que nous avons réalisé en CMOS 45nm ainsi que les résultats de mesures.

A. La carte de test et le banc de mesure

Nous nous sommes servis de la carte de test du circuit précédent réalisé en CMOS 65nm sur laquelle nous avons effectué de simples modifications (principalement liées à des niveaux de tensions) pour valider notre circuit. En effet, cela nous permet de garder le même environnement de test et donne plus de pertinence à notre comparaison. Nous montrons sur la figure 5.27 la carte de test utilisée au laboratoire : on y trouve tous les systèmes de génération des modes communs et des références de tension, les tensions d'alimentation dont le 1.1V pour le fonctionnement du circuit et le 5V pour l'interface de contrôle, le réseau d'adaptation d'impédance en entrée et une sonde 10-bits pour lire les bits en sortie du circuit.

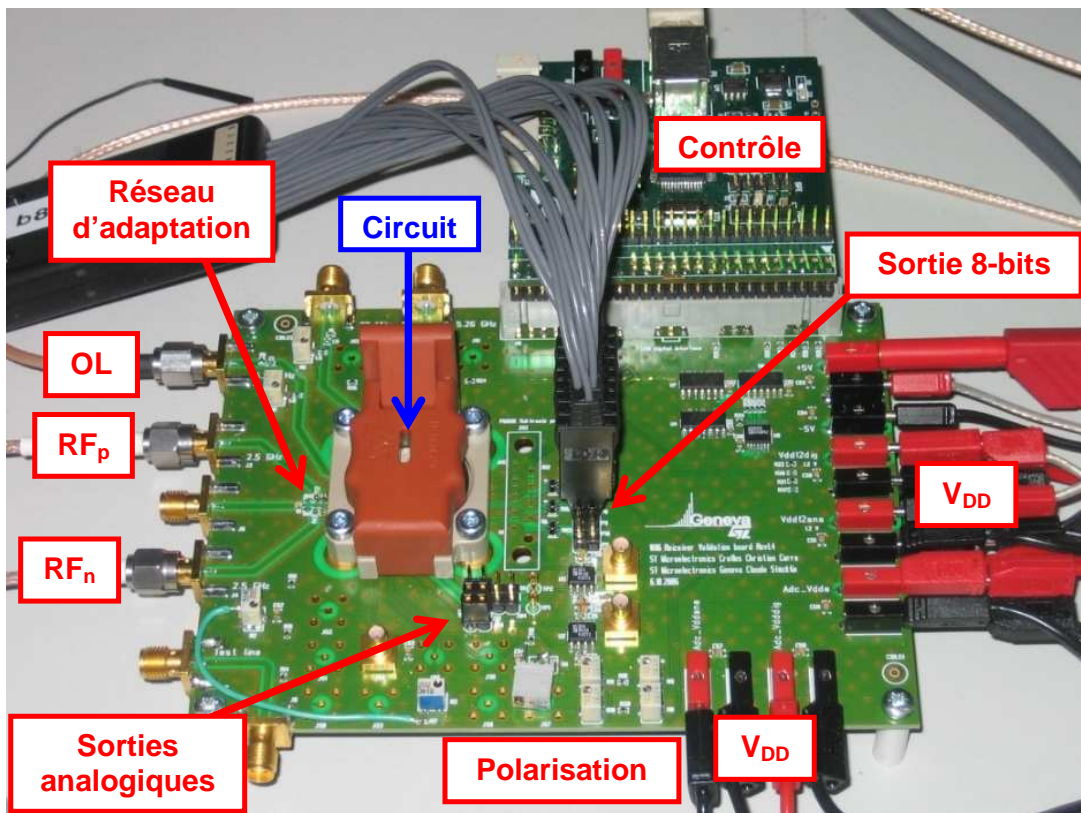


Fig. 5.27 : Le circuit de la carte de test utilisée

Le banc de mesure est représenté sur la figure 5.28. Il contient les appareils suivants : deux générateurs RF, le premier à 5GHz correspond au signal de référence de l'oscillateur local et le 2^{ème} à 2.5GHz correspond à la porteuse RF ; un coupleur qui permet de fournir un signal différentiel à partir d'un signal « single-ended » ; un filtre de fréquence de coupure 3GHz qui permet d'atténuer toutes les harmoniques du signal d'entrée ; un analyseur de réseaux pour mesurer l'adaptation d'impédance en entrée ; un analyseur logique sur lequel nous traitons les

données numériques ; un petit logiciel pour analyser les données en provenance de l'analyseur logique et réaliser des calculs de rapports signal à bruit SNR.

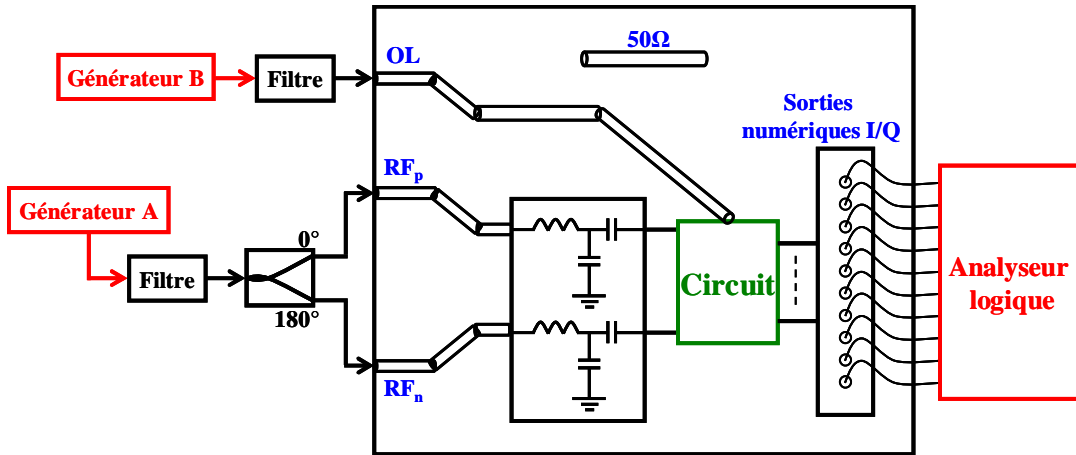


Fig. 5.28 : Le banc de mesure utilisé au laboratoire

B. Le gain

1. Adaptation de l'impédance d'entrée

L'adaptation d'impédance est la première grandeur à mesurer dans un circuit RF, elle représente le point de départ de la caractérisation d'une chaîne de réception. Nous avons utilisé, pour ce but, un analyseur de réseaux différentiel. Après calibration de l'appareil par des charges 50Ω , court-circuit et circuit ouvert, nous avons procédé à la mesure du S_{11} différentiel. Cette mesure a été faite, sans et avec le coupleur (Fig. 5.28), et en utilisant le même réseau d'adaptation que nous avons spécifié en simulation. Les résultats des deux mesures sont représentés sur la figure 5.29. Nous avons obtenu un S_{11} d'au plus -8dB sur une bande de largeur 250MHz autour de la fréquence centrale 2.35GHz . Cette adaptation d'impédance ne correspond pas tout à fait à notre spécification (-10dB sur la bande $2.4 - 2.7\text{GHz}$) mais nous a permis de mesurer notre circuit sans beaucoup de pertes par réflexion à l'entrée. En effet, ayant visé de faire toute l'adaptation d'impédance par l'intermédiaire d'un réseau de composants passifs à l'extérieur du circuit, nous savons que nous ne trouverons pas d'excellents niveaux de S_{11} .

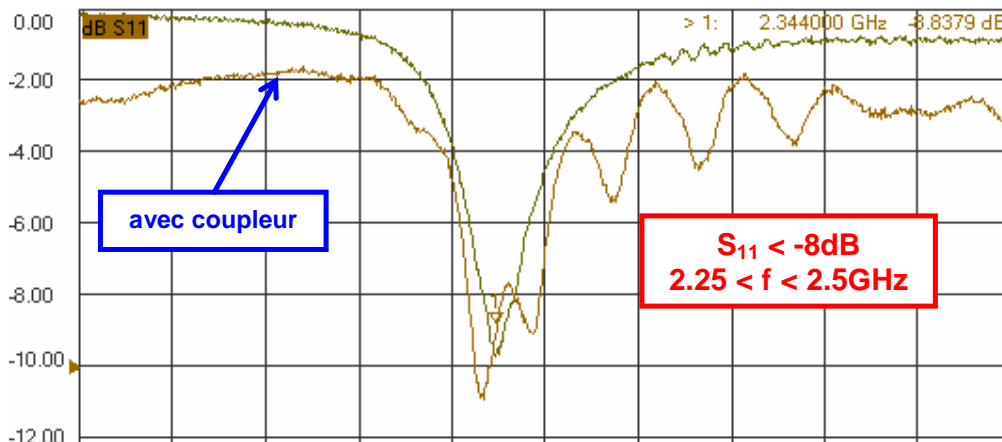


Fig. 5.29 : Mesure du S_{11} différentiel à l'analyseur de réseaux

Le réseau d'adaptation est constitué d'une inductance de 1nH en série, d'une capacité en parallèle de 0.75pF et d'une capacité série de 1.1pF.

2. Mesure du gain global du récepteur

Nous commençons notre caractérisation par la mesure du gain global de notre chaîne de réception. Ce gain a été défini par l'équation Eq. 5.15 et dépend de la fréquence d'échantillonnage F_S et de la valeur de la capacité C_S . Nous réalisons notre mesure à $F_{RF} = 2.34\text{GHz}$ où on a le maximum d'adaptation, ce qui nous conduit à $F_S = F_{in}/4 = 585\text{MHz}$. Cependant, la valeur exacte de C_S est inconnue : en effet, elle correspond à la valeur de la capacité d'échantillonnage de l'ADC en plus des éventuelles capacités parasites. De plus, nous ne savons pas dans quel cas de variation de technologie se trouve notre circuit. Pour cela, nous avons prévu des structures de capacités MOM sur la même plaque que notre circuit. La mesure sous pointes de ces structures a montré un décalage de +25% par rapport aux valeurs typiques. Nous savons donc que C_S vaut au moins $100 \times 1.25 = 125\text{fF}$.

Partant de cette valeur, nous avons mesuré le gain du circuit en utilisant les données en sortie de l'analyseur logique et le logiciel de traitement. La sortie numérique est calculée en dBV_{rms} alors que l'entrée est en dB_m et correspond à la puissance du générateur sur laquelle il faut appliquer un facteur de correction de 2.3dB lié aux pertes dans le coupleur.

La mesure a été réalisée à plusieurs niveaux de puissance du signal d'entrée et à $F_S = 585\text{MHz}$, les résultats sont regroupés sur la figure 5.30.

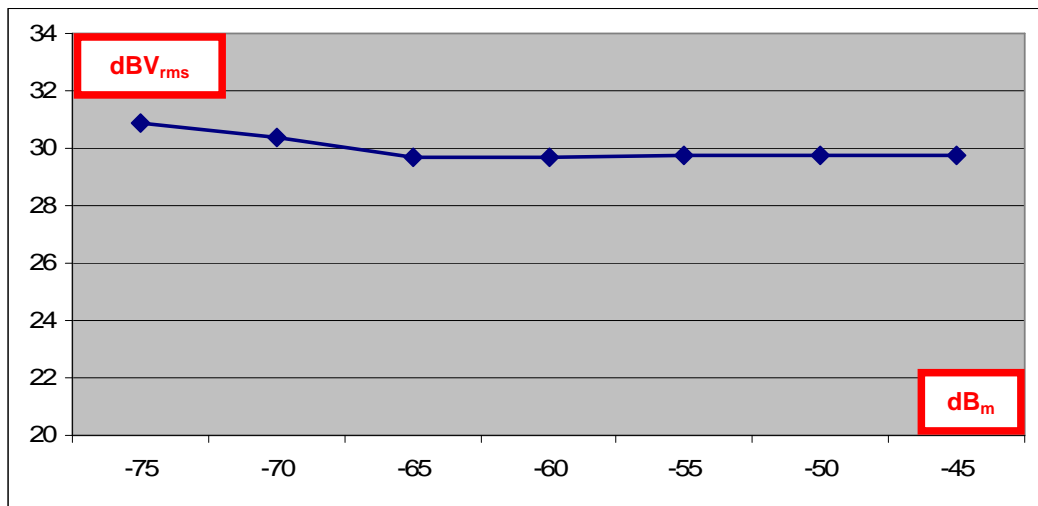


Fig. 5.30 : Mesure du gain global du récepteur en fonction de la puissance d'entrée

Le gain global (G_0) est stable et vaut environ $30.5\text{dBV}_{\text{rms}}/\text{dB}_m$. A partir de l'équation Eq. 5.15 nous déduisons la valeur du gain de transconductance du LNA :

$$G_m = \pi C_S F_S 10^{\frac{G_0 + 13}{20}} \quad (\text{Eq. 5.27})$$

$$\Rightarrow G_m = 34.5\text{mS}$$

Nous savons que ce gain n'est pas suffisant, il nous manque 3.2dB pour tenir la spécification que nous nous sommes fixé (Tab. 5.7). Par contre, nous n'avons aucune information sur le niveau de la capacité parasite à l'entrée de l'ADC qui peut contribuer directement à l'augmentation de C_S et donc à la chute du gain global. De même nous n'avons pas

d’informations sur l’état du gain intrinsèque du transistor MOS en 45nm. Ces deux points peuvent expliquer la différence que nous avons.

3. Politique de gain

Dans une chaîne de réception radio, la politique de gain permet d’ajuster le gain du récepteur pour réduire les non-linéarités à très fortes puissances d’entrée et pour ne pas saturer le convertisseur analogique-numérique. Nous avons prévu, pour notre circuit, deux pas d’atténuation de 11 et 21dB sur le LNA et six pas de 3dB chacun sur la partie basse-fréquence : en effet, une résistance a été implémentée entre la capacité C_{IR} et la capacité C_S , son rôle consiste à aiguiller une partie du courant et baisser par conséquent le gain d’intégration.

Nous avons fait des mesures de la politique de gain de notre récepteur, la procédure consiste à mesurer le signal de sortie à gain maximal, puis appliquer un pas d’atténuation et remesurer à nouveau le signal de sortie. La différence nous permet de savoir quelle atténuation a réellement lieu à l’intérieur du circuit. Les résultats sont résumés dans le tableau 5.15 :

$P_{\text{générateur}} = -60\text{dBm}$, $F_s = 585\text{MHz}$, $\text{Pertes} = 2.3\text{dB}$, $\text{Signal} = -33.3\text{dBV}_{\text{rms}}$								
Att_{théorique} (dB)	11	21	3	6	9	12	15	18
Signal (dBV_{rms})	-43.4	-52.6	-35.7	-38.3	-41.8	-45.1	-47.2	-50.4
Att_{mesurée} (dB)	10.8	20	3.1	5.7	9.2	12.5	14.6	17.8

Tab. 5.15 : Mesure de la politique de gain du récepteur

L’atténuation mesurée correspond bien à celle visée théoriquement, la valeur la plus éloignée est celle du 2^{ème} pas sur le LNA. On perd 1dB d’atténuation sur 21dB prévus, soit 1% en précision. Nous concluons que la politique de gain du récepteur fonctionne bien.

C. Le bruit

Le bruit est l’un des facteurs les plus importants dans une chaîne de réception. Quand un circuit de réception est mesuré dans un objectif de certification de produit, le premier élément à tester est le facteur de bruit à la sensibilité.

Nous voulons mesurer de manière séparée les contributions en bruit thermique et 1/f de notre circuit pour mieux comprendre les limitations de l’architecture échantillonnée. Pour cela, nous avons réalisé l’expérience suivante : un signal RF de puissance -82.8dB_m en sortie du générateur et -85.1dB_m à l’entrée du circuit est balayée en fréquence de 100kHz à 4.9MHz par pas de 200kHz autour de la fréquence porteuse 2.34GHz. A chaque point de fréquence, le rapport signal à bruit en sortie est calculé sur une bande de 200kHz seulement. Nous savons que le bruit thermique en entrée exprimé en dB_m est donné par la relation suivante :

$$N_{\text{TH}} = 10 \times \text{Log}_{10} \left(\frac{k_B T \times 400\text{kHz}}{10^{-3}} \right) \quad (\text{Eq.5.28})$$

Pour déterminer le « facteur de bruit bande étroite », nous appliquons la relation suivante :

$$NF_{\text{bande-étroite}} = (P_{\text{générateur}} - \text{Perte}_{\text{coupleur}}) - N_{\text{TH}} - \text{SNR}_{\text{out},0 \rightarrow 200\text{kHz}} \quad (\text{Eq.5.29})$$

Les résultats obtenus sont représentés sur la figure 5.31 et montrent bien la contribution séparée des bruits thermique et 1/f.

Le facteur de bruit part de 5.5dB à 100kHz et chute à partir de 2MHz environ pour se stabiliser autour de la valeur 3.5dB.

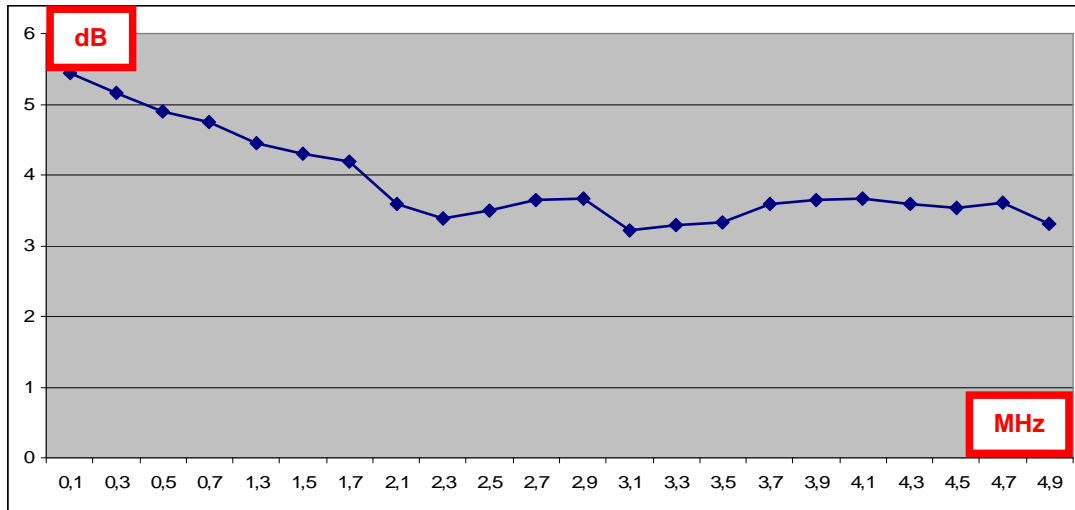


Fig. 5.31 : Mesure du facteur de bruit bande-étroite de 0 à 5MHz

Maintenant, il est intéressant de calculer le facteur de bruit complet du circuit (NF). Pour cela, nous avons intégré tous les niveaux de bruit mesurés précédemment de 100kHz à 5MHz et nous calculons le NF du récepteur par la relation suivante :

$$NF = (P_{\text{générateur}} - \text{Perte}_{\text{coupleur}}) - 10 \times \text{Log}_{10} \left(\frac{k_B T \times 10\text{MHz}}{10^{-3}} \right) - \text{SNR}_{\text{out},0 \rightarrow 5\text{MHz}} \quad (\text{Eq.5.30})$$

$$\Rightarrow NF = 3.94\text{dB}$$

Ce facteur de bruit est inférieur à la spécification de 5.1dB que nous avons fixée, nous pouvons donc conclure que la performance en bruit de notre circuit est solide.

D. Le filtre analogique de sélection de canal

1. Calibration de la capacité IIR

Le filtre IIR a été implémenté grâce à un banc capacitif parfaitement reconfigurable ayant une précision inférieure à 5% sur la valeur de la fréquence de coupure.

La 1^{ère} étape dans la validation de la fonction de transfert du filtre IIR est de savoir quelle est l'état de notre circuit en termes de décalage technologique et de parasites. Les mesures sous-pointes de nos structures de capacités MOM (C_{IIR}) ont montré un décalage de +30% sur les valeurs typiques. Nous savons maintenant que les codes théoriques qui programment la bonne valeur de C_{IIR} pour une largeur de canal donnée ne sont plus valables (C_S a augmenté de +25% et C_{IIR} de +30%). Pour cela, nous avons procédé à une calibration : elle consiste à mettre le code « zéro » qui n'active aucune capacité sur le banc C_{IIR} et mesurer la réponse en fréquence du filtre. Nous nous attendons, d'après nos simulations « système » à une atténuation de 3dB à 10MHz et nous obtenons une atténuation de 8.5dB. Or, le décalage technologique ne peut pas expliquer à lui seul ce résultat, ce qui conduit à l'hypothèse d'une forte capacité parasite (1.5pF) en parallèle avec C_{IIR} . Suite à plusieurs mesures, nous avons pu extraire la relation qui lie le code de programmation à la capacité effective dans le circuit :

$$C_{IIR, effective} = 1.6pF + (1 + \Delta_{techno}) \times C_{IIR} \quad (\text{Eq. 5.31})$$

A partir de la calibration nous sommes maintenant capables de mesurer la fonction de filtrage en se basant sur nos nouveaux codes de programmation (Eq. 5.31).

2. Mesure de la fonction de transfert et de la reconfigurabilité

Nous avons mesuré la fonction de transfert du filtre IIR en balayant la fréquence d'un signal RF de 100kHz à 20MHz à partir de 2.34GHz. Les résultats obtenus montrent la bonne reconfigurabilité et la validité des codes de l'équation Eq. 5.31. Sur la figure 5.32, nous représentons les fonctions de filtrage qui correspondent aux deux canaux WiMAX (5 et 10MHz). Avec les nouveaux codes, nous obtenons une atténuation d'environ 15dB sur le canal adjacent [N+2] dans les deux cas. Malheureusement, à cause de la capacité parasite inattendue de 1.5pF, le filtre IIR coupera beaucoup trop bas pour pouvoir adresser le canal Wi-Fi ($C_{IIR, Wi-Fi} = 1.25pF$ typique d'après le tableau 5.9) que nous avons donc perdu.

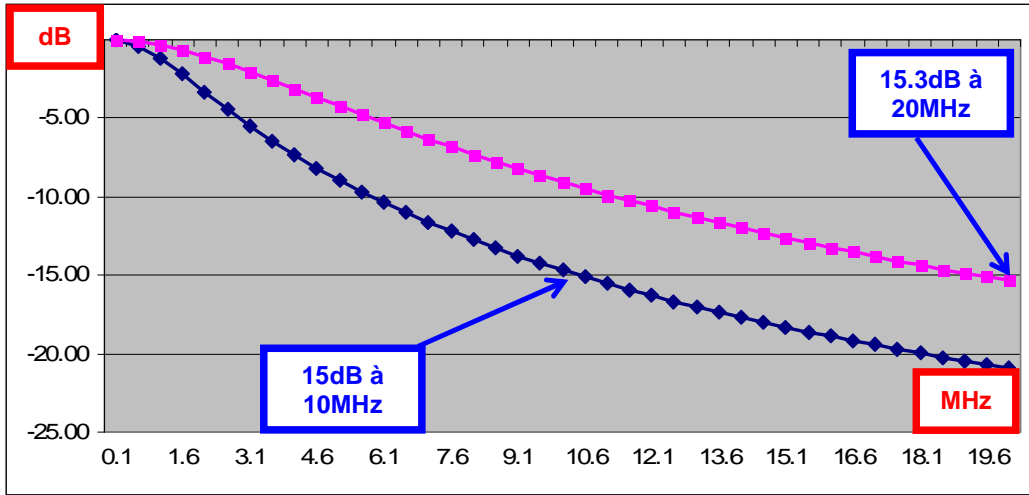


Fig. 5.32 : Mesure de la fonction de transfert du filtre IIR pour les deux canaux WiMAX

E. Le filtre anti-repliement

Le filtre anti-repliement est le cœur de l'architecture échantillonnée, il garanti que l'opération d'échantillonnage se fera avec le minimum de repliement de spectre possible. Pour mesurer ce filtre correctement, nous avons envoyé à l'entrée du circuit un signal utile de puissance -60dB_m et de fréquence $F_c = 2.34GHz$ et un signal « alias » de puissance -40dB_m et de fréquence variable $F_{alias} = F_c - F_s \pm \Delta f$. Le paramètre Δf représente la fréquence à laquelle se replie le signal « alias » et nous permet de le séparer physiquement du signal utile. Pour bien visualiser le zéro de la fonction sinus cardinal, Δf varie de 100kHz à 50MHz.

Par ailleurs, le niveau de puissance de l'« alias » est 20dB au-dessus de celui du signal utile pour compenser la chute de gain du LNA à la fréquence F_{alias} .

La figure 5.33 montre que le filtre anti-repliement est capable de fournir 57.5dB d'atténuation dans une bande de 300kHz autour de son 1^{er} zéro. Cette valeur est supérieure à la spécification (50dB environ) que nous avons fixé au paragraphe III.B.2.

Nous pouvons donc conclure qu'avec un « Front-End Module » typique, l'architecture échantillonnée est capable de réaliser une opération d'échantillonnage directe sur le signal RF sans repliement de spectre.

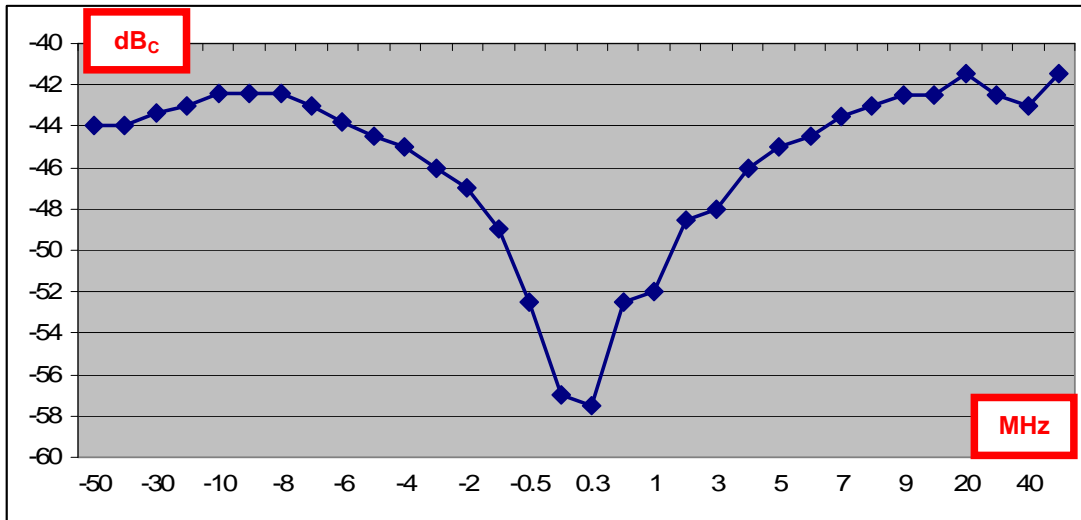


Fig. 5.33 : Mesure de la fonction de transfert du filtre anti-repliement à $F_{\text{alias}} = F_c - F_s$

F. La linéarité

Les normes Wi-Fi et WiMAX sont basées sur des modulations OFDM où des informations différentes sont portées par des sous-porteuses appartenant au même signal. Dans ce cas, plusieurs scénarios de non-linéarité d'ordre 3 peuvent se présenter : l'auto-pollution du signal par lui-même, la pollution du signal par deux canaux adjacents ou « alternates » de très fortes puissances (Fig. 5.16). Nous montrons sur la figure 5.34 le scénario d'auto-pollution du signal par lui-même :

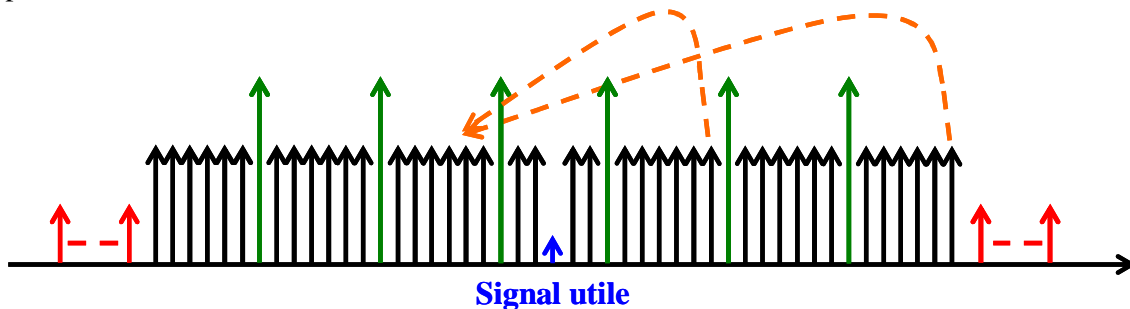


Fig. 5.34 : Auto-pollution du signal due aux non-linéarités d'ordre 3

En WiMAX, les canaux adjacents [N+2] et [N+4] sont 30dB au-dessus du signal utile (16-QAM $3/4$). Cependant, ils subissent à la sortie du mélangeur la réponse en fréquence du filtre IIR qui les atténue de 15 et 21dB respectivement. Ainsi, à très faibles puissances (resp. fortes puissances) c'est le scénario de la figure 5.16 (resp. figure 5.34) qui est le plus contraignant. Il est donc clair qu'à partir d'environ -50dBm de puissance d'entrée, le scénario d'auto-pollution du signal est le plus contraignant en non-linéarité.

Pour cela, nous avons décidé de faire le test d'intermodulation suivant :

$$\begin{aligned} \text{Signal}[N + 2] : F_1 &= 1\text{MHz} \\ \text{Signal}[N + 4] : F_2 &= 1.2\text{MHz} \quad (\text{Eq.5.32}) \end{aligned}$$

Nous avons utilisé un générateur RF qui fait la somme de deux signaux pour générer les des sous-porteuses du test d'intermodulation à $F_c + 1\text{MHz}$ et $F_c + 1.2\text{MHz}$ ($F_c = 2.34\text{GHz}$).

Chaque sous-porteuse est à -46dBm à la sortie du générateur soit -48.3dBm à l'entrée du circuit (2.3dB de pertes dans le coupleur). Nous avons extrait le point d'interception d'ordre 3 en entrée (IIP3) à gain maximal du récepteur. Le produit d'intermodulation d'ordre 3 ($\text{IM}_{3,\text{out}}$) mesuré vaut $-71.8\text{dBV}_{\text{rms}}$ pour un signal de sortie de puissance $-17.8\text{dBV}_{\text{rms}}$. Ainsi, la distorsion d'intermodulation (IMD3) est de 54dB environ et l'IIP3 peut être extrait par l'équation Eq. 5.33 :

$$\text{IIP}_3 = P_{\text{in}} + \frac{P_{\text{out}} - \text{IM}_{3,\text{out}}}{2} \quad (\text{Eq.5.33})$$

$$\Rightarrow \text{IIP}_3 = -21.3\text{dB}_m$$

La mesure précédente correspond au pire-cas d'intermodulation du WiMAX et nous avons trouvé une valeur d'IIP3 de -21.3dBm , ce qui est comparable par exemple à la spécification du standard GSM fixée à -18dBm .

G. Comparaison et bilan du portage

La caractérisation que nous venons de faire dans le paragraphe précédent n'est pas suffisante pour permettre à un circuit-prototype de passer au stade de produit. Or, l'objectif de notre travail est de réaliser le portage d'un récepteur en CMOS 45nm et de comparer ses performances par rapport à celles du circuit d'origine. Dans cette partie, nous allons faire le bilan de l'opération de portage réalisée en se basant sur les résultats de mesures du paragraphe précédent afin de quantifier réellement la portabilité de l'architecture échantillonnée.

1. Bilan

Nous avons caractérisé le circuit de réception réalisé en CMOS 65nm avant de faire le portage en 45nm [119 Montaudon]. Nous montrons le bilan comparatif de l'opération de portage sur le tableau 5.16.

Techno (nm)	65	45	Comparaison
S_{11} (dB)	< -10	< -8	-
RF BW (MHz)	200	245	+
Gain (dBV _{rms})	30	30.5	=
NF (dB)	4.8	3.9	+
IIP ₃ à gain maximal (dB _m)	-27	-21.3	+
V _{DD} (V)	1.2	1.1	+
Surface (mm ²)	0.7	0.45	+
Consommation (mW)	58	55	+

Tab. 5.16 : Bilan comparatif de l'opération de portage

Mise à part l'adaptation d'impédance en entrée, on voit clairement que les performances de la chaîne de réception qui a été portée en CMOS 45nm sont supérieures à celles de la chaîne d'origine en CMOS 65nm.

En conclusion, le bilan comparatif précédent appuie la thèse de portabilité de l'architecture échantillonnée.

2. Comparaison à l'état de l'art

L'étude que nous menons dans le cadre de ce travail de thèse sur l'architecture échantillonnée de réception radio nécessite une comparaison des performances obtenues à l'état de l'art. Le tableau 5.17 compare la solution que nous proposons à d'autres solutions visant la même application [120 Simon], [Huang 121] :

Comparaison à l'état de l'art			
	Ce travail	[120 Simon]	[121 Huang]
Technologie	CMOS 45nm	CMOS 0.13 μ m + MIM	CMOS 0.13 μ m
Standard	802.16e & 802.11g/n	802.11b/g	802.16
Canal	5 / 10 / 20MHz	20MHz	2.5 → 20MHz
Bande	2.4 – 2.7GHz	2.4 – 2.5GHz	2.5 – 2.7GHz
V_{DD}	1.1V	1.5V	1.2V
NF	3.9dB	3.5dB	4.6dB
Consommation	55mW (RX + ADC)	66mW (RX + PLL)	50mW (RX)
Surface	0.45mm ² (RX + ADC)	6.7mm ² (TX+RX+PLL)	5.7mm ² (RX)

Tab. 5.17 : Comparaison à l'état de l'art

Notre circuit-prototype est au même niveau que l'état de l'art en termes de performances radio mais est nettement supérieur en termes de surface et de consommation.

VI. Conclusion

Dans ce chapitre, nous avons réalisé le portage d'un circuit de réception radio pour les standards Wi-Fi et « mobile WiMAX » de la technologie CMOS 65 à 45nm. Le dimensionnement du système ainsi que le détail des spécifications ont été expliqué étape par étape. L'approche que nous avons adoptée pour le portage, les simulations « système » ainsi que les résultats de mesures obtenus ont clairement démontré la portabilité de l'architecture échantillonnée de réception radio.

Chapitre 6

Dans le contexte actuel de développement de solutions radio, la tendance principale est d'intégrer les fonctions RF, analogiques et numériques sur le même substrat en utilisant la technologie CMOS. Dans ce travail de thèse, nous nous sommes fixé l'objectif d'étudier une nouvelle solution de réception radio à la fois innovante et particulière. Cette solution repose sur le principe d'échantillonnage direct du signal RF par des techniques à base de capacités commutées. Le traitement de l'information se fait donc en temps-discret tout au long du chemin de réception en utilisant des interrupteurs MOS et des capacités uniquement.

A cause de la nature temps-discret du traitement de signal et des composants mise en jeu pour son implémentation, cette architecture est dite « échantillonnée ». Elle est l'une des plus prometteuses solutions de réception radio pouvant suivre la tendance actuelle en intégration radio. Pour cela, nous avons mené, tout au long de ce manuscrit, une étude qui vise à quantifier sa portabilité et sa robustesse vis-à-vis de l'évolution de la technologie CMOS.

Au premier chapitre nous avons défini la notion de portabilité et expliqué les motivations derrière une étude de portabilité sous ses deux aspects technique et économique.

Ensuite le deuxième chapitre a été consacré à l'identification des critères de portabilité : réduction de la tension d'alimentation, les effets de canal court liée à la miniaturisation du transistor, le bruit, les capacités parasites, la linéarité et la pollution numérique.

La présentation détaillée de la solution radio étudiée a été réalisé au chapitre 3, ainsi nous avons expliqué le principe de fonctionnement de l'architecture échantillonnée en partant du nouveau concept d'échantillonnage RF. Les filtres à base de capacités commutées qui réalisent la sélection analogique du canal et l'anti-repliement ont été construit ainsi que la réalisation du gain sur une structure passive. Ensuite, les différents aspects de reconfigurabilité d'une solution radio ont été appliqués sur l'architecture échantillonnée et les points critiques identifiés.

Le chapitre 4 était consacré aux différents effets parasites et critères de portabilité identifiés au chapitre 2 : nous avons étudié l'injection de charges, les capacités parasites, la réduction des tensions d'alimentation et la fuite de grille. Notre travail consistait à suivre l'évolution de ces effets en fonction de la technologie CMOS, puis les modéliser à l'échelle du transistor pour arriver à quantifier leur impact sur les performances de la solution radio. Pour cela, des grandeurs telles que le filtrage de sélection de canal, l'échantillonnage et le filtrage anti-repliement, le mélange en fréquence et le gain ont été considérés.

Le problème de l'injection de charges a été étudié en détails, son importance dans les circuits échantillonnés a été mise en évidence et les solutions de compensation les plus répandues ont été présentées. De plus, nous avons construit notre propre modèle d'évaluation de l'erreur d'injection, son utilité ainsi que sa différence par rapport aux modèles les plus connus en littérature ont été montrées. D'autre part, nos conclusions sur l'évolution de l'erreur d'injection en fonction de la technologie CMOS montrent que celle-ci a tendance à diminuer légèrement quand on passe d'un nœud technologique au nœud suivant. Nous avons étudié également l'impact de l'erreur d'injection sur les performances au niveau « système » de l'architecture échantillonnée de réception radio. Les résultats ont montré que le gain et les filtres à capacités commutées sont légèrement impactés et les spectres de sortie n'ont montré aucune non-linéarité supplémentaire due à l'injection de charges.

Une étude détaillée de l'impact des capacités parasites sur les performances au niveau « système » de l'architecture échantillonnée de réception radio a été menée. L'étude, à la fois qualitative et quantitative, étayée par des simulations électriques montre que notre solution est considérablement impactée par les capacités parasites en termes de gain et de filtrage. Une solution a été proposée à ce problème et son efficacité a été démontrée par des simulations électriques de la structure. Cependant, la solution proposée nécessite l'ajout d'une boucle de contre-réaction à composants actifs augmentant ainsi la consommation de la partie bande de base.

De plus, nous avons montré clairement par une étude la robustesse de l'architecture échantillonnée vis-à-vis de la baisse des tensions d'alimentation qui accompagne l'évolution de la technologie CMOS. Les simulations électriques sur un récepteur échantillonné dimensionné en CMOS 65nm ont montré qu'on pouvait réduire la tension d'alimentation jusqu'à 60% de sa valeur nominale, à dynamique et mode commun constants, sans pour autant affecter les performances radio. En cas de portage « intelligent » du système (qui prend en compte l'évolution des paramètres du transistor d'un nœud technologique à un autre et les réglages de modes communs et de dynamique d'entrée), la limite de 60% de l'exemple étudié pourra certainement être poussée plus bas encore.

La fuite de grille augmente considérablement en fonction de l'évolution de la technologie CMOS, cependant les mesures actuelles des courants de fuite montrent une grande marge en amplitude par rapport aux courants utiles. Nous avons réalisé des simulations électriques sur une solution échantillonnée dimensionnée pour une application bien déterminée et les résultats obtenus confirment cette marge. De plus, la nature échantillonnée de la solution permet de réduire les tailles des composants MOS implémentés ce qui conduit à des ordres de grandeurs négligeables pour les courants de fuite. Ainsi, la fuite de grille par effet Tunnel n'affectera pas la portabilité de l'architecture échantillonnée.

Le tableau suivant résume les conclusions de cette étude :

	Evolution en fonction de la technologie	Impact sur la solution
Injection de charges	↓	Faible
Capacités parasites	≈	Important
Tension d'alimentation	↓	Faible
Fuite de grille	↑	Faible
Pollution numérique	↑	N'a pas été étudié

Au chapitre 5, nous avons fait l'exercice de portage d'une chaîne de réception radio basée sur l'architecture échantillonnée de la technologie CMOS 65nm à 45nm. Les tendances dans l'approche de conception et de portage ont été expliquées en détails ainsi que le dimensionnement complet de ce récepteur. Le circuit a été testé et mesuré pour valider l'opération de portage que nous avons réalisée. Les résultats obtenus ne montrent aucune dégradation de performance liée à la technologie, au contraire, un bilan comparatif entre les deux circuits met en avant celui qui a été porté en CMOS 45nm que ce soit en termes de bruit, de non-linéarité, de surface ou de consommation.

Malgré les bons résultats obtenus, nous pensons fortement que la robustesse de cette solution vis-à-vis de l'évolution de la technologie CMOS, ne peut pas être tranchée si l'impact de l'intégration avec la partie numérique n'est pas étudié. En particulier, la pollution numérique couplée par le substrat du semi-conducteur ou par les lignes de masse et d'alimentation est un point indispensable pour la validation de la portabilité de l'architecture échantillonnée dans le contexte actuel de la conception radio.

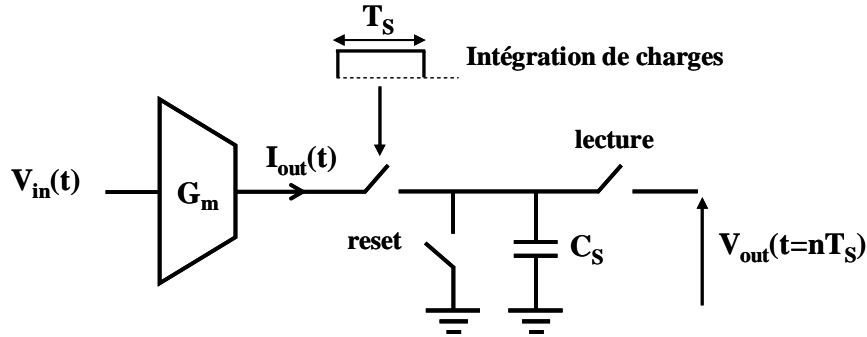
En conclusion, la méthodologie que nous avons adoptée pour étudier la portabilité de la solution radio peut s'appliquer à d'autres cas. Elle est en effet indépendante de la solution, de l'application visée et de la nature du circuit en question. La seule particularité de cette étude réside dans sa limitation à la technologie CMOS.

Annexes

ANNEXE I

Calcul de l'équation caractéristique de l'échantillonneur à intégration de charges

Considérons l'échantillonneur à intégration de charges représenté sur la figure suivante :



L'amplificateur de transconductance convertit la tension d'entrée en courant de sortie :

$$I_{out}(t) = G_m \times V_{in}(t)$$

L'interrupteur d'intégration commandé par une horloge de durée T_S assure l'accumulation d'une quantité de charges Q_{out} sur la capacité C_S :

$$Q_{out}(t) = \int_{(n-1)T_S}^{nT_S} dQ = \int_{(n-1)T_S}^{nT_S} I_{out}(t) \cdot dt$$

A la fin de chaque période T_S , on vient « lire » la tension sur la capacité C_S , cette tension correspond à la quantité de charges intégrée. Pendant la période de lecture, une autre capacité C_S intègre le courant d'entrée pour garantir une acquisition continue d'échantillons. La tension de sortie est en temps discret, (échantillonnée chaque T_S) :

$$V_{out}(nT_S) = \frac{Q_{out}(nT_S)}{C_S} = \frac{1}{C_S} \int_{(n-1)T_S}^{nT_S} I_{out}(t) \cdot dt = \frac{G_m}{C_S} \int_{(n-1)T_S}^{nT_S} V_{in}(t) \cdot dt$$

En manipulant l'équation précédente, on peut la remettre sous la forme suivante :

$$V_{out}(nT_S) = \frac{G_m}{C_S} \int_{-\infty}^{+\infty} V_{in}(t) \times \prod_{T_S} (t - nT_S) dt$$

avec $\prod_{T_S}(t)$ la fonction « porte » de durée T_S définie et d'amplitude unité. On reconnaît dans l'équation précédente la convolution entre $V_{in}(t)$ et une porte de durée T_S :

$$V_{out}(t) = \frac{G_m}{C_S} \cdot V_{in}(t) * \prod_{T_S}(t)$$

Fonction de transfert du filtre SinC

$$V_{out}(t) = \frac{G_m}{C_s} \cdot V_{in}(t) * \prod_{T_s}(t)$$

$$\Rightarrow \mathfrak{F}_{\text{Fourier}} \{V_{out}(nT_s)\} = \frac{G_m \cdot T_s}{C_s} \cdot V_{in}(f) \times \text{SinC}(\pi f T_s)$$

$$H_{\text{SinC}}(f) = \frac{\mathfrak{F}_{\text{Fourier}} \{V_{out}(nT_s)\}}{V_{in}(f)} = \frac{G_m \cdot T_s}{C_s} \times \text{SinC}(\pi f T_s)$$

Calcul du gain autour de la fréquence du SinC

$$G_0 = \lim_{f \rightarrow 0} [H_{\text{SinC}}(f)] = \frac{G_m T_s}{C_s} \lim_{f \rightarrow 0} [\text{SinC}(\pi f T_s)]$$

$$G_0 = \frac{G_m T_s}{C_s}$$

Calcul de la fréquence de coupure à 3dB du sinus cardinal

La fréquence de coupure du filtre SinC est définie par l'équation suivante :

$$20 \times \log_{10} [\sin c(\pi f_{3dB} T_s)] = -3$$

$$\sin c(\pi f_{3dB} T_s) = 0.708$$

Pour $x = \pi f_{3dB} T_s$ on a :

$$\sin c(x) \approx 1 - \frac{x^2}{6} + \frac{x^4}{120}$$

$$\Rightarrow 1 - \frac{x^2}{6} + \frac{x^4}{120} = 0.708$$

La fréquence de coupure est une solution réelle positive de l'équation de 2^{ème} degré :

$$X^2 - 20X + 35 = 0 \text{ avec } X = x^2$$

Solutions :

$$X_1 \approx 18 \Rightarrow x_1 \approx 4.25 \Rightarrow f_1 \approx 1.35 \times F_s$$

$$X_2 \approx 1.94 \Rightarrow x_2 \approx 1.39 \Rightarrow f_2 \approx 0.443 \times F_s$$

D'où la solution :

$$f_{3dB} = f_2 \approx 0.443 \times F_s$$

Calcul de l'atténuation en bord de bande du sinus cardinal

L'atténuation du filtre SinC autour de son Nième zéro dans une bande de largeur B/2 est donnée par l'équation suivante :

$$A_{N, \pm \frac{B}{2}} = \left| \frac{\sin c \left[\pi \left(NF_s \pm \frac{B}{2} \right) T_s \right]}{\sin c \left[\pi \left(\pm \frac{B}{2} \right) T_s \right]} \right|$$

En utilisant la relation trigonométrique $\sin(a+b) = \sin a \times \cos b + \sin b \times \cos a$ on :

$$A_{N, \pm \frac{B}{2}} = \left| \frac{\pm \sin \left(\pi \frac{B}{2} T_s \right) \times \pi \frac{B}{2} T_s}{\pi \left(NF_s \pm \frac{B}{2} \right) T_s \times \sin \left(\pi \frac{B}{2} T_s \right)} \right|$$

$$A_{N, \pm \frac{B}{2}} = \frac{\frac{B}{2}}{NF_s \pm \frac{B}{2}} = \frac{1}{2 \frac{NF_s}{B} \pm 1}$$

D'où les équations des atténuations à +B/2 et -B/2 qui montrent la dissymétrie du SinC :

$$A_{N, +\frac{B}{2}} = \frac{1}{2 \frac{NF_s}{B} + 1} \quad \text{et} \quad A_{N, -\frac{B}{2}} = \frac{1}{2 \frac{NF_s}{B} - 1}$$

Si $\frac{F_s}{B} \gg 1$, on peut supposer que l'atténuation est symétrique et de valeur :

$$A_{N, \min} \approx \frac{B}{2NF_s}$$

Calcul de la fonction de transfert du filtre IIR

Notons $Q_{out}(n)$ la charge emmagasinée par une capacité C_S à l'instant n , $Q_{IIR}(n)$ la charge emmagasinée par C_{IIR} et $Q_E(n)$ la charge introduite par le LNTA dans le système. Initialement, les deux capacités C_{IIR} et C_S ne contiennent pas de charge, elles accumulent ensuite pendant T_s une charge totale Q_T partagée selon les valeurs respectives de chacune des capacités :

$$Q_{out}(n) = \frac{C_S}{C_{IIR} + C_S} \times Q_E(n) \quad \text{avec} \quad Q_E(n) = \int_{(n-1)T_s}^{nT_s} I_{out}(t) \cdot dt$$

A la fin de la période d'intégration, C_S est déconnectée du système et une autre capacité signal prend le relais. Ainsi, au début de la période d'intégration suivante le système contient une charge initiale $Q_{IIR}(n-1)$ sur C_{IIR} .

La charge $Q_E(n)$ introduite dans le système et celle emmagasinée dans C_{IIR} (pendant la période précédente) sont partagées entre C_{IIR} et C_S , d'où ainsi au bilan de charges suivant:

$$Q_{out}(n) = (1 - \beta) \cdot [Q_{IIR}(n-1) + Q_E(n)] \quad \text{avec} \quad \beta = \frac{C_{IIR}}{C_{IIR} + C_S}$$

A la fin de l'instant $(n-1)$ on retrouve la même tension sur les deux capacités C_{IIR} et C_S (elles sont en parallèle), ce qui nous permet d'écrire :

$$\frac{Q_{IIR}(n-1)}{C_{IIR}} = \frac{Q_{out}(n-1)}{C_S}$$

Si on remplace la valeur de $Q_{IIR}(n-1)$ dans l'équation de charge, on aura :

$$Q_{out}(n) = \beta \cdot Q_{out}(n-1) + (1 - \beta) \cdot Q_E(n)$$

$$\Rightarrow Q_S(z) = \beta \cdot Q_S \cdot z^{-1} + (1 - \beta) \cdot Q_E(z)$$

Soit alors la fonction de transfert $Q_{out}(z) / Q_E(z)$ suivante :

$$\frac{Q_{out}}{Q_E} = \frac{C_S}{C_{IIR} + C_S - C_{IIR} \cdot z^{-1}} = \frac{1 - \beta}{1 - \beta z^{-1}}$$

$$\Rightarrow H(z) = \frac{1 - \beta}{1 - \beta z^{-1}} \quad \text{avec} \quad \beta = \frac{C_{IIR}}{C_{IIR} + C_S}$$

De l'équation précédente on peut passer à l'équation de transfert en fréquence en partant du principe que :

$$z = e^{-j2\pi f T_s}$$

$$H(f) = \frac{(1 - \beta)}{1 - \beta e^{-j2\pi f T_s}}$$



$$\Rightarrow H(f) = \frac{1-\beta}{1-\beta \times [\cos(2\pi f T_s) - j \sin(2\pi f T_s)]}$$

$$|H(f)| = \left| \frac{1-\beta}{1-\beta \times [\cos(2\pi f T_s) - j \sin(2\pi f T_s)]} \right| = \frac{1-\beta}{\sqrt{1-2\beta \cos(2\pi f T_s) + \beta^2}}$$

Nous allons montrer que la fonction $H(f)$ est une fonction de transfert d'un filtre d'ordre 1 pour $f T_s \ll 1$:

$$\cos(2\pi f T_s) \approx 1 - \frac{(2\pi f T_s)^2}{2} = 1 - 2\pi^2 f^2 T_s^2$$

D'où :

$$|H(f)| = \frac{1-\beta}{\sqrt{1-2\beta[1-2\pi^2 f^2 T_s^2] + \beta^2}} = \frac{1-\beta}{\sqrt{(1-\beta)^2 + 4\beta\pi^2 f^2 T_s^2}}$$

$$|H(f)| = \frac{1}{\sqrt{1 + \frac{4\beta\pi^2 f^2 T_s^2}{(1-\beta)^2}}} = \frac{1}{\sqrt{1 + \frac{f^2}{\frac{(1-\beta)^2}{4\beta\pi^2 T_s^2}}}}$$

$$|H(f)| = \frac{1}{\sqrt{1 + \left(\frac{f}{F_{\text{coupure}}}\right)^2}} \quad \text{avec} \quad F_{\text{coupure}} = \frac{1-\beta}{2\pi T_s \sqrt{\beta}}$$

L'équation précédente ressemble à celle d'un filtre d'ordre 1 de fréquence de coupure F_{coupure} .

Calcul de la fréquence de coupure du filtre IIR dans le cas général

La fréquence de coupure à 3dB du filtre IIR est définie par l'équation suivante :

$$20 \log_{10} \left[\frac{(1-\beta)}{\sqrt{1-2\beta \cos(2\pi f_{3dB} T_S) + \beta^2}} \right] = -3dB$$

Avec $20 \log_{10} \left[\frac{\sqrt{2}}{2} \right] \approx -3dB$ on a :

$$\frac{(1-\beta)^2}{1-2\beta \cos(2\pi f_{3dB} T_S) + \beta^2} = \frac{1}{2}$$

$$1-2\beta + \beta^2 = \frac{1+\beta^2}{2} - \beta \cos(2\pi f_{3dB} T_S)$$

$$\Rightarrow F_{\text{coupure}} = \frac{F_s}{2\pi} \times \arccos \left(\frac{4\beta - \beta^2 - 1}{2\beta} \right) \forall f T_S$$

Calcul de la relation qui lie l'atténuation du filtre IIR à la fréquence

Nous savons que la fonction de transfert du filtre IIR peut se mettre sous la forme suivante :

$$|H(f)| = \frac{1}{\sqrt{1 + \left(\frac{f}{F_{\text{coupure}}}\right)^2}} \quad \text{avec} \quad F_{\text{coupure}} = \frac{1 - \beta}{2\pi T_s \sqrt{\beta}}$$

$|H(f)|$ vaut 1 à très basses fréquences et diminue en fonction de f , elle représente donc l'atténuation du filtre IIR que nous notons désormais Att . En isolant l'atténuation dans l'équation précédente, nous arrivons à :

$$Att^2 = \frac{1}{1 + \left(\frac{f}{F_{\text{coupure}}}\right)^2} \Rightarrow \frac{1}{Att^2} - 1 = \left(\frac{f}{F_{\text{coupure}}}\right)^2$$

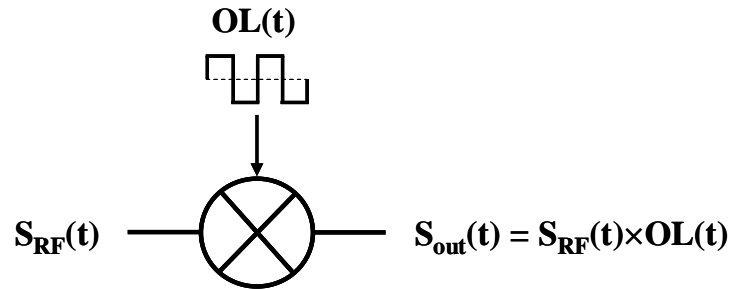
$$\Rightarrow \frac{f}{F_{\text{coupure}}} = \frac{\sqrt{1 - Att^2}}{Att}$$

Nous déduisons le rapport entre la fréquence de coupure du filtre IIR et la fréquence pour laquelle nous souhaitons avoir 14dB de filtrage (spécification de filtrage sur le canal [N+2]) :

$$Att = 10^{\frac{-14}{20}} \approx 0.2 \Rightarrow \frac{f}{F_{\text{coupure}}} \approx 4.9$$

Calcul du gain fondamental d'un mélangeur passif à horloge carrée

Soit le mélangeur passif représenté fonctionnellement sur la figure suivante :



Le signal $OL(t)$ est un signal carré dont le spectre peut être déduit en utilisant le développement en série de Fourier de la fonction carrée :

$$OL(t) = \frac{4}{\pi} \cdot \left[\sin(2\pi f_{OL} t) + \frac{1}{3} \sin(2\pi [3f_{OL}] t) + \frac{1}{5} \sin(2\pi [5f_{OL}] t) + \dots \right]$$

La multiplication du signal $OL(t)$ par le signal sinusoïdal d'entrée $S_{RF}(t) = \sin(2\pi f_{RF} t)$ conduit au signal de sortie $S_{out}(t)$ suivant :

$$S_{out}(t) = S_{RF}(t) \times OL(t) = \frac{4}{\pi} \cdot [\sin(2\pi f_{RF} t) \times \sin(2\pi f_{OL} t) + \dots]$$

$$S_{out}(t) = \frac{4}{\pi} \cdot \left[\frac{1}{2} [\cos(2\pi [f_{RF} - f_{OL}] t) - \cos(2\pi [f_{RF} + f_{OL}] t)] + \dots \right]$$

$$\Rightarrow S_{out}(t) = \frac{2}{\pi} \cdot \cos(2\pi [f_{RF} - f_{OL}] t)$$

En prenant le signal utile à la fréquence intermédiaire $f_{RF} - f_{OL}$, on a un gain de :

$$G_{\text{mélangeur}} = \frac{2A}{A} = \frac{2}{\pi}$$

Calcul de la fonction de transfert globale

La fonction de transfert globale traduisant la tension de sortie V_{out} en fonction de la tension d'entrée V_{RF} est constituée du gain du mélangeur, de la fonction de transfert du filtre SinC et de celle du filtre IIR. Dans le domaine fréquentiel, les fonctions de transfert de plusieurs filtres qui se succèdent se multiplient donnant ainsi l'équation :

$$H_{globale}(f) = \frac{\mathcal{S}_{\text{Fourier}}\{V_{out}(nT_s)\}}{V_{RF}(f)}$$

$$H_{globale}(f) = \frac{2}{\pi} \frac{G_m T_s}{C_s} \text{Sinc}(\pi f T_s) \frac{(1-\beta)}{\sqrt{1-2\beta \cos(2\pi f T_s) + \beta^2}}$$

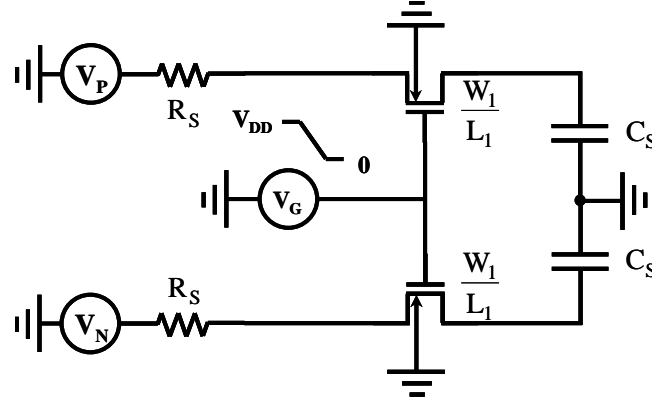
Le gain total à la fréquence zéro est donné par l'équation suivante :

$$H_{globale}(f=0) = G_0 = \frac{2}{\pi} \frac{G_m T_s}{C_s}$$

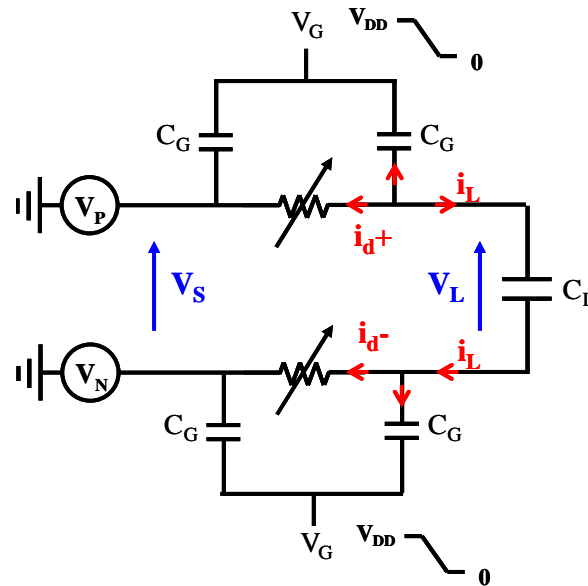
ANNEXE II

Calcul de l'erreur d'injection dans le cas d'un S&H différentiel

Calcul de l'injection de charges dans un circuit S&H différentiel, selon la méthode [2 Sheu], représenté sur la figure suivante :



En se basant sur les mêmes hypothèses que [2 Sheu], nous aboutissons au circuit suivant :



Nous proposons de calculer l'erreur d'injection dans l'intervalle $[t_0, t_0+t_d]$ défini par :

$$V_{inj}(t) = V_L(t) - V_S$$

La tension d'entrée V_S est donc supposée constante dans cet intervalle de temps ($t_d \approx 20\text{ps}$), ce qui reste vrai pour des signaux d'entrée jusqu'à 1GHz de fréquence. L'erreur d'injection a lieu entre les instants t_0 et $[t_0 + t_d]$ et a une valeur négative (interrupteurs NMOS). D'après le circuit équivalent précédent, nous pouvons écrire la loi des nœuds sur les côtés drain des deux branches positives et négatives du circuit :

$$i_d^+ + C_L \frac{dV_L}{dt} + \left[- \left(C_{ov} + \frac{C_{ox}}{2} \right) \times \frac{d(V_G - V_L^+)}{dt} \right] = 0$$

$$i_d^- - C_L \frac{dV_L}{dt} + \left[- \left(C_{ov} + \frac{C_{ox}}{2} \right) \times \frac{d(V_G - V_L^-)}{dt} \right] = 0$$

De l'instant $t' = V_{HT}/U$ à l'instant t_d , l'injection de charges en provenance du canal s'arrête mais celle due aux capacités de recouvrement continue et on obtient alors :

$$C_{ox} = 0 \text{ et } i_d^+ = i_d^- = 0$$

On trouve :

$$\frac{dV_L}{dt} = 0$$

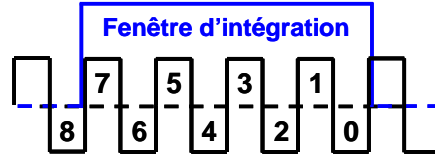
$$V_L(t_d) = V_L(t')$$

Et donc V_L reste constante entre t' et t_d , et donc aucune erreur due au « Clock Feedthrough » n'apparaît dans la structure.

ANNEXE III

Calcul de la fonction de transfert en fonction des parasites

Les horloges et les états du système sont représentés sur la figure suivante :



La conservation de la charge électrique entre les états 8 et 7 :

$$Q(n-7) + [C_1 - C_2 - C_{IIR}]V(n-8) = C_{tot}V(n-7)$$

La conservation de la charge électrique à l'intérieur d'une fenêtre d'intégration :

$$Q(k) + (C_1 - C_2 - C_{IIR} - C_3 - C_{sig})V(k-1) = C_{tot}V(k) \quad k \in [(n-6), \dots, n]$$

En posant :

$$C_{tot} = C_1 + C_2 + C_3 + C_{IIR} + C_{sig}$$

$$\alpha C_{tot} = C_1 - C_2 - C_{IIR} - C_3 - C_{sig}$$

$$\beta C_{tot} = C_1 - C_2 - C_{IIR}$$

nous pouvons écrire les équations qui correspondent aux états successifs du système :

$$\text{Etat } 8 \rightarrow 7: \frac{Q(n-7)}{C_{tot}} + \beta V(n-8) = V(n-7)$$

$$\text{Etat } 7 \rightarrow 6: \frac{Q(n-6)}{C_{tot}} + \alpha V(n-7) = V(n-6)$$



$$\text{Etat } 2 \rightarrow 1: \frac{Q(n-1)}{C_{tot}} + \alpha V(n-2) = V(n-1)$$

$$\text{Etat } 1 \rightarrow 0: \frac{Q(n)}{C_{tot}} + \alpha V(n-1) = V(n)$$

En remplaçant $V(n-k)$ par son expression dans l'équation de l'état précédent, nous obtenons :

$$\frac{Q(n)}{C_{tot}} + \alpha \frac{Q(n-1)}{C_{tot}} + \dots + \alpha^6 \frac{Q(n-6)}{C_{tot}} + \alpha^7 \frac{Q(n-7)}{C_{tot}} + \alpha^7 \beta V(n-8) = V(n)$$

$$\frac{Q(n)}{C_{\text{tot}}} + \frac{1}{C_{\text{tot}}} \left[\sum_{k=1}^7 \alpha^k Q(n-k) + \alpha^7 \beta C_{\text{tot}} V(n-8) \right] = V(n)$$

En passant à la transformée en z et en calculant la fonction de transfert globale (la quantité de charges en sortie sur $[C_{\text{sig}} + C_3]$ sur la quantité de charges introduite par le LNA), nous obtenons :

$$\frac{(C_{\text{sig}} + C_3)}{C_{\text{tot}}} \left[\sum_{k=0}^7 \alpha^k z^{-k} Q(z) + \alpha^7 \beta C_{\text{tot}} z^{-8} V(z) \right] = (C_{\text{sig}} + C_3) V(z)$$

$$z = e^{j2\pi f \frac{T_c}{2}}$$

En considérant la formule de la somme géométrique de nombres complexes dont le module est inférieur à l'unité :

$$\sum_{k=0}^{M-1} (\alpha^{-1} z)^{-k} = \frac{1 - \alpha^M z^{-M}}{1 - \alpha z^{-1}}$$

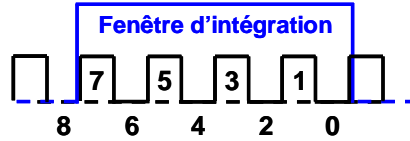
nous déduisons l'expression définitive de la fonction de transfert du système :

$$H(z) = \frac{(C_{\text{sig}} + C_3) V(z)}{Q(z)} = \frac{1 - \alpha^8 z^{-8}}{1 - \alpha z^{-1}} \cdot \frac{\beta - \alpha}{1 - \alpha^7 \beta z^{-8}}$$

AA IIR

Calcul de la fonction de transfert corrigée en fonction des parasites

Les horloges et les états du nouveau système sont représentés sur la figure suivante :



Pour les états de numéros pairs, nous pouvons écrire les relations suivantes :

$$\left. \begin{array}{l} V(k) = V(k-1) \\ V_1(k) = \delta V(k) \end{array} \right\} \text{ pour } k \in [n-8, \dots, n]$$

δ représente l'imperfection de notre correction ($\delta < 1$).

Pour les états de numéros impairs, le principe de conservation de la charge électrique s'applique.

La conservation de la charge électrique entre les états 8 et 7 :

$$Q(n-7) + [\delta C_1 + C_2 + C_{\text{IIR}}] V(n-9) = C_{\text{tot}} V(n-7)$$

La conservation de la charge électrique à l'intérieur d'une fenêtre d'intégration :

$$Q(k) + (\delta C_1 + C_2 + C_{\text{IIR}} + C_3 + C_{\text{sig}}) V(k-1) = C_{\text{tot}} V(k)$$

$$k \in [(n-7), \dots, (n-1)]$$

En posant :

$$\begin{aligned} C_{\text{tot}} &= C_1 + C_2 + C_3 + C_{\text{IIR}} + C_{\text{sig}} \\ \alpha C_{\text{tot}} &= \delta C_1 + C_2 + C_{\text{IIR}} + C_3 + C_{\text{sig}} \\ \beta C_{\text{tot}} &= \delta C_1 + C_2 + C_{\text{IIR}} \end{aligned}$$

nous pouvons écrire les équations qui correspondent aux états successifs du système :

$$\begin{aligned} \text{Etat } 9 \rightarrow 8: & \quad V(n-8) = V(n-9) \\ \text{Etat } 8 \rightarrow 7: & \quad \frac{Q(n-7)}{C_{\text{tot}}} + \beta V(n-9) = V(n-7) \\ \text{Etat } 7 \rightarrow 6: & \quad V(n-6) = V(n-7) \\ \text{Etat } 6 \rightarrow 5: & \quad \frac{Q(n-5)}{C_{\text{tot}}} + \alpha V(n-6) = V(n-5) \\ \text{Etat } 5 \rightarrow 4: & \quad V(n-4) = V(n-5) \\ \text{Etat } 4 \rightarrow 3: & \quad \frac{Q(n-3)}{C_{\text{tot}}} + \alpha V(n-4) = V(n-3) \\ \text{Etat } 3 \rightarrow 2: & \quad V(n-2) = V(n-3) \\ \text{Etat } 2 \rightarrow 1: & \quad \frac{Q(n-1)}{C_{\text{tot}}} + \alpha V(n-2) = V(n-1) \\ \text{Etat } 1 \rightarrow 0: & \quad V(n) = V(n-1) \end{aligned}$$

En remplaçant $V(n-k)$ par son expression dans l'équation de l'état précédent, nous obtenons :

$$\frac{Q(n-1)}{C_{tot}} + \alpha \frac{Q(n-3)}{C_{tot}} + \alpha^2 \frac{Q(n-5)}{C_{tot}} + \alpha^3 \frac{Q(n-7)}{C_{tot}} + \alpha^3 \beta V(n-9) = V(n-1)$$

En passant à la transformée en z et en calculant la fonction de transfert globale, nous obtenons :

$$\frac{Q(z)}{C_{tot}} [1 + \alpha^1 z^{-2} + \alpha^2 z^{-4} + \alpha^3 z^{-6}] + \alpha^3 \beta z^{-8} V(z) = V(z)$$

$$z = e^{j2\pi f \frac{T_c}{2}}$$

En considérant la formule de la somme géométrique de nombres complexes dont le module est inférieur à l'unité :

$$\sum_{k=0}^{M-1} (\alpha^{-1} z^2)^{-k} = \frac{1 - \alpha^M z^{-2M}}{1 - \alpha z^{-2}}$$

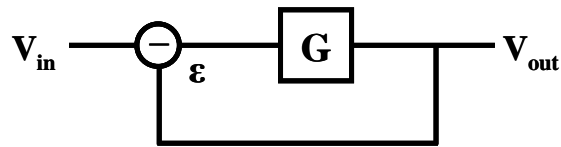
nous déduisons l'expression définitive de la fonction de transfert de notre système (la quantité de charges en sortie sur $[C_{sig} + C_3]$ sur la quantité de charges introduites par le LNA) :

$$H(z) = \frac{(C_{sig} + C_3)V(z)}{Q(z)} = \frac{1 - \alpha^4 z^{-8}}{1 - \alpha z^{-2}} \times \frac{\alpha - \beta}{1 - \alpha^3 \beta z^{-8}}$$

AA
IIR

ANNEXE IV**Calcul de l'erreur de recopie pour un amplificateur opérationnel rebouclé en entrée**

Le schéma bloc de l'amplificateur opérationnel rebouclé en « suiveur de tension » est représenté sur la figure suivante :



Nous désignons respectivement par V_{in} , V_{out} et ε les tensions d'entrée, de sortie et d'erreur. La sortie est d'abord amplifiée par le gain G et ensuite rebouclée sur l'entrée négative du premier étage de l'amplificateur. Les équations suivantes décrivent le fonctionnement du système :

$$\begin{aligned}\varepsilon &= V_{in} - V_{out} \\ V_{out} &= G \times \varepsilon\end{aligned}$$

En remplaçant ε par son expression dans la 2^{ème} équation, nous pouvons calculer la fonction de transfert de ce système qui est le coefficient de suivi δ :

$$\begin{aligned}V_{out} &= G(V_{in} - V_{out}) \\ \delta &= \frac{V_{out}}{V_{in}} = \frac{G}{G+1}\end{aligned}$$

Si l'amplificateur opérationnel a un gain en boucle ouverte assez grand, nous pouvons considérer l'approximation suivante comme valable au niveau « circuit » :

$$\begin{aligned}\delta &\approx 1 \quad \text{pour } G \gg 1 \\ V_{out} &\approx V_{in}\end{aligned}$$

Nous définissons l'erreur de recopie d'un suiveur de tension par l'expression suivante :

$$E = (1 - \delta) \times 100$$

Ainsi si l'amplificateur opérationnel a un gain de 100 (40dB), nous disons que l'erreur de recopie est de 1%. Si le gain est de 1000 (60dB) l'erreur est de 0.1%.

Références

- [1] F. M. Wanlass, C. T. Sah, “Nanowatt Logic Using Field-Effect Metal-Oxide Semiconductor Triodes,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, Philadelphia, PA, Feb. 1963.
- [2] K.-S. Yeo, S. S. Rofail, Wang-Ling Goh, “CMOS/BiCMOS ULSI: Low voltage Low power,” *Prentice Hall Modern Semiconductor Design Series*, Chap.1 – Introduction, 2001.
- [3] “The National Technology Roadmap For Semiconductors Technology Needs Report,” SIA, 1997 Edition, pp. 14.
- [4] G. R. Wilson, “Advances in Bipolar VLSI,” *Proceedings of the IEEE*, vol. 78, Nov. 1990, pp. 1717.
- [5] www.intel.com/museum/online/hist_micro/hof
- [6] F. Wanlass, “Low Stand-By Power Complementary Field Effect Circuitry,” *US Patent 3356858*, filed June 1963 and issued December 1967.
- [7] H. Iwai, “CMOS Technology – Year 2010 and Beyond,” *IEEE Journal of Solid-State Circuits*, vol. 34, March 1999, pp. 357–366.
- [8] “International Technology Roadmap For Semiconductors Executive Summary Report,” 2007 Edition.
- [9] G. E. Moore, “Progress in Digital Integrated Electronics,” *IEEE International Electron Devices Meeting*, vol. 21, 1975, pp. 11-13.
- [10] F. Opt’Eynde *et al.*, “A fully integrated single-chip SOC for Bluetooth,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 2001, pp. 196–197.
- [11] H. Darabi *et al.*, “A 2.4 GHz CMOS transceiver for Bluetooth,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 2001, pp. 200–201.
- [12] P. T. M. van Zeijl *et al.*, “A Bluetooth radio in 0.18- μm CMOS,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 2002, pp. 86–87.
- [13] H. Darabi *et al.*, “A dual mode 802.11b/Bluetooth radio in 0.35 μm CMOS,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 2003, pp. 86–87
- [14] A. Leeuwenburgh *et al.*, “A 1.9 GHz fully integrated DECT CMOS transceiver,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 2003, pp. 450–451.
- [15] F. Behbahani *et al.*, “A 27-mW GPS radio in 0.35- μm CMOS,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 2002, pp. 398–399.

- [16] T. Kadoyama *et al.*, “A complete single chip GPS transceiver with 1.6-V 24-mW radio in 0.18- μ m CMOS,” *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, Kyoto, Japan, 2003, pp. 135–138.
- [17] F. Behbahani *et al.*, “A 5 GHz CMOS transceiver for IEEE 802.11a Wireless LANs,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 2002, pp. 92–93.
- [18] A. Behzad *et al.*, “Direct-conversion CMOS transceiver with automatic frequency control for 802.11a Wireless LANs,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 2003, pp. 356–357.
- [19] H. Darabi *et al.*, “A fully integrated Quad-Band GPRS/EDGE Radio in 0.13 μ m CMOS,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 2007, pp. 206–207.
- [20] I. Ioki *et al.*, “A fully integrated Quad-Band GSM/GPRS CMOS Power Amplifier,” *IEEE International Solid-State Circuits Conference Digest Technical Papers*, San Francisco, CA, 2008, pp. 570–571.
- [21] R. Bagheri *et al.*, “An 800 MHz to 5 GHz software-defined radio receiver in 90 nm CMOS,” *IEEE International Solid-State Circuits conference Digest of Technical Papers*, San Francisco, CA, 2006.
- [22] R. B. Staszewski *et al.*, “A 24mm² Quad-Band Single-Chip GSM Radio with Transmitter Calibration in 90nm Digital CMOS,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 2007, pp. 208–209.
- [23] 3GPP Technical Specification Group RAN WG4; UTRA (UE) TDD; “Radio Transmission and Reception,” V1.2.0, July 1999.
- [24] <http://www.3gpp.org/Highlights/LTE/LTE.htm>
- [25] A. R. S. Bahai, B. Saltzberg, “Multi-Carrier Digital Communications: Theory and Applications of OFDM,” Plenum Publishing Corporation, October 1999.
- [26] “Mobile WiMAX-Part II: A comparative analysis,” WiMAX Forum white papers, May 2006.
- [27] <http://grouper.ieee.org/groups/802/11/index.html>
- [28] D. Gray, “Mobile WiMAX: a performance and comparative summary,” WiMAX Forum white papers, September 2006.
- [29] A. A. Abidi, “RF CMOS comes of age,” *IEEE Journal of Solid-State Circuits*, vol. 39, no. 4, pp. 549–561, April 2004.
- [30] M. Saidi, R. Fan, “Dual-band issue: super-heterodyne vs zero IF,” *Eetimes* article <http://www.eetimes.com>, January 2002.

- [31] S. van Gerven, D. van Compermolle, “Signal separation by Symmetric Adaptive Decorrelation: Stability, Convergence and Uniqueness,” *IEEE Transactions on Signal Processing*, July 1995.
- [32] J. Mitola, “The software radio architecture,” *IEEE Commun. Mag.*, vol. 33, no. 5, pp. 26–38, May 1995.
- [33] R. H. Walden, “Analog-to-digital converter survey and analysis,” *IEEE J. Sel. Areas Commun.*, vol. 17, no. 5, pp. 539–550, Apr. 1999.
- [34] D. Jakonis, K. Folkesson, J. Dabrowski, P. Eriksson, and C. Svensson, “A 2.4-GHz RF sampling receiver front-end in 0.18- μm CMOS,” *IEEE J. Solid-State Circuits*, vol. 40, no. 6, pp. 1265–1277, Jun. 2005.
- [35] R. B. Staszewski et al., “All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS,” *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2278–2291, Dec. 2004.
- [36] K. Muhammad et al., “A discrete time quad-band GSM/GPRS receiver in a 90nm digital CMOS process,” *Proc. IEEE Custom IC Conf.*, San Jose, CA, Sep. 2005, pp. 809–812.
- [37] R. H. Dennard et al., “Design of ion-implanted MOSFET’s with very small physical dimensions,” *IEEE Journal of Solid-State Circuits*, vol. SC-9, 1974, pp. 256–268.
- [38] Y. Taur, “CMOS design near the limit of scaling,” *IBM Journal of Research and Development*, March / May, vol. 46, No 2/3, 2002.
- [39] S.-H. Lo, D. A. Buchanan, Y. Taur, and W. Wang, “Quantum-Mechanical Modeling of Electron Tunneling Current from the Inversion Layer of Ultra-Thin-Oxide nMOSFET’s,” *IEEE Electron Device Letters*, 18, 1997, pp 209–211.
- [40] S. Thompson, P. Packan, M. Bohr, “MOS scaling: Transistor Challenges for the 21st Century,” *Intel Technology Journal* Q3, 1998.
- [41] H. Hassan, M. Anis, M. El-Masry, “Impact of technology scaling on RF CMOS,” *Proceedings of the IEEE International SOC Conference*, Sep. 2004, pp. 97–101.
- [42] P. H. Woerlee et al., “RF-CMOS Performance Trends,” *IEEE Transactions on Electron Devices*, vol. 48, Aug. 2001, pp. 1776–1781.
- [43] M. Garg, S. S. Suryagandh, J. C. S. Woo, “Scaling Impact on analog performance of Sub-100nm MOSFETs for Mixed Mode Applications,” *IEEE European Solid-State Device Research Conference Proceedings*, Sep. 2003, pp. 371–374.
- [44] B. J. Sheu, C. Hu, “Switched-induced error voltage on a switched capacitor,” *IEEE Journal of Solid-State Circuits*, vol. SSC-19, Aug. 1984, pp. 519–525.

- [45] E. A. Vittoz, “Low-power design: Ways to approach the limits,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 1994, pp. 14–18.
- [46] A.-J. Annema, “Analog Circuit Performance and Process Scaling,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 46, No. 6, June 1999.
- [47] C. Rudell, “Low-Voltage Transceiver Design in 45nm CMOS with Emphasis on WiMAX,” *IEEE ISSCC08 GIRAFE Design Forum: Architectures and Circuit Techniques for Nanoscale RF CMOS*, San Francisco, CA, Feb. 2008.
- [48] J. W. Fattaruso, “Low-Voltage Analog CMOS Circuit Techniques,” *IEEE International Symposium on VLSI Technology, Systems, and Applications*, June 1999, pp.286–289.
- [49] P. R. Gray, R. G. Meyer, “MOS operational amplifier design – a tutorial overview,” *IEEE Journal of Solid-State Circuits*, vol. SC-17, No. 6, December 1982, pp. 969–982.
- [50] R. G. H. Eschauzier, R. Hogervorst, J. H. Huising, “A programmable 1.5V CMOS class AB operational amplifier with hybrid nested Miller compensation for 120dB gain and 6MHz UGF,” *IEEE Journal of Solid-State Circuits*, vol. 29, No. 12, December 1994, pp. 1497–1504.
- [51] Fan You, S. H. K. Embabi, E. Sanchez-Sinencio, “Multistage amplifier topologies with nested G_m -C compensation,” *IEEE Journal of Solid-State Circuits*, vol. 32, No. 12, December 1997, pp. 2000–2011.
- [52] R. M. Ziazadeh, H.-T. Ng, D. J. Allstot, “A multistage amplifier topology with embedded tracking compensation,” *IEEE Custom Integrated Circuits Conference Proceedings*, vol. 32, No. 12, 1998, pp. 361–364.
- [53] S. Chatterjee, Y. Tsvividis, & P. Kinget, “0.5–V analog circuit technique and their applications in OTA and filter design” *IEEE Journal of Solid-State Circuits*, vol. 40, December 2005, pp. 2373–2387.
- [54] A. Annema, B. Nauta, R. van Langevelde, H. Tuinhout, “Analog Circuits in Ultra-Deep-Submicron CMOS,” *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 1, January 2005.
- [55] S. S. Bazarjani, W. M. Snelgrove, “Low Voltage SC Circuit Design with Low – V_t MOSFETs,” *IEEE International Symposium on Circuits and Systems*, 28th April–3rd May 1995, pp. 1021–1024.
- [56] K. Bult, “Analog Design in Deep Sub-Micron CMOS,” *IEEE European Solid-State Circuits Conference Proceedings*, Sep. 2000, pp. 126–132 .
- [57] U. Moon *et al.*, “Switched-Capacitor Circuit Techniques in Submicron Low-Voltage CMOS,” *IEEE International Conference on VLSI and CAD*, Oct. 1999, pp. 349–358.
- [58] J. Crols, M. Steyaert, “Switched opamp: an approach to realize full CMOS SC circuits at very low supply voltages,” *IEEE Journal of Solid-State Circuits*, vol. 29, No. 8, August 1994, pp. 936–942.

- [59] J. T. Wu, “1.2V CMOS Switched-Capacitor Circuits,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, CA, 1996, pp. 388–388.
- [60] P. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, “Analysis and Design of Analog Integrated Circuits,” John Wiley & Sons, 2001, pp. 40, 58.
- [61] P. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, “Analysis and Design of Analog Integrated Circuits,” John Wiley & Sons, 2001, pp. 48.
- [62] R. Mendoza *et al.*, “CMOS leakage power at cell level,” *International Conference on Design and Test of Integrated Systems in Nanoscale Technology*, 2006, pp. 194–199.
- [63] Z. A. Weinberg, “On tunneling in metal-oxide-silicon structures,” *Journal of Applied Physics*, Vol. 53, Issue 7, July 1982, pp. 5052–5056.
- [64] R. van Langevelde, “Gate Current: Modeling, ΔL extraction and impact on RF performance,” *IEEE International Electron Devices Meeting Technical Digest*, 2001, pp. 13.2.1–13.2.4.
- [65] B. Nauta, “Analog, mixed signal and RF circuit design in nanometer CMOS,” *ISSCC Short-course*, 2007.
- [66] W. K. Henson *et al.*, “Analysis of Leakage Currents and Impact on Off-State Power Consumption for CMOS Technology in the 100-nm Regime,” *IEEE Transactions on Electron Devices*, Vol. 47, No 7, July 2000, pp. 1393–1400.
- [67] P. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, “Analysis and Design of Analog Integrated Circuits,” John Wiley & Sons, 2001, pp. 774.
- [68] B. Razavi, “Design of Analog CMOS Integrated Circuits”, *McGraw-Hill Higher Education*, 2001, pp. 199.
- [69] A. van Der Ziel, “Thermal Noise in Field-Effect Transistors,” *Proceedings of the IRE*, vol. 50, Issue 8, August 1962, pp. 1808–1812
- [70] B. Wang *et al.*, “MOSFET Thermal Noise Modeling for Analog Integrated Circuits,” *IEEE Journal of Solid-State Circuits*, vol. 29, No. 7, July 1994, pp. 833–835.
- [71] B. Razavi, “Design of Analog CMOS Integrated Circuits,” *McGraw-Hill Higher Education*, 2001, pp. 202.
- [72] R. Brederlow, G. Wenig, R. Thewes, “Investigation of the Thermal Noise of MOS Transistors under Analog and RF Operating Conditions,” *IEEE European Solid-State Device Research Conference Proceedings*, Sep. 2002, pp. 87–90.
- [73] H. S. Bennett *et al.*, “RF and AMS,” *IEEE Circuits and Devices Magazine*, vol. 20, Issue 6, 2004, pp. 38–51.
- [74] J. L. Plumb, E. R. Chenette, “Flicker noise in transistors,” *IEEE Transactions on Electron Devices*, vol. 10, Issue 5, Sep. 1963, pp. 304–308.

- [75] B. Razavi, “Design of Analog CMOS Integrated Circuits,” *McGraw-Hill Higher Education*, 2001, pp. 205.
- [76] P. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, “Analysis and Design of Analog Integrated Circuits,” John Wiley & Sons, 2001, pp. 753.
- [77] P. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, “Analysis and Design of Analog Integrated Circuits,” John Wiley & Sons, 2001, pp. 775.
- [78] C. Enz, G. C. Temes, “Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper stabilization,” *Proceedings of the IEEE*, vol. 84, No. 11, Nov. 1996, pp. 1584–1613.
- [79] A. Hajimiri, “A general theory of phase noise in electrical oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 33, No. 2, February 1998, pp. 179–194.
- [80] S. H.-M. Jen *et al.*, “Accurate Modeling and Parameter Extraction for MOS Transistors valid up to 10GHz,” *IEEE Transactions on Electron Devices*, vol. 46, No. 11, Nov. 1999, pp. 2217–2227.
- [81] Y. Cheng, M. Jamal Deen, C.-H. Chen, “MOSFET Modeling for RF IC Design,” *IEEE Transactions on Electron Devices*, vol. 52, No. 7, July 2005, pp. 1286–1303.
- [82] W. Y. Choi *et al.*, “Stable extraction of linearity V_{IP3} for nanoscale RF CMOS devices,” *IEEE Microwave and Wireless Components Letters*, vol. 14, Issue 2, Feb. 2004, pp. 83–85.
- [83] P. Wambacq, W. M. C. Sansen, “Distorsion Analysis of Analog Integrated Circuits”, *Kluwer Academic Publishers*, 1998.
- [84] X. Aragonès, J. L. Gonzalez, F. Moll, A. Rubio, “Noise Generation and Coupling Mechanisms in Deep-Submicron ICs,” *IEEE Design & Test of Computers*, 2002.
- [85] O. Valorge, “Bruit d’Alimentation et Couplage par le Substrat dans les circuits Mixtes,” Thèse de Doctorat, INSA Lyon, STMicroelectronics-Grenoble, 2006.
- [86] H. Iwai, “CMOS Scaling for sub-90 nm to sub-10 nm,” *IEEE 17th International Conference on VLSI Design Proceedings*, 2004.
- [87] Y. Taur *et al.*, “CMOS Scaling into the 21st Century: 0.1 μm and Beyond,” *IBM Journal of Research & Development*, vol. 39, 1995, pp.245–260.
- [88] E. Morifuji *et al.*, “Future perspective and scaling down roadmap for RF CMOS,” *IEEE Symposium on VLSI Digest of Technical Papers*, June 1999, pp.163–164.
- [89] C. P. Yue, S. S. Wong, “Scalability of RF CMOS,” *IEEE Radio Frequency Integrated Circuits Symposium Digest of Technical Papers*, June 2005, pp.53–56.

- [90] S. Chung, “Foundry Technologies for Nano-scale RF Integration,” *IEEE ISSCC08 GIRAFE Design Forum: Architectures and Circuit Techniques for Nanoscale RF CMOS*, San Francisco, CA, Feb. 2008.
- [91] J. Pekarik et al., “RFCMOS Technology from 0.25 μ m to 65nm: The State of the Art,” *IEEE Custom Integrated Circuits Conference Proceedings*, Sep. 2004, pp. 217–224.
- [92] J. Yuan, “A charge sampling mixer with embedded filter function for wireless applications,” *Proc. 2nd Int. Conf. on Microwave and Millimeter Wave Technology*, Beijing, China, 2000, pp. 315–318.
- [93] Y. Poberezhskiy and G. Poberezhskiy, “Sampling technique allowing exclusion of antialiasing filter,” *Electron. Lett.*, vol. 36, no. 4, pp. 297–298, Feb. 17, 2000.
- [94] S. Karvonen, T. A. D. Riley, and J. Kostamovaara, “A CMOS quadrature charge-domain sampling circuit with 66-dB SFDR up to 100 MHz,” *IEEE Trans. Circuits Syst. I*, vol. 52, no. 2, pp. 292–304, Feb. 2005.
- [95] A. Mirzaei, R. Bagheri, S. Chehrazi, and A. Abidi, “A second-order anti-aliasing prefilter for an SDR receiver,” *IEEE Custom Integrated Circuits Conference Proceedings*, Sep. 2005, pp. 629–632.
- [96] B. Razavi, “RF Microelectronics”, Prentice Hall Communications Engineering and Emerging Technologies Series, 1997, pp. 180.
- [97] D.-R. Huang, S.-W. Kao and Y.-H. Pang, “A WiMAX Receiver with Variable Bandwidth of 2.5d-20 MHz and 93 dB Dynamic Range in 0.13- μ m CMOS process,” *IEEE RFIC Symposium*, June 2007, pp. 369–372.
- [98] M. Simon, et al., “A 802.11a/b/g RF Transceiver in an SoC,” *IEEE Digest of Technical Papers*, pp. 562-563, Feb. 2007.
- [99] Joet, L., Dezzani, A., Montaudon, F., Badets, F., Sibille, F., Corre, C., Chabert, L., Mina, R., Bailleuil, F., Saias, D., Paillardet, F., Perea, E., “Advanced $\frac{Fs}{2}$ Discrete-Time GSM Receiver in 90-nm CMOS,” *Asian Solid-State Circuits Conference*, Nov. 2006.
- [100] A. Latiri, Thèse de Doctorat, ENST-Paris, Juillet 2008.
- [101] E. Suarez, P. R. Gray, and D. A. Hodges, “All-MOS charge redistribution analog-to-digital conversion techniques,” *IEEE Journal of Solid-State Circuits*, vol. SC-10, Dec. 1975, pp. 379–385.
- [102] B. J. Sheu and C. M. Hu, “Switched induced error voltage on a Switched capacitor,” *IEEE Journal of Solid-State Circuits*, vol. SC-19, no. 4, Aug. 1984, pp. 519–525.
- [103] Y.-B. Gu, M.-J. Chen, “A new quantitative model for weak inversion charge injection in MOSFET analog switches,” *IEEE Transactions on Electron Devices*, vol. 43, no. 2, Feb. 1996, pp. 295–302.

- [104] Y. Ding, R. Harjani, “A universal analytic charge injection model,” *IEEE International Symposium on Circuits and systems Proceedings*, vol. 1, Geneva, Switzerland, May 2000, pp. 144–147.
- [105] G. Wegmann, E. Vittoz, and F. Rahali, “Charge injection in analog MOS Switches,” *IEEE Journal of Solid-State Circuits*, vol. SC-22, no. 6, Dec. 1987, pp. 1091–1097.
- [106] C. Eichenberger, W. Guggenbuhl, “Dummy transistor compensation of analog MOS,” *IEEE Journal of Solid-State Circuits*, vol. 24, no. 4, Aug. 1989, pp. 1143–1146.
- [107] W. F. Lee, P. K. Chan, “An injection-nulling Switch for Switched-capacitor circuit applications,” *IEEE Transactions on Instrumentation and measurements*, vol. 54, no. 6, Dec. 2005, pp. 214–216.
- [108] B. Razavi, “Design of Analog CMOS Integrated Circuits”, *McGraw-Hill Higher Education*, 2001, pp. 418–422.
- [109] S. M. Sze, “Physics of Semiconductor Devices,” *New York: Wiley*, 1981.
- [110] MENTOR GRAPHICS Eldo User’s manual, Software version 6.5_2, Release 2005.2, Chapter 9, pp. 1.
- [111] B. Van Zeghbroeck, “Principles of semiconductor devices and heterojunctions,” *Prentice Hall*, Chap.6, 2008.
- [112] R. Mina, J. C. Grasset, J. F. Naviner, “Impact of charge injection on system-level performance of a discrete-time GSM receiver,” *IEEE 13th International Conference on Electronics, Circuits and Systems*, Dec. 2006, pp. 494–497.
- [113] S. Decoutere, “Analog and RF performance perspectives of (sub-) 32nm CMOS,” *IEEE ISSCC08 GIRAFE Design Forum: Architectures and Circuit Techniques for Nanoscale RF CMOS*, San Francisco, CA, Feb. 2008.
- [114] Rapport interne sur les technologies CMOS avancées – STMicroelectronics, Crolles.
- [115] IEEE standard for information technology – Telecommunications and information exchange between systems – Local and metropolitan area networks – specific requirements, “Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications,” June 2007.
- [116] S. Fili, “Fixed, nomadic, portable and mobile applications for 802.16-2004 and 802.16e WiMAX networks,” *WiMAX Forum white papers*, November 2005.
- [117] P. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, “Analysis and Design of Analog Integrated Circuits,” *John Wiley & Sons*, 2001, pp. 446–450.
- [118] P. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, “Analysis and Design of Analog Integrated Circuits,” *John Wiley & Sons*, 2001, pp. 633–664.

[119] F. Montaudon, *et al.* “A scalable 2.4-to-2.7GHz discrete-time Wi-Fi/WiMAX receiver in 65nm CMOS”, *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 362-364, Feb. 2008.

[120] M. Simon, *et al.* “A 802.11a/b/g RF Transceiver in an SoC”, *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 562-563, Feb. 2007.

[121] D. Huang, S. Kao, Y. Pang, “A WiMAX Receiver with Variable Bandwidth of 2.5-20 MHz and 93 dB Dynamic Gain Range in 0.13- μ m CMOS process”, *IEEE Radio-Frequency Integrated Circuits Symposium*, pp. 369-372, June, 2007.