Modélisation physique et compacte de transistors en couches minces à base de silicium amorphe ou microcristallin

Jong Woo Jin

▶ **To cite this version:**

Jong Woo Jin. Modélisation physique et compacte de transistors en couches minces à base de silicium amorphe ou microcristallin. Micro et nanotechnologies/Microélectronique. Ecole Polytechnique X, 2013. Français. NNT : . pastel-00807865

HAL Id: pastel-00807865
https://pastel.hal.science/pastel-00807865

Submitted on 4 Apr 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Thèse

Présentée pour obtenir le grade de

Docteur de l'Ecole Polytechnique

Spécialité : Microélectronique

Modélisation physique et compacte de transistors en couches minces à base de silicium amorphe ou microcristallin

Jong Woo JIN

Soutenance le 17 janvier 2012 devant le jury composé de :

M. Benjamin IÑIGUEZ	Rapporteur
M. Jean-Paul KLEIDER	Rapporteur
M. Tayeb MOHAMMED-BRAHIM	Examinateur
M. Arokia NATHAN	Examinateur
M. Yvan BONNASSIEUX	Directeur de thèse

Remerciement

Ma thèse a été effectuée au sein du Laboratoire de la Physique des Interfaces et des Couches Minces (LPICM) unité mixte du CNRS(UMR7647) et de l'Ecole Polytechnique. J'adresse mes premiers remerciements à Monsieur l'ancien directeur du laboratoire ***Bernard DREVILLON*** directeur de recherche CNRS émérite, pour m'avoir accueilli dans son laboratoire.

Également, je remercie Messieurs ***Benjamin IÑIGUEZ*** professeur de l'*Universitat Rovira i Virgili*, ***Jean-Paul KLEIDER*** directeur de Recherche CNRS au laboratoire LGEP, ***Tayeb MOHAMMED-BRAHIM*** professeur de l'Université de Rennes 1 et enfin ***Arokia NATHAN*** porfesseur de l'*University of Cambridge* pour l'honneur qu'ils m'ont fait d'accepter de faire partie du jury.

Je tiens à exprimer mes plus sincères remerciements à Monsieur ***Yvan BONNASSIEUX***, maître de conférences de l'Ecole Polytechnique, mon directeur de thèse, pour toutes nos discussions scientifiques et pour sa bonne humeur pendant mon séjour en France ; chaque page de ce manuscrit est sans doute le résultat de sa présence constante et de son encouragement attentif.

Je tiens à remercier Mademoiselle ***Oumkelthoum MINT MOUSTAPHA*** pour son encadrement pendant mon stage de master et Monsieur ***Maher OUDWAN*** pour toutes les compétences professionnelles qu'il m'a transmis sur le dépôt des couches minces, la photolithographie et les travaux en salle blanche.

Je tiens à remercier également Monsieur ***Dmitri DAINEKA*** pour les nombreux dépôts PECVD qu'il a réalisé pour moi, pour tout le savoir-faire qu'il m'a appris et pour tout le temps que nous avons passé en salle blanche.

Je remercie vivement tous les participants au projet ANR ***e-FlexSi***, en particulier Monsieur ***Tayeb MOHAMMED-BRAHIM*** et Monsieur ***Sabri JANFAOUI***, pour les échantillons qu'ils m'ont offerts en parallèle avec des discussions scientifiques passionnantes et pour mon séjour agréable et très profitable d'une semaine à Université de Rennes 1.

Je tiens à exprimer un grand remerciement à Monsieur ***Jean-Eric BOUREE***, mon voisin du bureau et le grand savant de tous mes respects ; un grand « *obrigado* » pour toutes les conversations scientifiques ainsi que culturelles et linguistiques que nous avons partagées.

Mes remerciements vont également à Monsieur le nouveau directeur du laboratoire ***Pere ROCA I CABAROCCAS***, directeur de recherche CNRS, et Monsieur ***Gilles HOROWITZ***, directeur de recherche CNRS, pour leurs enseignements sur les matériaux et la physique des semi-conducteurs.

Je tiens à remercier en parallèle, Monsieur ***Jean-Charles VANEL*** pour son aide et sa compétence sur les appareils de mesure électrique, notamment lors des mesures dynamiques, et Madame ***Jacqueline TRAN*** pour la formation qu'elle m'a dispensé sur les différentes systèmes d'instrumentations comme l'AFM, le Raman ou encore le profilomètre.

Je remercie également mes collègues doctorants, déjà diplômés ou sous peu, en particulier Messieurs ***James Kahyun KIM***, ***Kihwan KIM***, ***Changseok LEE***, ***Taewoo JEON***, ***Changhyun KIM***, ***Alfonso TORRES RIOS*** et ***Jinwoo CHOI*** du LPICM, et également Messieurs ***Byung-Kuk YOO*** du LOB de l'Ecole Polytechnique, ***Giovanni GRANATO*** du CMAP de l'Ecole Polytechnique, ***Renné MEDEIROS DE ARAUJO*** du LKB de l'Université de Paris 6 et ***Aion DA ESCOSSIA VIANA*** de l'IPhT de CEA-Saclay pour d'innombrables aides précieuses tant dans la vie scientifique que pour la vie personnelle.

Je tiens à remercier bien sûr Madame ***Buntha EA-KIM*** de l'Institut d'Optique et Monsieur ***Didier THENOT***, Madame ***Martine CARBONNELLE***, Monsieur ***Shailendra BANSROPUN*** et Mademoiselle ***Gaëlle LEHOUCQ*** de *Thales Research and Technology* pour toutes leurs aides et conseils en la salle blanche.

Une pensée pour Madame ***Laurence CORBEL*** et Madame ***Carine ROGER-ROULLING*** et également Mademoiselle ***Audrey LEMARECHAL*** de l'école doctorale pour toutes les démarches administratives ; Madame ***Chantal GENESTE*** pour la gestion ; Monsieur ***Eric PAILLASSA*** et monsieur ***Fréderic LIEGE*** pour leur aide sur l'informatique ; et le personnel d'ACMO : ***Jean-Luc MONCEL***, ***Cyril JADAUD*** et ***Jérôme CHARLIAC*** ; je remercie par la même occasion tout le personnel du LPICM.

Je tiens à exprimer toute ma gratitude aux Professeurs ***Jin JANG*** professeur à la *Kyung Hee University*, ***Hyun Jae KIM*** professeur à la *Yonsei University* et enfin ***Yukiharu URAOKA*** professeur au *Nara Institute of Science and Technology* pour des chaleureux accueils lors des conférences ou des visites et pour des discussions fructueuses qui m'ont permet d'avancer avec toujours plus de motivation.

Avant de finir, je remercie infiniment mes parents et mon frère pour tout leur soutient, bien sûr inégalable.

Je réserve la dernière phrase à mon épouse ***Sooha LEE***. À sa présence et son amour je lui suis éternellement reconnaissant.

Le 29 octobre 2012
à Palaiseau

Liste de publications

Articles parus

[1] J. W. Jin, M. Oudwan, D. Daineka, O. Moustapha and Y. Bonnassieux “Parameter extraction method for universal amorphous silicon thin-film transistors simulation program with integrated circuit emphasis model,” *IET Circuits, Devices & Systems*, vol. 6, iss. 2, pp. 118-121, mars 2012.

Articles en préparation

[2] version article de la publication [10] pour une édition spéciale de la revue *IEEE/OSA Journal of Display Technology*.

[3] version article de la publication [11] pour une édition spéciale de la revue *IEEE/OSA Journal of Display Technology*.

Conférences Internationales

[4] J. W. Jin, Y. Bonnassieux, O. M. Moustapha and M. Oudwan “New method for the extraction of abovethreshold regime parameters for the universal a-Si:H TFT model,” *workshop C-TFT*, Tarragona, Espagne, juillet 2010.

[5] M. Oudwan, J. W. Jin, D. Daineka, Y. Bonnassieux and P. Roca i Cabarrocas “N-type bottom-gate microcrystalline silicon thin film transistors fabricated at 150°C on flexible plastic substrates,” *Proceedings of Eurodisplay 2011 - IDRC 31*, pp. 52, Arcachon, France, septembre 2011.

[6] J. W. Jin, J.-C. Vanel and Y. Bonnassieux “Capacitance and current in drain and source during the dynamic measurement of amorphous silicon thin-film transistors,” *ITC 2012 Book of Abstracts*, pp. 105, Lisbonne, Portugal, janvier 2012.

[7] J. W. Jin, M. Oudwan, D. Daineka and Y. Bonnassieux “Consequences of asymmetrical degradation in amorphous silicon thin-film transistors under non-zero drain voltage bias,” *ITC 2012 Book of Abstracts*, pp. 100, Lisbonne, Portugal, janvier 2012.

[8] J. W. Jin, J.-C. Vanel, D. Daineka, Y. Bonnassieux, S. Janfaoui, K. Kandoussi, N. Coulon and T. Mohammed-Brahim “Effect of intrinsic capacitances and time necessary for channel creation in silicon-based thin-film transistors,” *Proceedings of AM-FPD 2012*, pp. 325-328, Kyoto, Japan, juillet 2012.

[9] J. W. Jin, D. Daineka, Y. Bonnassieux, S. Janfaoui, K. Kandoussi, N. Coulon and T. Mohammed-Brahim “Series resistance and overlap length dependence in TFT with non-self-aligned top gate coplanar structure,” *IMID 2012 Digest*, pp. 19-20, Daegu, Korea, août 2012.

[10] J. W. Jin, J.-C. Vanel, D. Daineka, T. Mohammed-Brahim and Y. Bonnassieux “Dynamic and transient analysis of silicon-based thin-film transistors: channel propagation model,” *workshop C-TFT*, Cambridge, Royaume-Uni, septembre 2012

[11] J. W. Jin and Y. Bonnassieux “Drift-diffusion analysis of current crowding mechanism: current-dependent series resistance,” *workshop C-TFT*, Cambridge, Royaume-Uni, septembre 2012.

Conférences Françaises

[12] M. Oudwan, D. Daineka, J. W. Jin, P. Roca i Cabarrocas and Y. Bonnassieux “Amorphous silicon bottom gate thin film transistor fabricated on flexible plastic substrate,” *JNTE 10*, Palaiseau, France, novembre 2010.

Table des matières

REMERCIEMENT 3

LISTE DE PUBLICATIONS 5

ARTICLES PARUS 5
ARTICLES EN PREPARATION 5
CONFERENCES INTERNATIONALES 5
CONFERENCES FRANÇAISES 5

TABLE DES MATIERES 7

INTRODUCTION 11

TRANSISTORS EN COUCHES MINCES 15

1.1 HISTORIQUE DE L'EVOLUTION DES TFTS 15
1.2 MODE DE FONCTIONNEMENT DES TFTS 19
1.3 STRUCTURES DES TFTS 20
1.4 MATERIAUX UTILISES 22
1.5 FABRICATION 23
1.5.1 STRUCTURE « *BOTTOM-GATE STAGGERED* » 24
1.5.2 STRUCTURE « *TOP-GATE COPLANAR* » 25
1.5.3 GEOMETRIE 26
1.5.4 PERFORMANCE 27
BIBLIOGRAPHIE DU CHAPITRE 1 29

MODELES COMPACTS ET EXTRACTION DES PARAMETRES 33

2.1 MODELES COMPACT STATIQUES 34
2.1.1 MODELE CLASSIQUE DE MOSFET 34
2.1.2 MODELE RPI 35
2.2 MODELES COMPACTS DYNAMIQUES 38
2.2.1 MODELE DE MEYER 38
2.2.2 DE LA MODELISATION DE MEYER AUX TFTS 40
2.3 EXTRACTION DES PARAMETRES 41
2.3.1 METHODE DE TYPE ELR 42
2.3.2 METHODE DE TYPE ESR 43

2.3.3 PENTE SOUS LE SEUIL 44
2.3.4 METHODE DE LA FONCTION *H* 44
2.3.5 METHODE DE LA FONCTION H_J 46
2.4 CONCLUSION 49
BIBLIOGRAPHIE DU CHAPITRE 2 51

MODELISATION STATIQUE – RESISTANCE D'ACCES 53

3.1 RESISTANCE EN SERIE 54
3.2 STRUCTURE « *TOP-GATE COPLANAR* » 58
3.2.1 LONGUEUR D'*OVERLAP* 58
3.2.2 ACCES AU CANAL 60
3.2.3 MODÉLISATION 62
3.2.4 TRANSCONDUCTANCE 67
3.3 STRUCTURE « *BOTTOM-GATE STAGGERED* » 68
3.3.1 MODELE DE *CURRENT CROWDING* 69
3.3.2 APPROCHE TRANSPORT-DIFFUSION 72
3.3.3 DEPENDANCE EN TENSION ET EN COURANT 73
3.3.4 RESISTANCE D'ACCES A LA SOURCE ET AU DRAIN 77
3.3.5 LONGUEUR CARACTERISTIQUE D'*OVERLAP* 78
3.3.6 DISCUSSION FINALE 80
3.4 CONCLUSION 82
BIBLIOGRAPHIE DU CHAPITRE 3 83

MODELISATION DYNAMIQUE 85

4.1 CAPACITES INTRINSEQUES 86
4.2 CARACTERISATION 88
4.2.1 MONTAGE EXPERIMENTAL 88
4.2.2 COMPORTEMENT QUASI-STATIQUE – TENSION V_{DS} NULLE 88
4.2.3 COMPORTEMENT QUASI-STATIQUE – TENSION V_{DS} NON-NULLE 91
4.2.4 COMPORTEMENT NON-QUASI-STATIQUE 92
4.3 EVOLUTION DU CANAL 93
4.4 TRANSITION LORS DE L'EXTINCTION 98
4.5 MODELISATION 98
4.5.1 MODELE DE BURNS 99
4.5.2 MATERIAUX AVEC DEFAUTS 103
4.5.3 MODE LINEAIRE 106
4.5.4 PARAMETRE Γ EN DYNAMIQUE 110
4.6 CONCLUSION 113
BIBLIOGRAPHIE DU CHAPITRE 4 114

STABILITE **115**

5.1 MECANISMES DE L'INSTABILITE **115**
5.2 INFLUENCE DE LA TENSION DE DRAIN **117**
5.3 LOCALISATION DE LA DEGRADATION ET DE LA RELAXATION **118**
5.3.1 PROCEDE EXPERIMENTAL 118
5.3.2 RESULTATS ET DISCUSSIONS 119
5.4 CONCLUSION **124**
BIBLIOGRAPHIE DU CHAPITRE 5 **125**

CONCLUSION ET PERSPECTIVES **127**

MODELES COMPACTS ET EXTRACTION DES PARAMETRES **128**
MODELISATION STATIQUE – RESISTANCE D'ACCES **128**
MODELISATION DYNAMIQUE **129**
STABILITE **129**
PERSPECTIVES **130**

ANNEXE A : ATLAS **133**

A.1 LISTE DES PARAMETRES **133**
A.1.1 *STATEMENT* « MATERIAL » 133
A.1.2 *STATEMENT* « DEFECTS » – DISTRIBUTION DES ETATS 134
A.2 VALEURS DES PARAMETRES UTILISEES **135**
A.2.1 RESISTANCE D'ACCES – *TOP-GATE STAGGERED* 135
A.2.2 RESISTANCE D'ACCES – *BOTTOM-GATE STAGGERED* DOS1 135
A.2.3 RESISTANCE D'ACCES – *BOTTOM-GATE STAGGERED* DOS2 135
A.2.4 ANALYSE DYNAMIQUE – AVEC DEFAUTS 135
A.2.5 ANALYSE DYNAMIQUE – SANS DEFAUT 136
A.3 QUELQUES DETAILS **136**
A.3.1 MAILLAGE 136
A.3.2 UNICITE DES PARAMETRES 138
A.3.3 PROBLEME DU MAILLAGE EN TERME D'ENERGIE 138
BIBLIOGRAPHIE DE L'ANNEXE A **139**

RESUME **141**

ABSTRACT **141**

Introduction

Ce travail de thèse a été effectué au sein du Laboratoire de Physique des Interfaces et des Couches Minces (LPICM), unité mixte entre le CNRS (UMR7647) et l'Ecole Polytechnique, dans le cadre du projet ANR eFlexSi[1], dont le but principal est de concevoir et réaliser une électronique CMOS (*Complementary Metal-Oxide-Semiconductor*) à base de transistors en couches minces (TFT - *Thin-Film Transistor*) en silicium microcristallin (µc-Si) déposé par approche PECVD (*Plasma Enhanced Chemical Vapor Deposition*) sur des substrats plastiques flexibles.

Le domaine d'application principal des TFTs est l'industrie des écrans plats ; ils sont en effet l'élément actif principal de toute structure de pixel, que ce soit pour les écrans AMLCD (*Active Matrix Liquid Crystal Display*), AMOLED (*Active Matrix Organic Light-Emitting Diode*) ou encore électrophorétique. Les deux principaux matériaux semi-conducteurs utilisés industriellement jusqu'à aujourd'hui sont dans ce cadre le silicium amorphe hydrogéné (a-Si:H) et le silicium poly-cristallin. Le silicium amorphe, par sa simplicité de dépôt en grande surface, a une place dominante pour les écrans AMLCD, cependant que le silicium poly-cristallin, bien que plus complexe à fabriquer, est préféré pour les écrans AMOLED du fait de ses meilleures performances en termes de mobilité et de stabilité. Outre ces deux types de silicium dont la technologie peut être considérée comme mature, notons l'émergence des oxydes semi-conducteurs transparents, notamment IGZO (*Indium Gallium Zinc Oxide*), qui semble avoir le potentiel pour envahir le marché pour satisfaire de nouvelles exigences comme les écrans AMLCD à très haute résolution et les écrans AMOLED de grande dimension.

Le silicium microcristallin cherche à allier le meilleur des deux mondes du silicium amorphe et du silicium poly-cristallin. Cependant, certaines limitations, surtout en termes de mobilité comparée aux oxydes semi-conducteurs transparents, font que globalement les µc-Si TFTs ne seront pas les composants clés de la structure des pixels des futures écrans plats ; il nous semble peu probable qu'ils regagnent l'attention de la recherche et de l'industrie pour être employés dans le domaine des écrans plats.

Par contre, la compétition est toujours ouverte pour la technologie CMOS à bas coût sur substrats flexibles. Les approches silicium amorphe ou encore oxydes semi-conducteurs transparents semblent pour le moment disqualifiées d'office, ne pouvant pas assurer une mobilité significative pour les transistors PMOS (*P-type MOS*). Les approches silicium poly-cristallin voire monocristallin semblent elles aussi difficilement conciliables avec le faible coût et surtout les substrats flexibles du fait de leurs fortes ou relativement fortes températures de fabrication. De même, les approches plus novatrices comme l'électronique organique ou encore les nanotubes de carbone et le graphène, bien

[1] Projet ANR-09-BLAN-0163 (NT09_485395)

qu'extrêmement prometteuses, nous semblent devoir attendre encore de nombreux développements et recherches avant de se rapprocher d'une réalité industrielle.

Dans ce cadre d'une électronique CMOS à faible coût sur substrats flexibles, grâce à l'existence de TFTs du type N et du type P avec une mobilité acceptable des électrons et des trous, la compatibilité du procédé de fabrication avec celui du silicium amorphe (PECVD, à bas coût, possibilité de fabrication sur large surface et à faible température) et sa relative maturité pour une approche industrielle, le silicium microcristallin est potentiellement le bon matériau pour le développement de cette nouvelle électronique. Nous avons donc proposé d'étudier cette technologie dans le cadre du projet ANR eFlexSi en collaboration avec l'IETR de Université de Rennes 1 (porteur du projet) et le CEA-LETI à Grenoble.

Ce projet se décompose en 3 tâches principales :

- Concevoir, réaliser, optimiser et caractériser les transistors µc-Si TFTs du type N et du type P sur substrats flexibles.
- Développer des modèles comportementaux des µc-Si TFTs.
- Réaliser des démonstrateurs sous la forme de portes logiques élémentaires (inverseur, ring oscillateur) ou des circuits analogiques simples (amplificateurs).

Le travail de thèse que nous présentons ici se focalise sur la seconde tâche, à savoir, la modélisation, plus particulièrement, la définition d'un modèle spécifique comportemental ou « compact » des transistors a-Si:H et µc-Si TFTs. Cette action est centrale car les modèles SPICE (*simulation program with integrated circuit emphasis*) sont la brique élémentaire pour les *designers* professionnels ; c'est grâce à eux que l'ensemble des circuits de l'industrie électronique est conçu et simulé, du plus petit amplificateur aux processeurs multi-cœurs.

De manière plus précise, dans le but de développer des modèles compacts performants qui décrivent le comportement des a-Si:H et µc-Si TFTs, nous avons étudié plusieurs aspects de la physique des TFTs, en observant et analysant différents phénomènes. Ce manuscrit présente donc les études réalisées pendant la thèse sur la compréhension et la modélisation des comportements statiques et dynamiques ainsi que de la stabilité de nos transistors.

Afin d'être plus pédagogique, nous avons choisi de diviser ce manuscrit en cinq chapitres :

Le chapitre 1, à caractère introductif, donne tout d'abord un aperçu général sur les TFTs, en abordant l'historique, des premiers concepts jusqu'aux intérêts actuels de la recherche, puis le principe de fonctionnement, les structures employées et les matériaux utilisés. Dans une seconde partie, nous décrivons les étapes de la fabrication des TFTs utilisés dans cette thèse, qui ont deux structures différentes : *bottom-gate staggered* et *top-gate coplanar*.

Dans le chapitre 2, nous présentons quelques modèles compacts statiques (modèle classique du MOSFET[2] et modèle RPI[3]) et dynamiques (modèle de Meyer et ses variations), et également

[2] metal–oxide–semiconductor field-effect transistor
[3] Rensselaer Polytechnic Institute

différentes méthodes d'extraction des paramètres, en proposant une nouvelle méthode dans le cadre du modèle RPI.

Le chapitre 3 porte sur un problème spécifique à nos structures de TFT, à savoir, la résistance d'accès. Nous décrirons les premières approches de sa modélisation, et nous évaluerons l'effet de la résistance d'accès sur la performance des TFTs prévu par des modèles compacts. Ensuite, la résistance d'accès, dans les deux structures de nos transistors, est analysée en détails, en se focalisant sur la dépendance en tension de grille par des raisons géométriques dans la structure *top-gate coplanar* et sur la dépendance en tension de grille et en courant due à la diffusion des électrons dans la structure *bottom-gate staggered*.

Le chapitre 4 est consacré aux comportements dynamiques des TFTs. Nous discutons l'effet de la capacité intrinsèque des TFTs sur la réponse temporelle et présentons quelques exemples de la mesure dynamique en distinguant le cas quasi-statique et non-quasi-statique. Nous étudions également l'évolution temporelle du canal lors de l'allumage et de l'extinction d'un TFT. Le modèle de Burns, qui décrit la propagation du canal dans un MOSFET en mode saturé, est présenté, et nous proposons un modèle plus global pour les TFTs à base d'un matériau avec ou sans défaut et cela pour le mode saturé et linéaire.

Dans le cinquième et dernier chapitre, le problème de la stabilité des TFTs est abordé, en se focalisant plus particulièrement sur la dégradation asymétrique lors du stress électrique sous la tension drain-source non-nulle. Nous rapportons des phénomènes liés à la localisation de la dégradation et de la relaxation, qui apparaissent quand la polarité entre source et drain est changée durant le stress électrique.

Chapitre 1

Transistors en couches minces

Avant d'entrer dans les détails des études réalisées pendant ma thèse au LPICM, j'ouvre un chapitre pour aborder les aspects élémentaires des transistors en couches minces (*thin-film transistor* – TFT). Ce chapitre commence avec un résumé de l'historique des TFTs, des premiers concepts jusqu'à nos jours, en relatant leur évolution et aussi les intérêts actuels de la recherche. Ceci est suivi par une rapide introduction sur le principe général de leur fonctionnement, les structures, et les matériaux utilisés. À la fin du chapitre, nous ajoutons une section pour décrire les étapes de la fabrication des TFTs utilisés dans cette thèse.

1.1 Historique de l'évolution des TFTs

Le transistor est aujourd'hui un élément fondamental dans les circuits électroniques. Comme commenté par T. P. Brody dans sa revue sur l'évolution des TFTs [1], la date de naissance du transistor communément acceptée est l'année 1947, au sein des *Bell Laboratories*. Grâce aux études réalisées dans ce laboratoire dans les années 1940 et 1950, nous avons connu la réalisation de différents types de transistors – *point-contact transistor*, *bipolar junction transistor* (BJT), et *junction field-effect transistor* (JFET) – ainsi que l'avancement de la physique des semi-conducteurs et de la jonction p-n, qui ont donné le prix Nobel de physique à W. B. Shockley, J. Bardeen et W. H. Brattain en 1956.

Les premières idées sur le transistor à effet de champ (FET – *field effect transistor*) datent d'avant ces travaux des *Bell Laboratories* et sont attribuées à J. E. Lilienfeld et O. Heil, selon plusieurs auteurs [1-3]. Lilienfeld a déposé des brevets en décrivant des composants similaires à

MESFET (*metal-semiconductor FET*) en 1925 [4,5] et à TFT/MOSFET[1,2] (*metal-oxide-semiconductor FET*) en 1928 [6]. Et également, O. Heil a déposé un brevet sur l'idée de TFT/MOSFET en 1934 [7], avec une description physiquement plus correcte que celle de Lilienfeld. Dans les études réalisées par Shockley, l'idée du FET apparaissent relativement tôt en 1939, comme rappelé dans sa revue sur ses travaux sur le transistor [8]. Pourtant, la réalisation d'un FET n'a pas été succès, ce qui a obligé les laboratoires de prendre une autre direction, ce qui a permis le grand succès industriel du BJT.

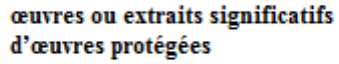

Figure 1.1-1 *Le schéma de l'idée d'O. Heil dans son brevet [7].*

Figure 1.1-2 *La structure du premier TFT par P. K. Weimer [11].*

À la fin des années 1950 et au début des années 1960, le premier MOSFET [9], [10] et le premier TFT [11], [12] sont nés. Le MOSFET, réalisé par D. Kahng and M. M. Atalla aux *Bell Laboratories*, a été à base de silicium cristallin, et le TFT, par P. K. Weimer au *RCA Laboratory*, a été fait en utilisant le sulfure de cadmium (CdS) poly-cristallin. Le TFT, employant des matériaux très peu

[1] MOSFET au sens littéral de l'expression, et pas le MOSFET d'aujourd'hui à base de silicium monocristallin

[2] Il y a aussi des expressions comme MISFET (*metal-insulator-semiconductor FET*) et IGFET (*insulated gate FET*) pour définir l'ensemble du FET avec la grille électriquement isolée comme le TFT et le MOSFET.

caractérisés (poly-cristallins), n'a pas été préféré face au MOSFET, à base d'un matériau bien mieux connu (silicium cristallin), comme Brody l'écrit dans la revue [1] :

“

œuvres ou extraits significatifs d'œuvres protégées

”

Mais comme Brody continue dans le texte, cela ne signifie pas que le MOSFET avait une vie facile :

“

œuvres ou extraits significatifs d'œuvres protégées

”

Malgré tout, avec la complexité des circuits qui montait, la nécessité d'un transistor plus facile à fabriquer et à interconnecter augmentait, et est apparue l'envie d'avoir un circuit miniaturisable, ou encore, d'un circuit avec plusieurs composants électroniques interconnectés *in situ* sur un même substrat : le circuit intégré. Weimer, dans ses travaux sur TFTs du type N et P, a inventé l'inverseur complémentaire [13], qui est la base de la technologie CMOS (*complementary MOS*). L'implantation de cette invention dans la technologie du MOSFET a permis par la suite la réalisation historique du premier microprocesseur : le fameux Intel 4004 [14]. Aujourd'hui, nous connaissons et reconnaissons l'importance de la technologie CMOS.

Quant au TFT, il montre quelques aspects intéressants dans les années 1960, comme la réalisation des circuits sur des substrats flexibles [1]. Le TFT gagne principalement de l'importance dans le domaine de FPD (*flat panel display*). Les premiers types FPD ont été du type émissif [1,15]. Dans un article publié en 1971 [15], A. G. Fischer a déjà cité comme l'élément émissif la LED (*light-emitting diode*) en couches minces, et dans le même article, il a montré un circuit avec deux transistors pour contrôler l'émission de la lumière (figure 1.1-3). Ces idées ressemblent beaucoup à l'AMOLED (*active matrix organic LED*) d'aujourd'hui, qui présente déjà une fraction importante des écrans dans le marché des Smartphones et qui est en train d'être commercialisé de plus en plus. La même année, B. J. Lechner *et al*. [16] publient un article sur la possibilité d'un FPD à cristal-liquide (*LCD - liquid crystal display*) avec un adressage par un FET (figure 1.1-4), ce qui est exactement le principe de l'adressage de l'AMLCD (*active matrix LCD*) de nos jours. L'année suivante, le premier AMLCD a été démontré [17,18]. Comme le FPD exige un système électronique en grande surface, les chercheurs ont perçu rapidement le grand avantage du TFT par rapport au MOSFET en termes de coût et de facilité de production à grande échelle. Avec les succès du groupe de Brody sur les FPDs dans les années 1970 [17-19], la recherche sur le TFT et les écrans plats est devenue très active.

À cette-époque-là, le principal matériau utilisé a été séléniure de cadmium (CdSe) poly-cristallin. En 1979, un autre matériau est introduit dans le monde du TFT : le silicium amorphe hydrogéné (a-Si:H) [20], celui qui est aujourd'hui utilisé dans la plupart des écrans AMLCD. En 1980,

le premier TFT fabriqué en silicium poly-cristallin (poly-Si) est publié [21]. Il est actuellement, avec le silicium amorphe, un des deux principaux matériaux utilisés dans l'industrie (principalement pour les écrans LCD de très haute définition et les écrans AMOLED).

œuvres ou extraits significatifs
d'œuvres protégées

Figure 1.1-3 *Schéma du système d'adressage de l'écran FPD à LED dans la référence [15], qui ressemble au circuit basique du pixel des écrans AMOLED d'aujourd'hui.*

œuvres ou extraits significatifs
d'œuvres protégées

Figure 1.1-4 *Schéma du système d'adressage l'écran FPD LCD dans la référence [16], qui est employé dans les écrans AMLCD d'aujourd'hui.*

L'évolution du transistor TFT est toujours en cours. Ainsi les performances électriques, principalement en terme de mobilité, du TFT à base de silicium amorphe est insuffisante pour les besoins plus avancés des écrans AMLCD comme la résolution plus haute (~4000x2000 pixels) et l'adressage plus rapide (>240 Hz) [22]. Pour les écrans AMOLED de petite taille comme ceux utilisés dans les téléphones portables et les tablettes, le matériau actuellement utilisé est LTPS (*low temperature poly-Si*) ; mais son coût de fabrication et sa dispersion spatiale des performances rendent difficile son emploi sur une surface plus grande comme un écran de télévision. En outre, d'autres domaines d'application émergents suscitent un intérêt croissant pour ce type de transistors à savoir une électronique embarquée à très faibles coûts financiers et environnementaux sur substrat rigide ou

flexibles : capteurs intelligents, étiquettes RFID, écrans souples, électroniques sur vêtements, … Bref, pour toutes ces raisons, le TFT est toujours un domaine de recherche très actif et qui mérite notre intérêt.

1.2 Mode de fonctionnement des TFTs

Un TFT est un transistor à effet de champ constitué par trois électrodes et des couches minces de semi-conducteurs et d'isolants. Les deux électrodes entre lesquelles le courant circule sont appelées « drain » et « source », et la couche semi-conductrice, par laquelle le courant passe, est appelée « couche active ». La conductivité de la couche semi-conductrice est modulée par la tension appliquée à la troisième électrode, la « grille ». Cette dernière se trouve électriquement isolée des autres parties du TFT par une couche d'isolant appelée « isolant de grille ». Cela est le principe basique de fonctionnement du TFT et du MOSFET.

Les TFTs se répartissent en deux types : N et P, selon les porteurs de charge formant le courant principal (électrons pour le type N et trous pour le type P). Nous décrivons ici, d'une façon très simpliste, le mode de fonctionnement d'un TFT du type N. Quand une tension supérieure à la « tension de seuil » est appliquée à la grille (V_{GS}), les électrons s'accumulent dans la couche active près de l'isolant de grille, augmentant ainsi la conductivité entre le drain et la source. Cette région avec une densité de porteurs de type N plus élevée est appelée « canal ». En appliquant une différence de potentiel aux électrodes drain et source (V_{DS}), nous obtenons un courant à travers le canal. La densité de porteurs dans le canal et ainsi, le courant entre le drain et la source deviennent plus importants quand V_{GS} augmente. Nous avons la même physique pour les TFTs du type P sous la tension V_{GS} négative, avec un canal formé de trous.

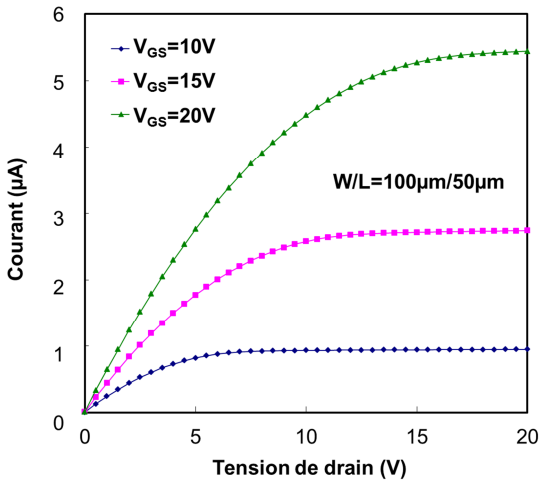

Figure 1.2-1 *Caractéristique de sortie d'un TFT de type N à base de silicium amorphe pour une taille de W/L = 100 µm/50 µm (la définition de W et L est donnée dans la sous-section 1.5.3).*

La figure 1.2-1 montre le courant en fonction de V_{DS} pour des valeurs fixes de V_{GS}, nommée « caractéristique de sortie ». Nous identifions ici deux régimes : pour de petites valeurs de V_{DS}, le

courant croît linéairement avec V_{DS}. Nous disons que le TFT est en « régime linéaire » ou en « mode linéaire ». À partir d'un certain point, le courant n'augmente quasiment plus en fonction de V_{DS}, ce que nous appelons « régime de saturation » ou « mode saturé ».

Les figures 1.2-2 (a) et (b) présentent le courant en fonction de V_{GS} avec V_{DS} fixe, avec une échelle respectivement linéaire et logarithmique. Ces graphes sont appelés « caractéristique de transfert ». En échelle linéaire, nous observons deux états d'un TFT : « allumé » (où nous observons un courant) et « éteint » (où le courant quasiment nul). Si nous regardons la même courbe en échelle logarithmique, nous observons qu'il est difficile d'identifier précisément le début de l'état allumé. Ce point nous mène à définir trois régimes : « de fuite », « sous le seuil » et « au-dessus du seuil », comme indiqué sur la figure 1.2-2 (b). Le régime « de fuite » correspond à l'état éteint, qui présente un courant négligeable et souvent indésirable. Le régime « au-dessus du seuil » peut être défini comme un mode de fonctionnement présentant un courant important suffisant pour que le TFT puisse être considéré en état allumé ; et enfin le régime « sous le seuil » peut être considéré comme la transition entre deux autres régimes. Nous notons que cette distinction en trois régimes n'est pas toujours facile et non univoque.

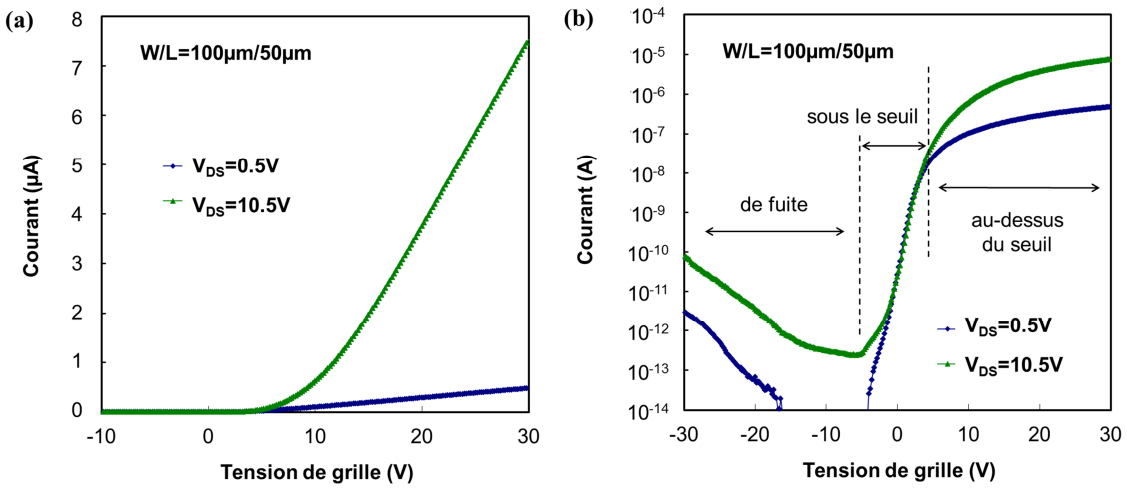

Figure 1.2-2 *Caractéristique de transfert d'un TFT à base de silicium amorphe avec une taille de W/L = 100 µm/50 µm, (a) en échelle linéaire et (b) en échelle logarithmique, avec une représentation schématique de trois régimes : « de fuite », « sous le seuil » et « au-dessus du seuil ».*

1.3 Structures des TFTs

Depuis les premières idées de J. E. Lilienfeld [6] et O. Heil [7] sur un IGFET comme pour premier TFT réalisé par P. K. Weimer [11],[12], plusieurs structures ont été testées. Dans une revue publiée en 1989 sur la physique des a-Si:H TFTs [23], M. J. Powell cite comme quatre structures principales, illustrées sur la figure 1.3-1 : « *top-gate staggered* », « *bottom-gate staggered* » (ou « *inverted staggered* »), « *top-gate coplanar* » et « *bottom-gate coplanar* » (ou « *inverted coplanar* »).

Les structures « *staggered* » ont les électrodes source et drain sur un côté de la couche semi-conductrice, et la grille sur l'autre côté, alors que dans les structures « *coplanar* » les trois électrodes

se trouvent sur un même côté. L'autre différence est la position de la grille : les structures « *top-gate* » ont la grille située au-dessus de la couche semi-conductrice et les structures « *bottom-gate* » (ou « *inverted* ») ont la grille au-dessous de la couche semi-conductrice.

œuvres ou extraits significatifs
d'œuvres protégées

Figure 1.3-1 *Les quatre structures de base des TFTs citées dans la référence [23].*

œuvres ou extraits significatifs
d'œuvres protégées

Figure *1.3-2 Différentes structures proposées dans la référence [12].*

Comme nous percevons sur la figure 1.1-2, le premier TFT de P. K. Weimer avait une forme de type « *top-gate staggered* ». Outre cette structure, quand P. K. Weimer présente ce premier TFT dans la référence [12], il propose d'autres approches (figure 1-3-2), en explicitant que la possibilité de fabriquer les TFTs avec plusieurs structures est un avantage lors de la conception des TFTs pour des applications variées et pour leurs incorporations dans un circuit en couches minces. Lors de l'évolution de la technologie des TFTs, une compétition entre la simplicité de fabrication et les performances a amené la structure « *top-gate staggered* » à céder sa place industriellement à la structure « *bottom-gate staggered* » (pour les a-Si:H TFTs) et à « *top-gate coplanar* » (pour les poly-

Si TFT). Mais toutes ces structures ainsi que les autres gardent un intérêt constant dans le domaine de la recherche.

Afin de rester en connexion avec une approche industrielle, dans cette thèse, nous avons choisi de nous focaliser sur les TFTs ayant des structures « *bottom-gate staggered* » et « *top-gate coplanar* ». Les étapes de la fabrication seront décrites dans la section 1.5.

1.4 Matériaux utilisés

Dans cette thèse, les TFTs utilisés sont à base de silicium amorphe (a-Si:H) ou de silicium microcristallin (µc-Si). Les compétences accumulées ces dix dernières années au sein du LPICM permettent de présenter le silicium microcristallin déposé par PECVD comme un candidat potentiel pour le développement d'une électronique CMOS performante sur des grands substrats flexibles ou rigides [24]-[27]. Dans la suite, nous présentons rapidement ces trois types de silicium.

Le silicium amorphe [28]-[31], comme le nom l'indique, est un matériau désordonné, avec un nombre important de liaisons non-satisfaites. Par conséquent, le matériau possède une grande densité d'états, de pièges, dans la bande interdite, ce qui l'empêche d'être utilisé comme la couche active dans un TFT. Pour cette raison, l'hydrogène est ajouté durant le dépôt de silicium amorphe réduisant ainsi le nombre des liaisons pendantes. Cela facilite aussi le dopage, qui est fait en ajoutant, par exemple, le gaz phosphine (PH_3) pour le type N et le gaz diborane (B_2H_6) pour le type P lors du dépôt de silicium amorphe hydrogéné.

Le grand avantage du a-Si:H est sa facilité de dépôt, en très grande surface et à bas coût. La méthode de PECVD permet un dépôt à une température compatible avec le substrat de verre. Étant désordonné, le silicium amorphe présente une uniformité de propriétés à l'échelle macroscopique. La mobilité des électrons est relativement faible, typiquement inférieure à 1 $cm^2/V.s$. Cette mobilité est suffisante pour que les a-Si:H TFTs soient utilisés comme interrupteurs dans les écrans AMLCD, mais leur fonctionnement à haute fréquence est limité. La mobilité des trous est de l'ordre de 10^{-3} à 10^{-2} $cm^2/V.s$, insuffisante pour réaliser un circuit avec des a-Si:H TFT du type P. Une autre grande limitation est la stabilité limitée sous l'application d'un stress électrique ; ainsi, les propriétés comme principalement la tension de seuil, ou la mobilité, souffrent d'une variation importante au cours de l'utilisation du composant.

Le silicium poly-cristallin [30]-[33] est un matériau formé par des grains cristallins en contact les uns avec les autres. La forme cristalline est discontinue d'un grain à un autre, formant des joints de grains. La taille des grains varie typiquement de l'ordre de 100nm à quelques dizaines de µm, selon la méthode de fabrication adoptée. Un poly-Si TFT a une mobilité des électrons et des trous plus élevée (de l'ordre de 10 à quelques centaines de $cm^2/V.s$, en fonction de la taille de grain et des conditions de fabrication), rendant possible la technologie CMOS. Les propriétés électroniques sont plus stables sous stress électronique, mais son uniformité spatiale n'est pas assurée à cause de la taille des grains comparable à celle du TFT (échelle de µm). Les joints de grains limitent le transport des porteurs dans

un poly-Si TFT, et un TFT de ce type possède du fait de la taille respective des grains et du canal un nombre de grains comptable ; les propriétés peuvent ainsi varier d'un TFT à un autre.

Le premier TFT en silicium poly-cristallin a été déposé par la méthode de LPCVD (*low pressure chemical vapor deposition*) à 625°C, avec la croissance de l'oxyde de grille à 1050°C [21]. Cette température n'est pas compatible avec les substrats thermiquement limités comme le verre. Le poly-cristallin intéressant industriellement est celui obtenu à basse température, appeler LTPS (*Low Temperature Poly-Silicon*). Entre plusieurs méthodes existantes, la méthode la plus répandue dans l'industrie est cristallisation de la couche du silicium amorphe par laser (méthode d'ELC – *Excimer Laser Crystallization*). Bien évidemment, cette étape supplémentaire de cristallisation augmente de manière significative le coût de fabrication en comparaison au silicium amorphe.

Le silicium microcristallin déposé par PECVD [24]-[27] est un matériau hétérogène, qui présente des cristallites de taille variant de l'ordre de 10 à 100 nm et également une fraction amorphe (qui peut être minimisée voire annulée en fonction des conditions de dépôt). La taille des grains étant beaucoup plus petite que celle de TFT, l'uniformité spatiale est plus facile à obtenir. La mobilité des électrons est comparable ou supérieure à celle des a-Si:H TFTs, et il est possible d'obtenir une mobilité des trous compatible avec la réalisation de la technologie CMOS. Également ce matériau présente potentiellement une bonne stabilité temporelle par rapport au silicium amorphe.

La méthode pour déposer une couche de silicium microcristallin est la même que celle du silicium amorphe, avec seulement une fenêtre de variation des conditions de dépôt plus restreinte. Typiquement, le gaz silane (SiH_4) fortement dilué dans l'hydrogène (H_2) est utilisé pour le dépôt, d'autres combinaisons de gaz sont possibles comme une dilution dans le gaz argon (Ar) ou l'utilisation du tétrafluorure de silicium (SiF_4). Une couche de silicium microcristallin ainsi déposée peut présenter une inhomogénéité en profondeur, avec la partie supérieure de la couche ayant une fraction cristalline plus élevée. Pour cette raison les structures « *top gate* » présentent habituellement une mobilité plus élevée que les structures « *bottom gate* ».

Outre ces trois types de silicium, nous pouvons citer le silicium polymorphe [34]-[36], qui est activement étudié au LPICM mais plutôt pour des applications photovoltaïques. Également, nous devons citer l'intérêt grandissant pour d'autres matériaux actifs comme les organiques et les oxydes semi-conducteurs transparents, ouvrant ainsi des nouvelles frontières et de nouvelles applications potentielles.

1.5 Fabrication

Dans ce manuscrit, qui est focalisé sur la modélisation et le comportement physique du composant, nous attribuons la dernière section du premier chapitre à la description des étapes de la fabrication des TFTs utilisés dans cette thèse : TFTs à base de silicium amorphe ou de silicium microcristallin avec la structure « *bottom-gate staggered* », fabriqués au sein du LPICM, et TFTs à

base de silicium microcristallin avec la structure « *top-gate coplanar* », fabriqués à l'IETR de l'Université de Rennes 1.

La première partie de cette section décrit le procédé de la réalisation des TFTs avec la structure « *bottom-gate staggered* », et la deuxième, des TFTs avec la structure « *top-gate coplanar* ». Ensuite nous illustrons la définition des grandeurs géométriques ainsi que les performances électriques des TFTs fabriqués.

1.5.1 Structure « *bottom-gate staggered* »

Les étapes de la fabrication[3] des TFTs avec la structure *bottom-gate staggered* sont décrites dans la suite du document et illustrées sur la figure 1.5-1. Comme substrat, nous utilisons le verre et le PEN (*polyethylene naphthalate*, 150°C étant la température maximum tolérable pour les procédés de fabrication sur ce plastique). Sur le PEN, nous déposons initialement une couche de nitrure de silicium, sur les deux côtés du PEN, pour le protéger contre d'éventuelles dégradations lors des gravures et pour minimiser le stress mécanique. Sur le substrat propre (soit verre soit PEN), le métal de grille est déposé. Comme métal de grille, nous utilisons, pour la plupart des TFTs, le molybdène déposé par pulvérisation cathodique. La grille est mise en forme par photolithographie en utilisant la résine photosensible SPR700 1.2. Cette résine est déposée par *spin coating* et ensuite insolée par des rayons ultraviolets à travers un masque contenant le motif des grilles. La partie insolée de la résine est enlevée par dissolution avec le solvant MF319. La partie du métal non-protégée par la résine est éliminée par la gravure humide, et la résine restante est finalement nettoyée par un bain d'acétone puis de propanol.

Sur la grille ainsi formée, nous déposons trois couches minces par PECVD : nitrure de silicium, silicium intrinsèque (soit amorphe soit microcristallin) et silicium fortement dopé (idem) ; et sur cette tri-couche, le métal de source/drain est déposé. Pour ces électrodes, nous utilisons aussi le molybdène. Ce métal est soumis à la deuxième photolithographie, formant ainsi les motifs des électrodes source et drain, utilisant toujours une gravure humide.

Ensuite, le silicium dopé entre la source et le drain est gravé en utilisant les deux électrodes sources et drain toujours recouvertes par la résine comme masque. Cette gravure physique est faite par la méthode RIE (*reactive ion etching*). Lors de cette gravure sèche, une petite épaisseur de la couche intrinsèque est volontairement gravée, pour assurer que la partie conductrice (couche dopée) soit complètement enlevée évitant un potentiel court-circuit entre le drain et la source. Après cette étape, par la troisième photolithographie et par RIE, la gravure dite « mésa » est réalisée, c'est-à-dire, la partie non-utilisée des couches sont éliminées isolant les uns des autres les TFTs sur un même substrat et éliminant ainsi tout risque de diaphonie. Cette étape permet aussi de rendre accessible le contact de la grille permettant les mesures électriques.

[3] Nous précisons qu'il y a plusieurs types de structures *bottom-gate staggered* et *top-gate coplanar*, et nous décrivons celles qui sont utilisées dans cette thèse.

Sur l'ensemble des TFTs, une couche de passivation (dite aussi d'encapsulation) est déposée. Pour cette couche, nous utilisons le nitrure de silicium obtenu par PECVD. Pour des µc-Si TFTs ayant la structure *bottom-gate staggered*, cette étape exige une attention particulière, du fait de la grande réactivité de ce matériau. En effet en contaminant la partie supérieure de la couche intrinsèque, et en générant des charges parasites, cette étape peut générer lors du fonctionnement du transistor un courant parasite important passant par la région près de l'interface avec la couche de passivation. On parle alors de la création d'un canal arrière. Finalement, par une photolithographie supplémentaire, les contacts sont ouverts à travers la couche de passivation en permettant d'accéder aux trois électrodes. Les TFTs ainsi fabriqués sont soumis à un recuit thermique final afin de stabiliser au mieux leur caractéristique.

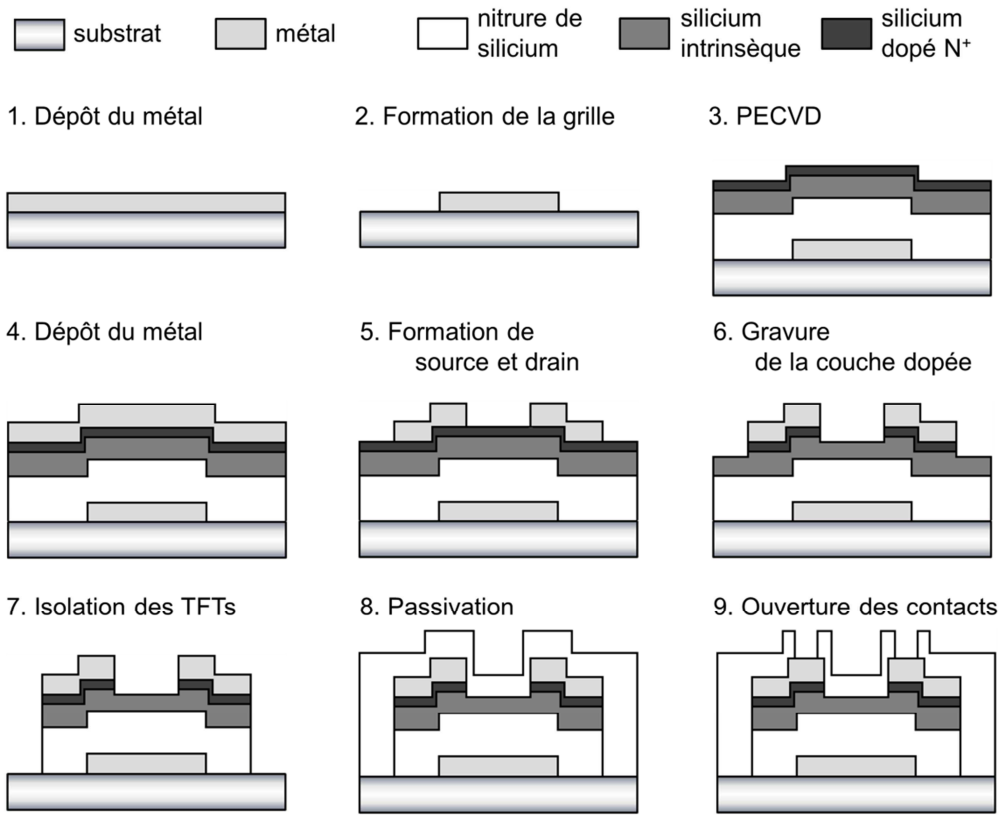

Figure 1.5-1 *Étapes de la fabrication d'un TFT avec la structure bottom-gate staggered.*

1.5.2 Structure « *top-gate coplanar* »

Nous décrivons maintenant les étapes de fabrication des TFTs en utilisant la structure *top-gate coplanar*, illustrées sur la figure 1.5-2. Sur un substrat propre, une couche de silicium microcristallin est déposée par PECVD, suivie du dépôt d'une couche de silicium microcristallin dopé. Par photolithographie et gravure RIE, une partie de la couche dopée est enlevée, formant ainsi les contacts ohmiques pour les électrodes source et drain. À cette étape, une fine partie de la couche intrinsèque est

enlevée pour assurer que toute l'épaisseur de la couche dopée soit gravée. Ensuite, la deuxième photolithographie est réalisée pour la gravure mésa (séparation complète de chaque transistor) par RIE.

Sur cet ensemble, l'isolant de grille est déposé. Plusieurs matériaux ont été testés, et les TFTs utilisés dans ce manuscrit utilisent le nitrure de silicium déposé par PECVD comme l'isolant de grille. Par la troisième photolithographie, les contacts à travers cette couche de nitrure sont ouverts par RIE pour permettre l'accès aux couches dopées. Enfin, la couche de métal (aluminium) est déposée, dont une partie est gravée pour former les trois électrodes ; ceci est la quatrième photolithographie, utilisant une gravure humide. La toute dernière étape est un recuit thermique qui vise à stabiliser au mieux le comportement électrique du transistor.

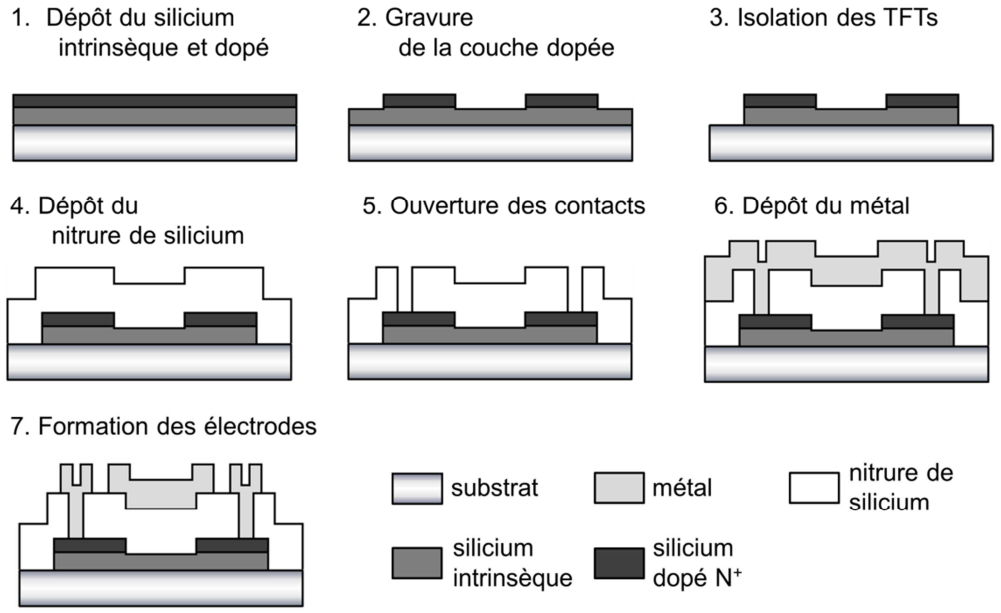

Figure 1.5-2 *Étapes de la fabrication d'un TFT avec la structure top-gate coplanar.*

1.5.3 Géométrie

Nous précisons ici les grandeurs géométriques des différents TFTs. Pour les deux structures, la longueur nominale des TFTs (L) est définie comme la distance entre les deux électrodes source et drain (figure 1.5-3 et 1.5-4). Nous notons que la longueur réelle de la grille est supérieure à L ; il y a ainsi un recouvrement entre la grille et les contacts ohmiques (couches dopées). Nous appelons ce recouvrement par le mot « *overlap* ». La largeur nominale des TFTs est notée par W (figure 1.5-4), c'est la largeur du recouvrement entre la grille et la couche active.

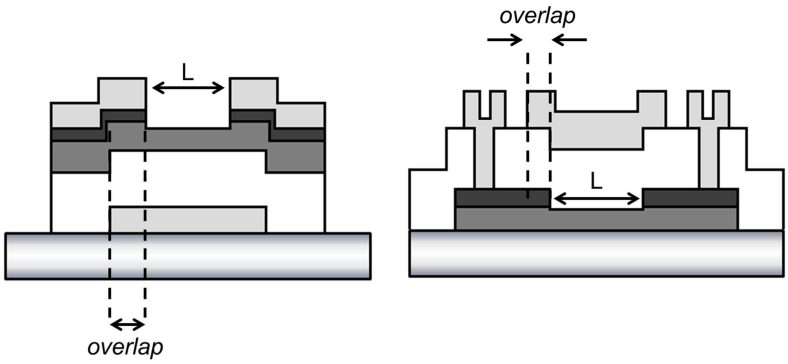

Figure 1.5-3 *La structure bottom-gate staggered (à gauche) et la structure top-gate coplanar (à droite), en précisant la définition de la longueur nominale des TFTs (L) et les régions d'overlap.*

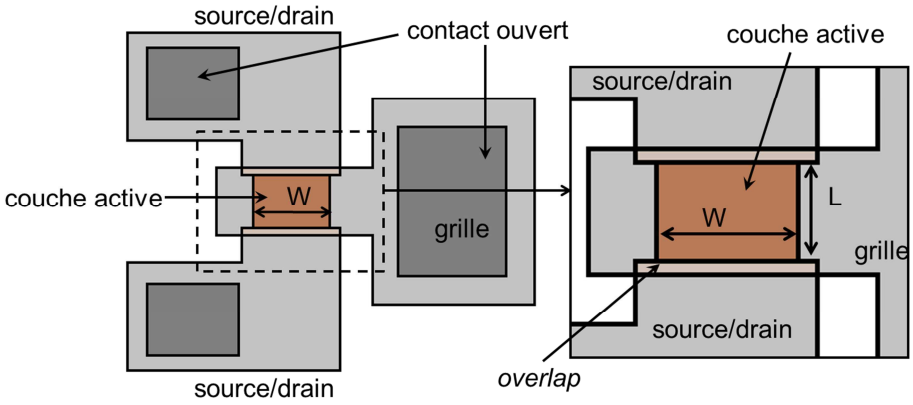

Figure 1.5-4 *La structure bottom-gate staggered vue de dessus, avec la représentation de la largeur (W) et longueur (L) nominaux des TFTs et des régions d'overlap.*

1.5.4 Performance

La figure 1.5-5 montre les courbes typiques de transfert des TFTs utilisés dans cette thèse. La courbe noire représente le courant de drain d'un a-Si:H TFT fabriqué à 250°C (température du dépôt par PECVD) ; la courbe verte, celui d'un µc-Si TFT avec la structure *bottom-gate staggered*, fabriqué à 150°C ; et la courbe rouge, celui d'un µc-Si TFT de structure *top-gate coplanar*, fabriqué à 150°C. Les trois TFTs sur cette figure sont déposés sur substrat de verre. La mobilité de ces TFTs varie entre 0,5 cm^2/V.s et 1 cm^2/V.s.

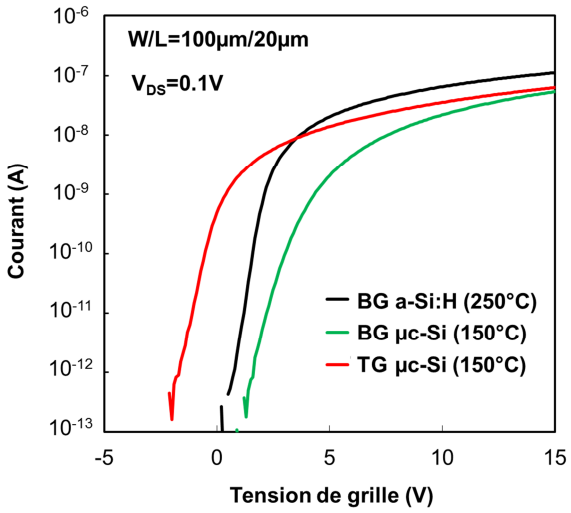

Figure 1.5-5 *Exemples de la caractérisation de transfert de a-Si:H TFT (bottom-gate staggered, à 250°C) et µc-Si TFT (bottom-gate staggered et top-gate coplanar, à 150°C). Les TFTs sur la figure ont la taille de W/L = 100 µm/20 µm, et la mesure est faite sous V_{DS} = 0,1 V.*

Bibliographie du chapitre 1

[1] T. P. Brody, “The thin film transistor – a late flowering bloom”, *IEEE Trans. Electron Devices*, vol.31, no.11, pp. 1614-1628, Nov. 1984.

[2] C. R. Kagan and P. Andry, “Thin Film Transistors”, chapter 1 “Thin Film Transistors – A historical perspective” (chapter author: W. E. Howard), Marcel Dekker, Inc., New York, 2003

[3] Y. Kuo, “Thin Film Transistors - Materials and Processes, Volume 1 - Amorphous Silicon Thin Film Transistors.”, chapter 1 “Introduction” (chapter author: Y. Kuo), Kluwer Academic Publishers, Boston/Dordrecht/New York/London, 2004

[4] J. E. Lilienfeld, CA 272437 (1927)

[5] J. E. Lilienfeld, US patent 1745175 (1930)

[6] J. E. Lilienfeld, US patent 1900018 (1933)

[7] O. Heil, GB patent 439457 (1935, German patent date 1934)

[8] W. Shockley, “The path to the conception of the junction transistor,” *IEEE Trans. Electron Devices*, vol.23, no.7, pp. 597-620, Jul. 1976.

[9] D. Kahng and M. M. Atalla, “Silicon-silicon dioxide field induced surface devices,” *IRE-AIEE Solid State Device Res. Conf.*, Pittsburgh, US, 1960.

[10] D. Kahng, US patent 3102230 (1963)

[11] P. K. Weimer, “An evaporated thin film triode,” *IRE-AIEE Solid State Device Research Conf.*, Stanford Univ., US, 1961.

[12] P. K. Weimer, “The TFT – A new thin-film transistor,” *Proc. IRE*, vol. 50, pp. 1462-1469, Jun. 1962

[13] P. K. Weimer, US patent 3191061 (1965)

[14] F. Faggin, M. E. Hoff Jr., S. Mazor, and M. Shima, “The history of the 4004,” *IEEE Micro* vol. 6, no 6, pp. 10-20, Dec. 1996.

[15] A. G. Fischer, “Design considerations for a future electroluminescent TV panel,” *IEEE Trans. Electron Devices*, vol. 18, pp. 802-804, Sep. 1971.

[16] B. J. Lechner, F. J. Marlowe, E. O. Nester, J. Tults, “Liquid Crystal Matrix Displays,” *Proc. IEEE* vol. 59, no. 11, pp. 1566-1579, Nov. 1971.

[17] A. G. Fischer, T. P. Brody, and W. S. Escott, “Design of a liquid crystal color TV panel,” *Conf. Rec., IEEE Conf. on Display Devices*, New York, US, pp. 64, 1972.

[18] T. P. Brody, J. A. Asars, and G. D. Dixon, “A 6x6 inch, 20 lines per inch liquid crystal display panel,” *IEEE Trans. Electron Devices*, vol. 20, no. 11, pp. 995-1001, Nov. 1973.

[19] T. P. Brody, F. C. Luo, Z. P. Szepesi, D. H. Davies, "A 6x6-in 20-lpi electroluminescent display panel," *IEEE Trans. Electron Devices*, vol. 22, no. 9, pp. 739-748, Sep. 1975.

[20] P. G. LeComber, W. E. Spear, and A. Ghaith, "Amorphous Silicon Field-Effect Device and Possible Application," *Electron. Lett*. vol. 15, no. 6, pp. 179-181, Mar. 1979.

[21] S. W. Depp, A. Juliana, and B. G. Huth, "Polysilicon FET devices for large area input/output Applications," *Proc. 1980 Int. Electron Device Mtg*., New York, US, pp. 703-706, 1980.

[22] J.-Y. Kwon, D.-J. Lee, and K.-B. Kim, "Review paper: transparent amorphous oxide semiconductor thin film transistor," *Electronic Materials Letters*, vol. 7, no. 1, pp. 1-11, Mar. 2011.

[23] M. J. Powell, "The Physics of amorphous-silicon thin-film transistors," *IEEE Transactions on Electron Devices*, vol. 36, no. 12, pp. 2753-2763, Dec. 1989.

[24] S. Kasouit, "Mécanisme de croissance et transport dans le silicium microcristallin fluoré, applications aux transistors en couches minces et transfert technologique," *PhD Thesis*, Ecole Polytechnique, Palaiseau, France, 2003.

[25] V. D. Bui, "Conception et modélisation de transistors TFTs en silicium microcristallin pour des écrans AMOLED," *PhD Thesis*, Ecole Polytechnique, Palaiseau, France, 2006.

[26] M. Oudwan, "Étude des propriétés des transistors en couches minces à base de silicium," *PhD Thesis*, Institut National Polytechnique de Grenoble, Grenoble, France, 2007.

[27] O. M. Moustapha, "Transistors en couches minces en silicium microcristallin pour la réalisation d'une électronique intégrée sur substrats flexibles," *PhD Thesis*, Ecole Polytechnique, Palaiseau, France, 2010.

[28] C. R. Kagan and P. Andry, "Thin Film Transistors", chapter 2 "Preparation and properties of hydrogenated amorphous silicon thin-film transistors" (chapter author: J. Jang), Marcel Dekker, Inc., New York, 2003.

[29] Y. Kuo, "Thin Film Transistors - Materials and Processes, Volume 1 - Amorphous Silicon Thin Film Transistors", chapter 2 "a-Si:H TFT thin film and substrate materials" (chapter authors: A. J. Flewitt et W. I. Milne), Kluwer Academic Publishers, Boston/Dordrecht/New York/London, 2004.

[30] S. Wagner, H. Gleskova, I. C. Cheng, M. Wu, "Silicon for thin-film transistors," *Thin Solid Film*, vol. 430, no. 1-2, pp. 15-19, Apr. 2003.

[31] S. M. Sze, "Semiconductor Devices, Physics and Technology", chapter 6 "MOSFET and related devices", 2nd edition, John Wiley & Sons, Inc., New York, 2001.

[32] C. R. Kagan and P. Andry, "Thin Film Transistors", chapter 4 "Technology of polysilicon thin-film transistors" (chapter authors: A. T. Voutsas et M. K. Hatalis), Marcel Dekker, Inc., New York, 2003.

[33] Y. Kuo, "Thin Film Transistors - Materials and Processes, Volume 2 - Polycristalline Silicon Thin Film Transistors", chapter 2 "Poly-Si thin film and substrate materials " (chapter authors: O. Bonnaud, T. Mohammed-Brahim et D. G. Ast), Kluwer Academic Publishers, Boston/Dordrecht/ New York/London, 2004.

[34] P. Roca i Cabarrocas, A. Fontcuberta I. Morral, S. Lebib, and Y. Poissant, “Plasma production of nanocrystalline silicon particles and polymorphous silicon thin films for large-area electronic devices,” *Pure Appl. Chem*., vol.74, no3, pp. 359-367, 2002.

[35] C. Voz, J. Puigdollers, A. Orpella, R. Alcubilla, A. Fontcuberta I. Morral, V. Tripathi and P. Roca i Cabarrocas, “Thin-film transistors with polymorphous silicon active layer,” *Journal of Non-Crystalline Solids*, vol. 299-302, part 2, pp. 1345-1350, Apr. 2002.

[36] M. Oudwan, A. Abramov, D. Daineka, P. Roca i Cabarrocas, “Mechanisms of threshold voltage shift in polymorphous and microcrystalline silicon bottom gate thin-film transistors,” *Journal of Display Technology*, vol. 8, no. 1, pp. 23-26, Jan. 2012.

Chapitre 2

Modèles compacts et extraction des paramètres

Une grande partie de cette thèse est consacrée à la modélisation des TFTs. D'un point de vue scientifique, la modélisation représente une compréhension du comportement physique de ce composant ; et d'un point de vue industriel, elle montre une grande importance lors de la conception d'une électronique, en permettant de simuler et donc de prédire le fonctionnement des circuits conçus.

Nous divisons les approches pour la modélisation en deux grandes catégories. La première est basée sur un système d'équations différentielles traduisant localement le comportement physique d'un composant, comme l'équation de Poisson, l'équation de continuité etc. Ces équations sont résolues globalement par la méthode des éléments finis, ce qui permet d'avoir l'ensemble des grandeurs physiques (densité de courant, potentiel, …) pour chaque position à l'intérieur de ces composants. Cependant cette approche exige un grand nombre de calculs, donc son utilisation est limitée à la simulation d'un seul composant ou de circuits relativement simples. La deuxième est la modélisation comportementale ou compacte, qui consiste à décrire uniquement la relation entre les entrées et les sorties (par exemples, les tensions appliquées comme l'entrée et le courant comme la sortie) à travers une série d'équations simples avec des paramètres physiques ou mathématiques. Avec un modèle compact, un circuit avec plusieurs (voire de très nombreux) TFTs est facilement et rapidement simulé, sous la condition bien sûr de connaître les valeurs des paramètres.

Ainsi, apparaît naturellement l'importance d'une bonne méthodologie d'extraction de ces paramètres. Pour implémenter les modèles compacts créés dans la pratique, nous avons besoin en parallèle d'un moyen d'estimer les valeurs de l'ensemble des paramètres. Pour cette raison, la modélisation compacte est intrinsèquement corrélée à l'extraction des paramètres.

Dans ce chapitre, nous attribuons les deux premières sections aux modèles compacts, une pour les modèles statiques et une autre pour les modèles dynamiques. La troisième section relate différentes méthodes proposées pour l'extraction des paramètres dans le cadre des modèles statiques présentés et nous proposons plus particulièrement une nouvelle méthode plus performante pour l'obtention des paramètres principaux du modèle RPI[1].

2.1 Modèles compact statiques

La modélisation compacte est constituée par l'assemblage de plusieurs modèles traduisant des différents comportements d'un TFT. Les modèles statiques décrivent le courant de drain en fonction des tensions continuées appliquées sur les électrodes, et les modèles dynamiques, en fonction de la variation temporelle de ces tensions. Également, il existe d'autres modèles pour décrire le comportement en fonction de la température, de la fréquence etc. Dans cette thèse, nous nous focalisons sur les modèles statiques et dynamiques ; et comme exemples des modèles statiques, nous citons dans la suite deux approches : le modèle classique du MOSFET et le modèle RPI pour les a-Si:H TFTs [1]-[5].

2.1.1 Modèle classique de MOSFET

Le principe de base du fonctionnement des TFTs étant le même que celui des transistors MOSFETs, le modèle classique des MOSFETs peut être utilisé en premières approximations pour évaluer le comportement d'un TFT. Nous commencerons donc par présenter les équations d'un courant d'un MOSFET du type N.

En notant comme $\vec{x}$ l'axe parallèle au canal entre la source et le drain, le courant, pour une position *x*, est exprimé par l'équation suivante :

$$I(x) = \mu W q n_s(x) \frac{dV(x)}{dx}, \tag{2.1.1}$$

où μ indique la mobilité des électrons, W est la largeur de la grille, q est la charge élémentaire, n_s est la densité surfacique des électrons et V est le potentiel électrique dans le canal (pris à la position x). La densité surfacique de la charge induite par la tension de grille est :

$$q n_s(x) = C_i \left[V_{GS} - V_T - V(x) \right], \tag{2.1.2}$$

où C_i est la capacité par unité de surface de l'isolant de grille, V_{GS} est la différence de potentiel entre la grille et la source et V_T la tension de seuil. En combinant ces deux équations, nous obtenons :

$$I(x) = \mu W C_i \left[V_{GS} - V_T - V(x) \right] \frac{dV}{dx}. \tag{2.1.3}$$

[1] Modèle de TFTs développé par le *Rensselaer Polytechnic Institute*

Or, le courant ne dépend pas de la position *x*, donc en intégrant l'équation (2.1.3) sur la longueur du canal (*L*), nous obtenons l'expression du courant en mode linéaire.

$$I = \mu \frac{W}{L} C_i \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^{\ 2} \right] \tag{2.1.4}$$

Dans cette expression, V_{DS} indique la différence de potentiel entre le drain et la source.

Quand la différence de potentiel entre la grille et le drain (V_{GD}) devient égale à la tension de seuil V_T, le courant n'augmente plus ; le TFT est alors en mode saturé. En remplaçant V_{DS} par $V_{GS} - V_T$ dans l'équation (2.1.4), nous obtenons l'expression pour le courant en mode saturé.

$$I = \mu \frac{W}{L} C_i \frac{1}{2} (V_{GS} - V_T)^2 \tag{2.1.5}$$

2.1.2 Modèle RPI

Le modèle classique de MOSFET n'est pas adapté pour la simulation de circuits construits à base de TFTs : premièrement car la divergence entre le modèle et les mesures des TFTs réels rend impossible une reproduction fidèle du fonctionnement d'un circuit ; et deuxièmement car la discontinuité de la première dérivée (du courant par rapport aux tensions) nous empêche d'effectuer tous les calculs nécessaires lors de la simulation.

Le *Rensselaer Polytechnic Institute* (RPI) a développé plusieurs modèles compacts pour des différents composants microélectroniques, dont plus particulièrement les a-Si:H TFTs et les poly-Si TFTs. Nous présentons ici, la partie statique (équations du courant) du modèle RPI pour les a-Si:H TFTs, également classiquement appelé « *universal a-Si:H TFT model* ». Pour simplifier la notation, nous appellerons ce modèle dans la suite du manuscrit « modèle RPI », malgré d'autres modèles sous le même nom. La liste des paramètres avec leurs valeurs par défaut peut être trouvée dans les références [4] et [5].

Le modèle RPI modélise le courant de drain grâce à la description de trois régimes de fonctionnement : de fuite, sous le seuil et au-dessus du seuil ; et nous commençons la présentation du modèle par le régime au-dessus du seuil. Ce modèle considère qu'une fraction de la charge induite au niveau du canal par la tension de grille est piégée dans les états localisés, et que l'autre partie reste libre, ce qui permet d'écrire la conductance du canal (g_{chia}) sous la forme suivante :

$$g_{chia} = \frac{\mu_0 W q n_{sa}}{L} \tag{2.1.6}$$

Dans cette expression, n_{sa} et μ_0 indiquent respectivement la densité surfacique de charges libres et la mobilité des électrons dans la bande. Nous faisons ici la distinction entre deux mobilités des électrons. La première est celle dans la bande d'énergie (μ_0), qui est une propriété intrinsèque du matériau ; et la

deuxième est la mobilité effective dans un TFT, notée μ_{FET}, aussi appelée « *field-effect mobility* ». Dans le modèle, le rapport entre ces deux mobilités apparaît lié à la densité de charges avec l'expression ci-dessous :

$$\frac{\mu_{FET}}{\mu_0} = \frac{n_{sa}}{n_{ind}}, \tag{2.1.7}$$

où n_{ind} indique la densité de charge induite totale, qui est exprimé comme dans le modèle classique du MOSFET :

$$n_{ind} = \frac{C_i}{q}(V_{GS} - V_T). \tag{2.1.8}$$

Le modèle propose d'écrire le rapport (2.1.7) comme une fonction de V_{GS}, sous la forme de la loi de puissance avec trois paramètres : la tension de seuil (V_T), γ et V_{aa}.

$$\frac{\mu_{FET}}{\mu_0} = \frac{n_{sa}}{n_{ind}} = \left(\frac{V_{GS} - V_T}{V_{aa}}\right)^{\gamma} \tag{2.1.9}$$

En utilisant les équations (2.1.8) et (2.1.9) dans l'équation (2.1.6), nous trouvons l'expression de la conductance du canal en régime au-dessus du seuil.

$$g_{chia} = \mu_0 \frac{W}{L} C_i (V_{GS} - V_T)\left(\frac{V_{GS} - V_T}{V_{aa}}\right)^{\gamma} \tag{2.1.10}$$

La résistance d'accès (voir le chapitre 3) est insérée dans le modèle comme indiqué ci-dessous :

$$g_{cha} = \frac{g_{chia}}{1 + g_{chia}(R_S + R_D)}, \tag{2.1.11}$$

où g_{cha} est la « conductance extrinsèque du canal » dans le régime au-dessus du seuil ; et R_S et R_D sont respectivement la résistance d'accès à la source et au drain. La dépendance du courant en V_{DS} est mathématiquement interpolée par l'équation suivante :

$$I_a = g_{cha} V_{DSe}(1 + \lambda V_{DS}), \tag{2.1.12}$$

avec V_{DSe} écrite comme :

$$V_{DSe} = \frac{V_{DS}}{\left[1 + \left(\frac{V_{DS}}{\alpha_{sat}(V_{GS} - V_T)}\right)^M\right]^{1/M}}. \tag{2.1.13}$$

Le paramètre *M* traduit l'acuité de la transition entre le mode linéaire et le mode saturé, et le paramètre α_{sat} détermine la tension de saturation. Nous observons dans l'expression (2.1.13) que, pour des petites valeurs de V_{DS}, V_{DSe} est très proche de V_{DS} ; et pour des grandes valeurs de V_{DS}, V_{DSe} tend vers $\alpha_{sat}.(V_{GS} - V_T)$.

Dans le régime sous le seuil, le niveau de Fermi est localisé au niveau des états profonds et presque toute la charge induite est piégée. La conductance du canal dans ce régime (g_{chib}) est exprimée en fonction des propriétés des matériaux et de la densité surfacique de charge induite (n_{sb}) :

$$g_{chib} = \mu_0 \frac{W}{L} q n_{sb}, \tag{2.1.14}$$

où

$$n_{sb} = n_{so}\left[\frac{C_i}{\varepsilon_{Si}/t_m}\left(\frac{V_{GS} - V_{FB}}{V_0}\right)\right]^{\frac{2V_0}{V_e}}. \tag{2.1.15}$$

Dans cette expression, n_{so} est la densité caractéristique surfacique de charge, ε_{Si} indique la permittivité diélectrique du matériau a-Si:H, t_m l'épaisseur du canal et V_{FB} la tension de bande plate. Le paramètre V_0 est une tension caractéristique qui traduit la distribution (considérée exponentielle dans ce modèle) des états profonds et V_e est un paramètre qui lie V_0 et la température de fonctionnement. Les paramètres n_{so}, t_m, V_0 et V_e sont eux même décrits avec d'autres paramètres (voir références [4] et [5]) que nous ne présentons pas ici pour ne pas trop complexifier le propos.

La continuité entre le régime au-dessus du seuil et le régime sous le seuil est assurée en écrivant la conductance du canal (g_{chi}) sous la forme suivante :

$$g_{chi} = \frac{g_{chia} g_{chib}}{g_{chia} + g_{chib}} = \mu_0 \frac{W}{L} q \frac{n_{sa} n_{sb}}{n_{sa} + n_{sb}}, \tag{2.1.16}$$

d'où les équations (2.1.11) et (2.1.12) sont réécrites avec g_{chi} et g_{ch} au lieu de g_{chia} et g_{chi}.

$$g_{ch} = \frac{g_{chi}}{1 + g_{chi}(R_S + R_D)} \tag{2.1.17}$$

$$I_{ab} = g_{ch} V_{DSe}(1 + \lambda V_{DS}) \tag{2.1.18}$$

Les tensions V_T et V_{FB} limitent l'existence des fonctions n_{sa} et n_{sb} pour un certain intervalle de V_{GS}. Pour que les calculs de simulation de circuit soient pratiquement utilisables, il est nécessaire d'étendre le domaine d'existence de ces fonctions pour toutes les valeurs de V_{GS}. Pour cela, deux grandeurs V_{GTe} et V_{GFBe} sont introduites pour remplacer $(V_{GS} - V_T)$ et $(V_{GS} - V_{FB})$ dans toutes les équations du modèle.

$$V_{GTe} = \frac{V_{MIN}}{2}\left[1 + \frac{(V_{GS} - V_T)}{V_{MIN}} + \sqrt{\delta^2 + \left(\frac{V_{GS} - V_T}{V_{MIN}} - 1\right)^2}\right] \quad (2.1.19)$$

$$V_{GFBe} = \frac{V_{MIN}}{2}\left[1 + \frac{(V_{GS} - V_{FB})}{V_{MIN}} + \sqrt{\delta^2 + \left(\frac{V_{GS} - V_{FB}}{V_{MIN}} - 1\right)^2}\right] \quad (2.1.20)$$

Finalement le régime de fuite est écrit par une expression empirique.

$$I_{fuite} = I_{0L}\left[\exp\left(\frac{V_{DS}}{V_{DSL}}\right) - 1\right]\exp\left(-\frac{V_{GS}}{V_{GSL}}\right) + \sigma_0 V_{DS} \quad (2.1.21)$$

Le courant de drain en englobant tous les trois régimes est exprimé comme la somme entre I_{ab} et I_{fuite}.

$$I = I_{fuite} + I_{ab} \quad (2.1.22)$$

2.2 Modèles compacts dynamiques

Les modèles dynamiques décrivent le comportement des TFTs en réponse à la variation temporelle des tensions appliquées sur les électrodes de grille et de drain. Dans cette section, nous citons premièrement le modèle dynamique de Meyer [1],[6], proposé originalement pour les MOSFETs. Ensuite, nous présentons des modifications de ce modèle pour la simulation des TFTs.

2.2.1 Modèle de Meyer

Un des premiers modèles compacts dynamiques (et un des plus largement utilisés) est celui de Meyer, qui décrit le comportement dynamique d'un MOSFET ou d'un TFT par des équations des capacités. Dans ce modèle, un condensateur est ajouté entre la grille et la source (C_{GS}) et un autre entre la grille et le drain (C_{GD}) afin de représenter la capacité formée entre la grille et le canal, comme schématisé sur la figure 2.2-1. Le condensateur entre le drain et la source est classiquement négligé par raison géométrique.

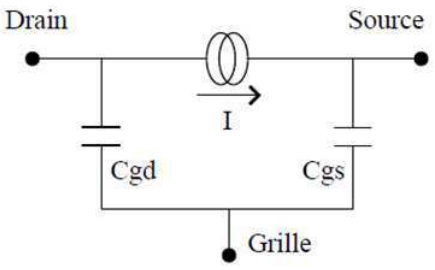

Figure 2.2-1 *Schéma d'un TFT lors de la modélisation compacte dynamique par des équations des condensateurs.*

Le modèle de Meyer utilise l'approche quasi-statique ; le TFT est considéré en équilibre à chaque instant. Quand un TFT est soumis à une variation des tensions appliquées, un certain temps est nécessaire pour que le TFT soit en équilibre. Dans l'approche quasi-statique, nous négligeons ce temps et considérons que le TFT atteint l'équilibre instantanément, ce qui permet de remplacer le condensateur entre la grille et le canal directement par C_{GS} et C_{GD} (voir le chapitre 4 pour plus de détails) ; le comportement dynamique se résume à la modélisation de ces condensateurs en fonction des tensions appliquées.

Nous présentons ici le modèle de Meyer comme il est décrit dans la référence [1]. En notant Q_G la charge totale à la grille, C_{GS} et C_{GD} sont ainsi définis comme ci-dessous.

$$C_{GS} = \left.\frac{\partial Q_G}{\partial V_{GS}}\right|_{V_{GD}} \tag{2.2.1}$$

$$C_{GD} = \left.\frac{\partial Q_G}{\partial V_{GD}}\right|_{V_{GS}} \tag{2.2.2}$$

La densité surfacique de charge induite au canal par la tension de grille est exprimée par l'équation (2.1.2). Donc la charge totale à la grille (réciproque à la charge totale induite) est :

$$Q_G = Wq\int_0^L n_s dx = WC_i \int_0^L [V_{GS} - V_T - V(x)]dx \tag{2.2.3}$$

Partant de (2.1.3), le changement de variable suivant est possible :

$$dx = \mu WC_i (V_{GS} - V_T - V)\frac{dV}{I} \tag{2.2.4}$$

d'où nous obtenons la relation suivante :

$$Q_G = \mu \frac{W^2 {C_i}^2}{I}\int_0^{V_{DS}} (V_{GS} - V_T - V)^2 dV = \frac{2}{3} WLC_i \frac{(V_{GS} - V_T)^3 - (V_{GD} - V_T)^3}{(V_{GS} - V_T)^2 - (V_{GD} - V_T)^2} \tag{2.2.5}$$

En effectuant les dérivations décrites dans (2.2.1) et (2.2.2), nous obtenons finalement les expressions suivantes pour C_{GS} et C_{GD}.

$$C_{GS} = \frac{2}{3} WLC_i \left[1 - \left(\frac{V_{GS} - V_T - V_{DS}}{2(V_{GS} - V_T) - V_{DS}}\right)^2\right] \tag{2.2.6}$$

$$C_{GD} = \frac{2}{3} WLC_i \left[1 - \left(\frac{V_{GS} - V_T}{2(V_{GS} - V_T) - V_{DS}}\right)^2\right] \tag{2.2.7}$$

Sur la figure 2.2-2 (a), nous notons que, quand la tension V_{DS} est nulle, C_{GS} et C_{GD} ont la même valeur, qui vaut la moitié de la capacité géométrique entre le canal et la grille.

$$C_{GS}\big|_{V_{DS}=0} = C_{GD}\big|_{V_{DS}=0} = \frac{1}{2}WLC_i \tag{2.2.8}$$

En mode de saturation, en remplaçant V_{DS} par $V_{GS} - V_T$, nous trouvons les expressions suivantes.

$$C_{GS} = \frac{2}{3}WLC_i \tag{2.2.9}$$

$$C_{GD} = 0. \tag{2.2.10}$$

Sur la figure 2.2-2 (b), nous observons que la somme entre C_{GS} et C_{GD} a une valeur maximum pour V_{DS} nul et minimum en mode saturé ; cela traduit bien la dépendance de la charge totale induite en fonction de V_{DS}.

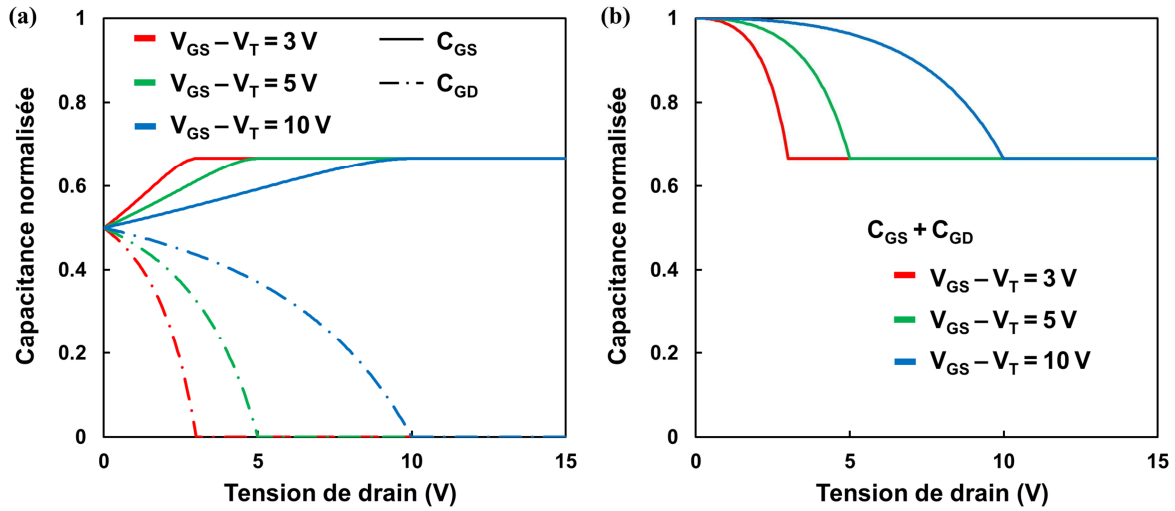

Figure 2.2-2 *Représentation des valeurs de (a) C_{GS} et C_{GD}, et (b) la somme des deux, normalisées par rapport à la* ***capacité*** *géométrique entre le canal et la grille (WLC_i), en fonction de V_{DS} pour des différentes valeurs de ($V_{GS} - V_T$).*

2.2.2 De la modélisation de Meyer aux TFTs

Le modèle de Meyer doit être modifié en plusieurs points pour être implémenté de manière efficiente dans les simulations de circuits à base de transistors a-Si:H TFTs comme dans les références [4] et [5]. Parmi les modifications insérées, nous en citons deux qui nous semblent les plus pertinentes : les capacités d'*overlap* et la continuité. Les équations (2.2.6) et (2.2.7) sont réécrites comme ci-dessous, en utilisant les mêmes dénominations utilisées dans la sous-section 2.1.2.

$$C_{GS} = C_{OLS} + \frac{2}{3}WLC_{gc}\left[1 - \left(\frac{\alpha(V_{GS} - V_T) - V_{DSe}}{2\alpha(V_{GS} - V_T) - V_{DSe}}\right)^2\right] \tag{2.2.11}$$

$$C_{GD} = C_{OLD} + \frac{2}{3} WLC_{gc}\left[1 - \left(\frac{\alpha(V_{GS} - V_T)}{2\alpha(V_{GS} - V_T) - V_{DSe}}\right)^2\right] \quad (2.2.12)$$

Dans ces équations, C_{OLS} et C_{OLD} indiquent les capacités d'*overlap* au niveau de la source et du drain, et C_{gc} est la capacité entre la grille et le canal, écrite sous la forme suivante :

$$C_{gc} = q\frac{dn_{SC}}{dV_{GS}}, \quad (2.2.13)$$

où n_{SC} unifie la densité de charge en régime au-dessus du seuil et en régime sous le seuil :

$$n_{SC} = \frac{n_{sac} n_{sbc}}{n_{sac} + n_{sbc}}. \quad (2.2.14)$$

Les grandeurs n_{sac} et n_{sbc} sont respectivement la densité surfacique de charge induite totale en régime au-dessus du seuil et en régime sous le seuil, exprimées comme ci-dessous.

$$n_{sac} = \frac{C_i V_{gte}}{q} \quad (2.2.15)$$

$$n_{sab} = n_{sb} \quad (2.2.16)$$

2.3 Extraction des paramètres

Pour qu'un modèle compact soit implémenté, nous devons connaître la signification de chacun des paramètres et savoir obtenir le plus précisément possible leur valeur. Ces paramètres peuvent être connus *a priori* comme la dimension géométrique ou les propriétés intrinsèques des matériaux, ou inconnus nécessitant alors une méthodologie d'extraction à partir de caractérisations adéquates. La méthode pour extraire ces paramètres inconnus doit être, avant tout, physiquement convaincante. En plus, la simplicité et la robustesse sont également souhaitables et enfin la subjectivité de l'extraction doit être la plus faible possible.

Chaque modèle exige une méthode d'extraction spécifique. Le nombre total des paramètres change, et la définition de ces derniers (par exemple, la tension de seuil ou la mobilité) peut varier selon les modèles. Donc la compatibilité entre le modèle et la méthode d'extraction est primordiale et doit être absolument garantie.

Dans cette section, nous présentons quelques méthodes de l'extraction des paramètres. Premièrement, nous abordons les paramètres dits « basiques » des TFTs, comme la tension de seuil et la mobilité en utilisant la formulation du modèle classique de MOSFET. Ensuite, nous focaliserons plus particulièrement sur la pente sous le seuil. Finalement, en nous plaçant dans le cadre du modèle

RPI, nous proposons une méthode optimisée d'extraction de la tension de seuil basée sur version modifiée de la fonction *H* [7], spécifiquement conçue pour ce modèle.

2.3.1 Méthode de type ELR

Nous ouvrons cette sous-section en citant un papier proposé par A. Ortiz-Conde *et al* [8], qui fait une ample compilation sur les différentes méthodes d'extraction des paramètres. La plupart des méthodes décrites correspond aux équations du modèle classique de MOSFET. Dans cette approche, les paramètres à être extraits sont la tension de seuil (V_T) et la mobilité (μ).

Entre les différentes approches proposées, la méthode dite ELR (*Extrapolation in the Linear Region*), illustrée sur la figure 2.3-1, est probablement la plus utilisée pour extraire la tension de seuil. Cette méthode consiste à approximer, par une droite, la courbe du courant en fonction de V_{GS} (pour une valeur fixe de V_{DS} en mode linéaire). L'équation (2.1.4) prévoit, en mettant la valeur du courant égale à zéro, la relation suivante :

$$I = 0 \quad \text{si} \quad V_{GS} \le V_T + \frac{1}{2}V_{DS} \tag{2.3.1}$$

Cette relation nous permet d'affirmer qu'il serait possible d'extraire la valeur de V_T en regardant simplement la valeur de V_{GS} où le courant est nul. Mais dans la pratique, cela n'est pas faisable car la transition entre l'état éteint et l'état allumé n'est pas aussi brusque que prévu dans le modèle (discontinuité de la dérivée). Donc, une droite est ajustée à la courbe et l'intersection de cette droite avec l'axe de V_{GS} est lue ; la valeur de V_T est donc estimée par :

$$V_T = V_{GS_INT} - \frac{1}{2}V_{DS}, \tag{2.3.2}$$

où V_{GS_INT} est la valeur de V_{GS} à l'intersection. Souvent, la valeur de V_T est directement associée à la valeur de V_{GS_INT}, sans considérer le terme avec V_{DS}.

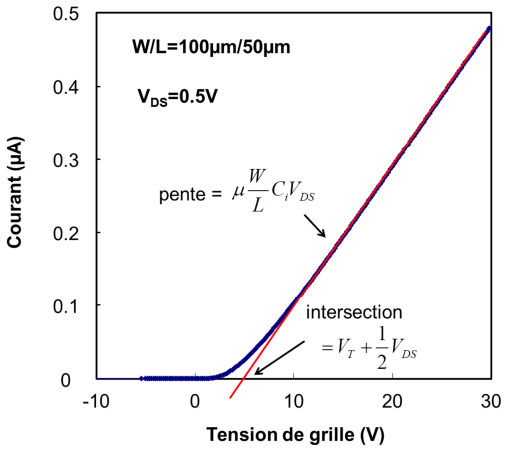

Figure 2.3-1 *Un exemple représentatif de l'extraction de la tension de seuil (V_T) et de la mobilité (μ) par la méthode dite ELR.*

La mobilité également peut être calculée de la même façon. La dérivée du courant par rapport à V_{GS} (autrement dit, la pente de la courbe du courant en fonction de V_{GS}) est définie sous le nom de « transconductance (*gm*) », qui est, dans le modèle classique du MOSFET, une constante.

$$gm \equiv \frac{\partial I}{\partial V_{GS}} = \mu \frac{W}{L} C_i V_{DS} \tag{2.3.3}$$

Donc, à partir de la droite ajustée, nous estimons la mobilité :

$$\mu = P \frac{L}{W C_i V_{DS}}, \tag{2.3.4}$$

où P est la pente de la droite ajustée.

En pratique, la courbe du courant n'est pas une droite parfaite, ce qui engendre une subjectivité de l'extraction ; le résultat obtenu par une régression linéaire peut dépendre drastiquement du choix de données, c'est-à-dire, de l'intervalle de V_{GS} dans lequel la régression linéaire est faite. Donc, en prenant une même série de données, deux différentes personnes peuvent extraire deux valeurs différentes de la tension de seuil et de la mobilité. Pour éliminer cette subjectivité, conventionnellement la valeur maximum de la pente est utilisée ; autrement dit, une droite tangente est tracée à la courbe du courant à V_{GS} correspondant à la valeur maximale de la transconductance, lisant alors sa pente et son intersection avec l'axe de V_{GS} pour calculer les paramètres. Notons que cette convention est également sujette à caution : d'un point de vue théorique, le sens physique de prendre la valeur maximale de la pente est discutable, et d'un point de vue pratique, le maximum de la transconductance n'est souvent pas présent dans l'intervalle de V_{GS} mesuré.

2.3.2 Méthode de type ESR

Toujours en prenant le modèle classique du MOSFET, il est possible d'extraire les paramètres à partir de l'équation (2.1.5) du courant en mode saturé, en approximant par une droite la courbe de la racine du courant en fonction de V_{GS}. Cette méthode est appelée « ESR (*Extrapolation in the Saturation Region*) ». En notant comme A le coefficient angulaire et comme B le coefficient linéaire de cette droite, nous avons les relations suivantes :

$$\sqrt{I_{sat}} = \sqrt{\frac{1}{2} \mu \frac{W}{L} C_i} (V_{GS} - V_T) = A V_{GS} + B \tag{2.3.5}$$

$$\mu = 2A^2 \frac{L}{W C_i} \tag{2.3.6}$$

$$V_T = -\frac{B}{A} \tag{2.3.7}$$

Les paramètres ainsi extraits n'ont pas forcément les mêmes valeurs que ceux obtenus par la méthode d'ELR. Outre ces deux méthodes, beaucoup d'autres sont proposées dans la littérature, comme la régression linéaire de la courbe de la transconductance, la valeur maximum de la deuxième dérivée du courant ou encore l'extraction par l'analyse dynamique (voir la sous-section 4.2.2). De ces différentes méthodes résultent en général différentes valeurs des paramètres, ce qui exige une grande attention pour l'interprétation et la comparaison de leurs valeurs.

2.3.3 Pente sous le seuil

Nous introduisons, ici, un autre paramètre important : la pente sous le seuil. Ce dernier traduit la vitesse de la transition entre l'état éteint et l'état allumé. Il est conventionnellement défini comme l'inverse de la pente de la courbe du logarithme (base de 10) du courant de drain en fonction de V_{GS}, en régime sous le seuil.

$$S = \left(\frac{\partial \log_{10} I}{\partial V_{GS}} \right)^{-1} \tag{2.3.8}$$

La méthode d'extraction la plus naturelle suit sa propre définition, simplement en effectuant une régression linéaire de la courbe en échelle logarithmique du courant en régime sous le seuil.

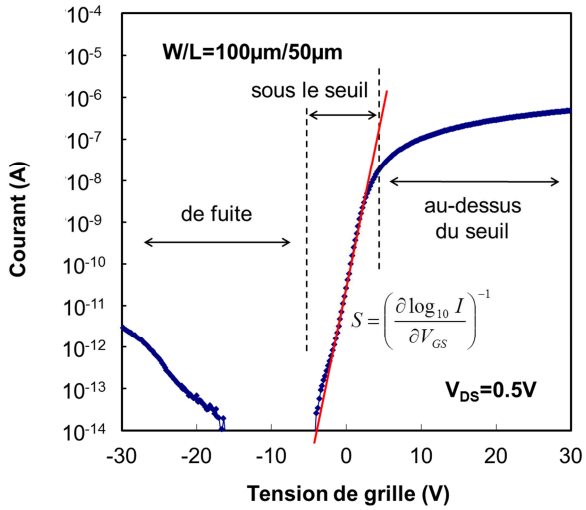

Figure 2.3-2 *Un exemple représentatif de l'extraction de la pente sous le seuil.*

2.3.4 Méthode de la fonction *H*

Les méthodes auxquelles les deux prochaines sous-sections se réfèrent ont été développées dans le cadre du modèle RPI. Ce modèle présente un grand nombre de paramètres à être extraits à partir de la caractérisation. Par des méthodes numériques comme les moindres carrés, il est

techniquement possible d'extraire tous les paramètres directement à partir des équations. Cependant nous ne pouvons pas affirmer que la solution numériquement trouvée est physiquement valable ; l'unicité de la solution n'est pas assurée.

Cela nous mène à chercher plutôt une méthode qui permette l'extraction en respectant au mieux la signification de chacun des paramètres. Comme ces derniers apparaissent souvent corrélés dans le modèle, il est préférable voire inévitable de simplifier les équations en effectuant des approximations. Ces approximations, évidemment, doivent être physiquement convaincantes et avoir le moins d'influence possible sur les valeurs des paramètres extraits.

Avant de présenter plus spécifiquement deux méthodes d'extraction, nous proposons d'effectuer certaines approximations. Premièrement nous nous plaçons dans le régime au-dessus du seuil, suffisamment loin de la transition entre les régimes au-dessus et sous le seuil, ce qui permet les approximations suivantes (ici, nous suivons la même nomenclature que celle proposée dans la sous-section 2.1.2) :

$$I \approx I_a \tag{2.3.9}$$

$$V_{GTe} \approx V_{GS} - V_T \tag{2.3.10}$$

Également, nous choisissons V_{DS} suffisamment faible pour que l'approximation suivante soit valable :

$$V_{DSe}(1+\lambda V_{DS}) \approx V_{DS} \tag{2.3.11}$$

Ces approximations permettent d'écrire le courant avec l'équation suivante :

$$I \approx \frac{(K/V_{aa}{}^{\gamma})(V_{GS}-V_T)^{\gamma+1}}{1+R(K/V_{aa}{}^{\gamma})(V_{GS}-V_T)^{\gamma+1}} V_{DS} \tag{2.3.12}$$

où

$$K = \mu_0 \frac{W}{L} C_i \tag{2.3.13}$$

Avec au total quatre paramètres : V_T, γ, R et $K/V_{aa}{}^{\gamma}$. Nous considérons le terme $K/V_{aa}{}^{\gamma}$ comme un seul paramètre car K et V_{aa} apparaissent corrélés dans les équations du courant au-dessus du seuil, rendant impossible leur extraction spécifique.

La méthode UMEM (*Unified Model and parameter Extraction Method*) [7] est un instrument permettant l'extraction complète des paramètres du modèle RPI, étape par étape. Le premier pas de cette méthode est la fonction H, qui extrait les paramètres V_T et γ en appliquant une intégrale au courant. Pour ce faire, nous devons effectuer dans l'expression (2.3.12) une autre approximation supplémentaire : la résistance d'accès est considérée négligeable. Donc le courant est écrit comme suivant :

$$I \approx (K/V_{aa}{}^{\gamma})(V_{GS} - V_T)^{\gamma+1} V_{DS} \tag{2.3.14}$$

La fonction H est définie comme l'intégrale du courant entre la tension de seuil et V_{GS} divisée par le courant à V_{GS}.

$$H(V_{GS}) = \frac{\int_{V_T}^{V_{GS}} I(V)dV}{I(V_{GS})} \tag{2.3.15}$$

En utilisant l'équation (2.3.14) dans l'équation (2.3.15), la fonction H peut s'écrire comme une expression simple avec deux paramètres seulement :

$$H(V_{GS}) = \frac{\int_{V_T}^{V_{GS}} I(V)dV}{I(V_{GS})} = \frac{1}{2+\gamma}(V_{GS} - V_T) \tag{2.3.16}$$

Pour mettre cette méthode en pratique, le choix des bornes de l'intégrale doit être discuté. Nous notons, dans la définition de la fonction H, que la borne inférieure de l'intégrale est la tension de seuil, qui n'est pas connue *a priori* et que nous voulons obtenir. En choisissant une valeur V_{T0} comme l'estimation de la tension de seuil, nous avons l'expression suivante :

$$\frac{\int_{V_{T0}}^{V_{GS}} I(V)dV}{I(V_{GS})} = \frac{\int_{V_{T0}}^{V_T} I(V)dV}{I(V_{GS})} + \frac{\int_{V_T}^{V_{GS}} I(V)dV}{I(V_{GS})} = \frac{\int_{V_{T0}}^{V_T} I(V)dV}{I(V_{GS})} + H(V_{GS}) \tag{2.3.17}$$

La valeur de V_{T0} est choisie de telle manière à rendre l'intégrale entre V_{T0} et V_T négligeable. Or, le courant au-dessus du seuil est de quelques ordres de grandeur plus grand que le courant à l'état éteint (courant de fuite). Donc, normalement V_{GS} égal à zéro ou encore V_{GS} correspondant au minimum du courant sont des bons choix pour la borne inférieure.

Cette méthode sépare l'extraction des paramètres d'une façon intelligente, et V_T et γ sont ainsi facilement obtenus par une simple régression linéaire. Cependant, l'approximation de la résistance d'accès négligeable peut être surtout pour les TFTs un mauvais choix. Dans ce cas-là, la fonction H n'est pas linéaire et le problème de la subjectivité de l'extraction apparaît alors de manière patente.

2.3.5 Méthode de la fonction H_J

Nous avons proposé dans les références [9] et [10] une nouvelle méthode de l'extraction des paramètres V_T et γ toujours dans le cadre du modèle RPI, mais qui ne nécessite pas de négliger la résistance d'accès dans l'équation (2.3.12).

Tout d'abord, en développant l'équation (2.3.12), nous écrivons la transconductance avec l'expression suivante :

$$gm = \frac{\partial I}{\partial V_{DS}} = I \frac{(\gamma+1)}{(V_{GS}-V_T)} \frac{1}{1+R(K/V_{aa}{}^{\gamma})(V_{GS}-V_T)^{\gamma+1}} \tag{2.3.18}$$

Nous notons que le courant au carré divisé par la transconductance est indépendant de la résistance d'accès.

$$\frac{I^2}{gm} = \frac{V_{DS}}{\gamma+1} \frac{K}{V_{aa}{}^{\gamma}} (V_{GS}-V_T)^{\gamma+2} \tag{2.3.19}$$

L'expression (2.3.19) est similaire à l'expression (2.3.14), ce qui permet d'appliquer la même méthode d'intégrale, notée ici H_J, pour la grandeur (2.3.19) :

$$H_J(V_{GS}) = \frac{\int_{V_T}^{V_{GS}} I^2(V)/gm(V)\,dV}{I^2(V_{GS})/gm(V_{GS})}. \tag{2.3.20}$$

Cette fonction également donne une expression simple avec deux paramètres V_T et γ :

$$H_J(V_{GS}) = \frac{1}{\gamma+3}(V_{GS}-V_T), \tag{2.3.21}$$

ce qui permet l'extraction des paramètres V_T et γ par régression linéaire. Avec ces deux paramètres connus, les autres deux paramètres R et $K/V_{aa}{}^{\gamma}$ peuvent être calculés de plusieurs façons. Par exemple, nous pouvons les extraire par une régression linéaire en utilisant l'expression suivante.

$$\frac{V_{DS}}{I} = \frac{1}{K/V_{aa}{}^{\gamma}} \frac{1}{(V_{GS}-V_T)^{(\gamma+1)}} + R \tag{2.3.22}$$

Pour vérifier la validité de la méthode de la fonction H_J, nous nous sommes basé sur des données expérimentales. Les TFTs utilisés sont du type N à base de silicium amorphe avec la structure de *bottom-gate staggered*. Pour que l'approximation (2.3.11) soit valable, la valeur de V_{DS} choisie a été de 0,05V. Nous avons alors fait varier V_{GS} de -10V à 30V, avec un pas de 0,2V. Bien que les phénomènes du stress électronique et de l'hystérésis soient potentiellement présents et qu'ils puissent affecter la fiabilité de la mesure, nous les négligeons dans cette analyse.

Pour évaluer la stabilité de l'extraction des paramètres en termes du choix de données (plage de V_{GS} choisie), nous avons calculé les paramètres V_T et γ pour chaque intervalle de largeur 10V (de V_{GS0} à V_{GS0} + 10V) et ces paramètres ont été tracés en fonction de V_{GS0} sur les figures 2.3-3. Par exemple, V_T estimé pour V_{GS0} = 5V sur la figure 2.3-3 (a) indique la valeur calculée par régression linéaire des données dans l'intervalle de V_{GS} compris entre 5V et 15V. La même analyse est faite pour les méthodes ELR et de la fonction H pour comparaison. Sur les figures 2.3-3, nous observons clairement que la méthode que nous proposons dite de la fonction H_J est beaucoup moins sensible au choix de l'intervalle de V_{GS} que les autres approches. Le paramètre V_T obtenu par la fonction H est

strictement croissant en V_{GS0} (et γ, strictement décroissant) montrant sa sensibilité au choix de données. Notons malgré tout que la fonction H_J montre le même comportement pour des faibles valeurs de V_{GS}, et cela en raison des approximations (2.3.9) et (2.3.10), où nous avons supposé les valeurs de V_{GS} dans le régime au-dessus du seuil suffisamment loin de la tension de seuil. Pour des valeurs de V_{GS} plus grandes, les paramètres obtenus se montrent constants. Cela traduit une réduction considérable de la subjectivité de l'extraction des paramètres en fonction du choix de l'intervalle de données lors de la régression linéaire.

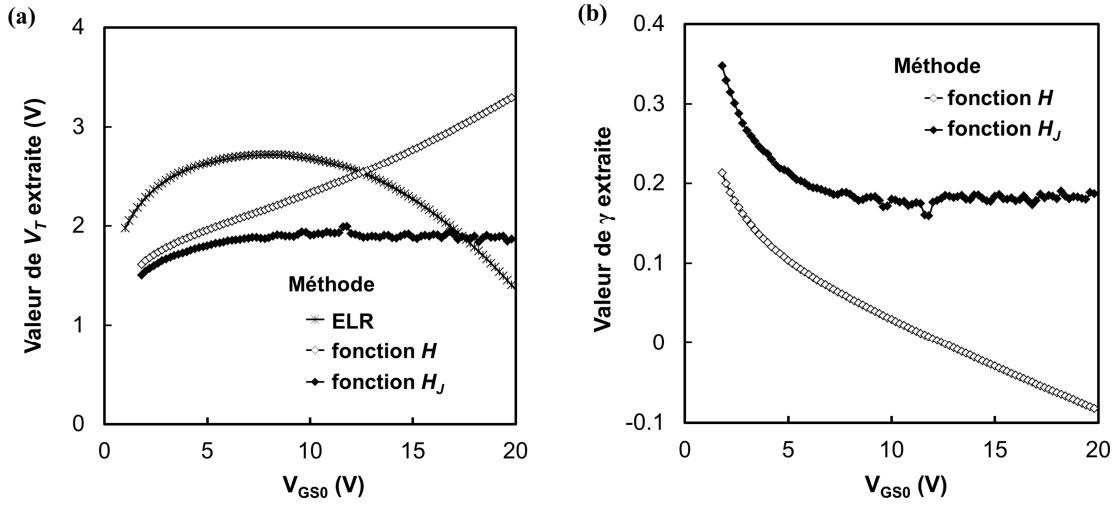

Figure 2.3-3 *(a) Les valeurs extraites pour le paramètre V_T par trois méthodes : ELR, fonction H et fonction H_J, et (b) pour le paramètre γ par deux dernières méthodes, avec des régressions linéaires dans chaque intervalle de V_{GS0} à V_{GS0} + 10 V. La taille du TFT utilisé est W/L = 200 µm/20 µm.*

Table 2.3-1 *Valeurs des paramètres extraits par la méthode de la fonction H_J.*

W/L (µm/µm)	V_T (V)	γ	R (Ω)	K/V_{aa}^{γ}	(K/V_{aa}^{γ}) / (W/L)
100/20	1,78	0,182	$7{,}77\text{x}10^{4}$	$6.62\text{x}10^{-8}$	$1.32\text{x}10^{-8}$
100/50	1,87	0,193	$1.21\text{x}10^{5}$	$2.84\text{x}10^{-8}$	$1.42\text{x}10^{-8}$
100/100	1,80	0,193	$1.95\text{x}10^{5}$	$1.45\text{x}10^{-8}$	$1.45\text{x}10^{-8}$
200/20	1,88	0,183	$3.90\text{x}10^{4}$	$1.32\text{x}10^{-7}$	$1.32\text{x}10^{-8}$
200/50	1,83	0,192	$6.04\text{x}10^{4}$	$5.69\text{x}10^{-8}$	$1.42\text{x}10^{-8}$

Nous remarquons que la fluctuation des valeurs des paramètres obtenues par la fonction H_J est plus accentuée que celles obtenues par les autres méthodes. Cela provient de la dérivation, qui augmente le bruit de calcul de la mesure. Cette fluctuation peut gêner l'emploi de cette méthode si la mesure expérimentale est bruitée. Pour cette raison, une attention aux conditions de la mesure est nécessaire. Notons aussi qu'il sera toujours possible d'ajouter un filtrage numérique de type passe-bas pour minimiser ce bruit (dérivation sur une bande de fréquence limitée).

Pour finir le processus d'extraction, nous avons utilisé l'équation (2.3.22) pour estimer les paramètres R et K/V_{aa}^{γ}, et les résultats obtenus sont montrés sur la table 2.3-1. Nous pouvons observer une certaine uniformité des valeurs extraites pour les paramètres V_T et γ et pour la grandeur $(K/V_{aa}^{\gamma})/(W/L)$. Pour des TFTs avec une même longueur, la valeur de la résistance d'accès se montre inversement proportionnelle à la largeur (W), ce qui est physiquement logique. En revanche, la dépendance de la résistance en longueur (L) est difficile à interpréter ; une analyse plus poussée est nécessaire pour comprendre l'origine de ce comportement inattendu. Les études réalisées dans le chapitre 3 peuvent être une piste.

Finalement, en utilisant ces quatre paramètres obtenus, nous avons calculé le courant avec l'équation (2.3.12) et comparé avec les données expérimentales sur la figure 2.3-4 (a). Pour une visualisation plus claire de cette comparaison, la différence relative entre les données expérimentales (I_{Exp}) et le courant calculé (I_{Calc}) est montrée sur la figure 2.3-4 (b). Ici, la différence relative est définie comme :

$$\Delta = \frac{I_{Calc} - I_{Exp}}{I_{Exp}} \times 100\%. \qquad (2.3.23)$$

La plus grande partie de la région au-dessus du seuil est bien décrite avec une différence relative inférieure à 0,05%. Pour les valeurs de V_{GS} près de la tension de seuil, nous observons que la différence est plus grande en raison du courant du régime sous le seuil et d'autres paramètres du régime au-dessus du seuil négligés dans l'équation (2.3.12).

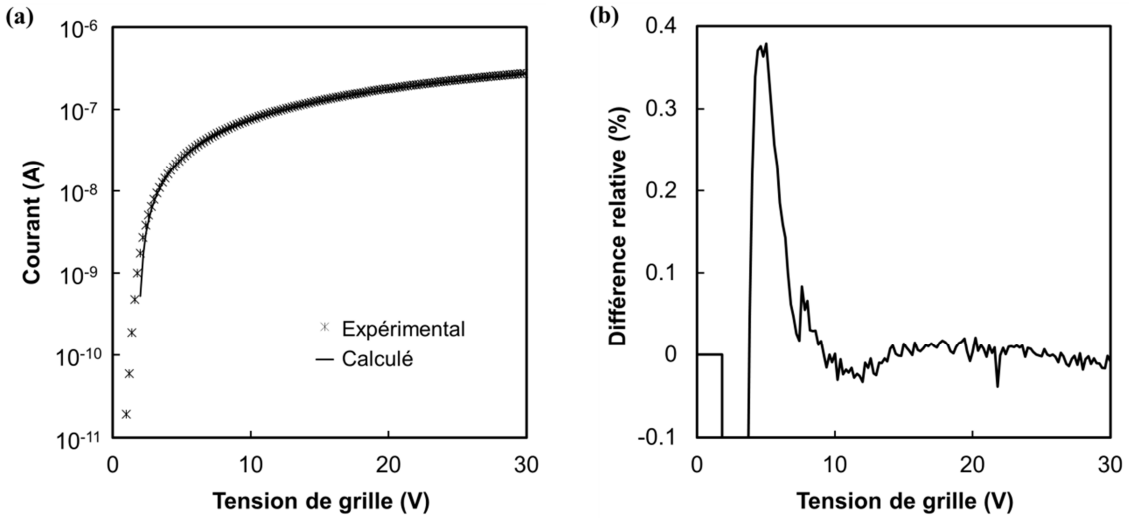

Figure 2.3-4 *(a) Comparaison entre les données expérimentales et le courant calculé avec des paramètres extraits et (b) la différence relative entre eux.*

2.4 Conclusion

Dans ce chapitre, nous avons présenté : le modèle statique classique du MOSFET, le modèle statique RPI, le modèle dynamique de Meyer et une version modifiée de ce dernier pour les TFTs. Les

méthodes conventionnelles pour extraire la tension de seuil et la mobilité sous la formulation du modèle classique du MOSFET ont été également présentées. Nous avons ensuite montré que, ces estimations étant insuffisantes pour décrire le comportement des TFTs, l'ambiguïté et la subjectivité du procédé d'extraction des principaux paramètres sont patentes en fonction du choix de l'intervalle de V_{GS}.

Dans le cadre du modèle statique RPI, nous avons étudié la méthode dite de la fonction *H*, qui extrait les paramètres V_T et γ par une régression linéaire. Cette méthode néglige la résistance d'accès dans l'équation du courant, ce qui est très fortement sujet à caution dans le cadre de TFTs et peut engendrer une très forte subjectivité de l'extraction. Nous avons proposé d'utiliser, au lieu du courant, la grandeur définie par le courant au carré divisé par la transconductance dans une nouvelle fonction *H* notée H_J. Cette grandeur ne dépend pas de la résistance d'accès, et permet également l'extraction des deux paramètres par une régression linéaire. Comme la résistance d'accès n'est pas considérée comme nulle dans cette nouvelle méthode, le résultat de l'extraction est nettement moins subjectif donc plus fiable. Effectivement, nous avons constaté que les valeurs des paramètres estimées par cette méthode se sont montrées notoirement moins sensibles au choix de l'intervalle de V_{GS} dans laquelle la régression linéaire est effectuée. Les paramètres obtenus ont présenté des valeurs physiquement raisonnables, mais la dépendance observée de la résistance d'accès en fonction de la longueur du TFT reste comme un point non-résolu.

Bibliographie du chapitre 2

[1] T. A. Fjeldly, T. Ytterdal and M. Shur, *Introduction to Device Modeling and Circuit Simulation*, New York, NY: John Wiley & Sons Inc., 1998.

[2] M. Shur, M. Hack and J. G. Shaw, "A new analytic model for amorphous silicon thin-film transistors," J. Appl. Phys., vol. 66, no. 7, pp. 3371-3380, Oct. 1989.

[3] M. S. Shur, H. C. Slade, M. D. Jacunski, A. A. Owusu and T. Ytterdal, "SPICE models for amorphous silicon and polysilicon thin film transistors," *J. Electrochem. Soc.*, vol. 144, no. 8, pp. 2833-2839, Aug. 1997.

[4] *SPICE Models Manual*, Santa Clara, CA: Silvaco Inc., 2012.

[5] *AIM-SPICE reference manual*, Version 4.0a, AIM-Software, 2004

[6] J. E. Meyer, "Mos models and circuit simulation," *RCA Rev.*, vol. 32, pp. 42-63, Mar. 1971

[7] A. Cerdeira, M. Extrada, R. Garcia, A. Ortiz-Conde, F. J. Garcia Sanchez, "New procedure for the extraction of basic a-Si:H TFT model parameters in the linear and saturation regions," *Solid-State Electron.*, vol. 45, no. 7, pp. 1077–1080, Jul. 2001.

[8] A. Ortiz-Conde, F. J. Garcia Sanchez, J .J. Liou, A. Cerdeira, M. Estrada and Y. Yue, "A review of recent MOSFET threshold voltage extraction methods," *Microelectron. Reliab.*, vol. 42, no. 4-5, pp. 583-596, Apr.-May 2002.

[9] J. W. Jin, Y. Bonnassieux, O. M. Moustapha and M. Oudwan, "New method for the extraction of abovethreshold regime parameters for the universal a-Si:H TFT model," *workshop C-TFT*, Tarragona - Spain, Jul. 2010

[10] J. W. Jin, M. Oudwan, D. Daineka, O. Moustapha and Y. Bonnassieux "Parameter extraction method for universal amorphous silicon thin-film transistors SPICE model," *IET Circuits, Devices & Systems*, vol. 6, no. 2, pp. 118-121, Mar. 2012.

Chapitre 3

Modélisation statique – résistance d'accès

Dans un transistor TFT, le canal est formé dans la couche active près de l'interface avec l'isolant de grille. Il est préférable que le canal soit en contact direct avec les électrodes de source et drain, sans aucun élément qui empêche le mouvement des porteurs de charge entre le canal et ces électrodes. Toutefois, dans un TFT réel, les porteurs de charge rencontrent une résistance avant d'accéder au canal. Il existe plusieurs raisons pour l'existence de cette résistance, comme la distance entre le canal et les électrodes et des barrières d'énergie entre deux différentes couches.

Dans la littérature, plusieurs noms apparaissent pour désigner cette résistance, avec de subtiles différences de définition, origine ou de nuance : « *series resistance* », « *contact resistance* », « *access resistance* » et « *parasitic resistance* ». Pour éliminer la confusion, nous allons définir chacun de ces termes. La « résistance de contact » désigne la résistance due aux barrières entre différentes couches (en général, entre le métal des électrodes et la couche semi-conductrice dopée). La « résistance d'accès » indique la résistance due au matériau présent entre le métal des électrodes et le canal. L'ensemble de ces résistances, indépendamment de leur origine, est appelé « résistance parasite ». Comme nous analysons des TFTs avec la couche fortement dopée N^+ permettant un contact quasiment ohmique, nous négligerons la résistance de contact dans la suite de ce chapitre. Ainsi, entre toutes ses expressions, nous utilisons seulement le terme « résistance d'accès ». Quant au terme « résistance en série », nous l'utiliserons pour nommer une des approches possibles pour modéliser la résistance parasite.

Dans ce chapitre, nous étudierons la résistance d'accès dans les TFTs. La première section abordera l'approche de la résistance en série ainsi que l'influence de la résistance d'accès sur la courbe de la transconductance du transistor. Dans la deuxième section, nous étudierons la résistance d'accès dans le cas d'une structure de TFT de type « *top-gate coplanar* », en montrant qu'elle est dépendante,

pour des raisons géométriques, de la tension de grille. Dans la troisième et dernière section de ce chapitre, nous étudierons la résistance d'accès dans le cas d'une structure « *bottom-gate staggered* », en discutant des limitations du modèle actuel : « *current crowding model* » et en montrant que la résistance d'accès dans ce type de structure est dépendante de la tension appliquée mais également du courant. Pour la simplicité de notation, nous appellerons dans la suite la structure « *top-gate coplanar* » comme « structure TGC » et la structure de « *bottom-gate staggered* » comme « structure BGS ».

3.1 Résistance en série

La résistance d'accès d'un TFT, d'une façon générale, peut être modélisée comme une résistance entre la source et le canal et une autre résistance entre le canal et le drain, tous les deux en série avec le canal, comme illustré sur la figure 3.1-1. Dans cette approche, la résistance totale du TFT, qui est le rapport entre la différence de potentiel entre le drain et la source et le courant, est écrite comme la somme entre la résistance du canal et les deux résistances d'accès :

$$\frac{V_{DS}}{I} = \frac{1}{g_{ch}} + R_S + R_D . \tag{3.1.1}$$

Dans l'équation (3.1.1), I et V_{DS} définissent respectivement le courant de drain et la tension entre le drain et la source ; g_{ch} la conductance du canal ; et R_S et R_D la résistance d'accès à la source et au drain. En réorganisant (3.1.1) et en groupant R_S et R_D dans un seul terme (R), nous obtenons l'expression suivante pour le courant.

$$I = \frac{g_{ch} V_{DS}}{1 + R g_{ch}} \tag{3.1.2}$$

$$R = R_S + R_D \tag{3.1.3}$$

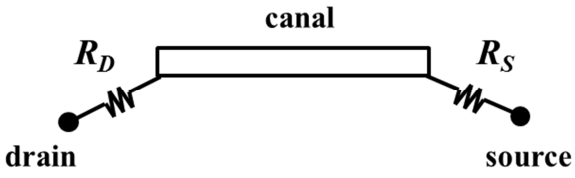

Figure 3.1-1 *Résistance d'accès en série avec le canal*

Une façon simple d'évaluer l'effet de la résistance d'accès consiste à observer la courbe de la transconductance (*gm*). Cette grandeur est définie comme la dérivée du courant par rapport à la tension de grille (V_{GS}).

$$gm \equiv \frac{\partial I}{\partial V_{GS}} \tag{3.1.4}$$

Pour les premières analyses, nous faisons l'hypothèse que les paramètres (principalement la résistance d'accès) sont indépendants des tensions appliquées et considérons le cas de faibles valeurs de V_{DS} (de l'ordre de 0,1V). En utilisant l'équation (3.1.2) dans (3.1.4), nous obtenons l'expression générale pour la transconductance :

$$gm = \frac{V_{DS}}{(1+Rg_{ch})^2}\frac{\partial g_{ch}}{\partial V_{GS}} \tag{3.1.5}$$

Si nous utilisons le modèle classique du MOSFET pour la conductance du canal :

$$g_{ch} = \mu\frac{W}{L}C_i(V_{GS}-V_T) \tag{3.1.6}$$

Nous obtenons alors l'expression suivante pour la transconductance :

$$gm = \frac{V_{DS}}{\left[1+R\mu\frac{W}{L}C_i(V_{GS}-V_T)\right]^2}\mu\frac{W}{L}C_i, \tag{3.1.7}$$

qui est strictement décroissante pour V_{GS} plus grand que la tension de seuil (V_T), qui donc ne décrit pas correctement les courbes de la transconductance de nos TFTs (voir les figures 3.1-2, 3.1-3 et 3.1-4).

Maintenant, utilisons le modèle RPI pour la conductance du canal. Comme nous avons supposé une valeur suffisamment faible de V_{DS}, l'approximation de V_{DSe} par V_{DS} est possible.

$$g_{cha} = \mu_0\frac{W}{L}C_i\frac{(V_{GS}-V_T)^{\gamma+1}}{V_{aa}{}^{\gamma}} \tag{3.1.8}$$

Cela donne l'expression suivante pour la transconductance :

$$\begin{aligned} gm &= \frac{V_{DS}}{\left[1+R\mu_0\frac{W}{L}C_i\frac{(V_{GS}-V_T)^{\gamma+1}}{V_{aa}{}^{\gamma}}\right]^2}(\gamma+1)\mu_0\frac{W}{L}C_i\frac{(V_{GS}-V_T)^{\gamma}}{V_{aa}{}^{\gamma}} \\ &= \frac{I}{V_{GS}-V_T}\frac{(\gamma+1)}{1+\mu_0 R\frac{W}{L}C_i\frac{(V_{GS}-V_T)^{\gamma+1}}{V_{aa}{}^{\gamma}}}, \end{aligned} \tag{3.1.9}$$

qui atteint une valeur maximale pour V_{GS} égal à :

$$V_{GS_M} = V_T + \sqrt[(\gamma+1)]{\frac{\gamma V_{aa}{}^{\gamma}}{(\gamma+2)}\frac{L}{\mu_0 RWC_i}}. \tag{3.1.10}$$

Cette expression peut être facilement obtenue en écrivant l'annulation de la valeur de la dérivée de la transconductance. Nous remarquons que, si R est nul, gm est strictement croissant pour V_{GS} plus grand que V_T (pour γ positif).

Pour évaluer (qualitativement) l'expression (3.1.10), nous présentons, sur les figures suivantes, quelques exemples de la transconductance des a-Si:H TFTs ayant la structure BGS. Sur la figure 3.1-2, la transconductance, normalisée par rapport à sa valeur maximale, est tracée en fonction de V_{GS} pour différentes longueurs du canal des TFTs (L), et nous observons que la valeur maximale est atteinte pour une valeur de V_{GS} plus faible si la longueur est plus courte, ce qui est prévu par l'expression (3.1.10). Sur la figure 3.1-3, nous faisons varier la largeur du canal (W), et nous observons que la transconductance normalisée ne montre pas de variation significative. Cela prouve que le produit entre la résistance d'accès (R) et la largeur peut être considéré comme constante, ce qui est physiquement raisonnable.

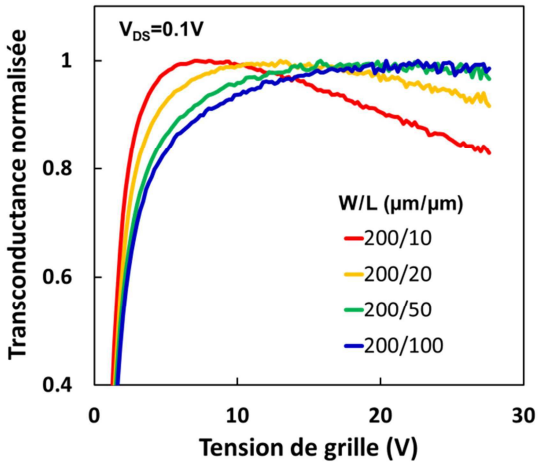

Figure 3.1-2 *Transconductance normalisée par rapport à sa valeur maximale des a-Si:H TFTs avec la structure BGS en variant la longueur, sous V_{DS} = 0,1 V.*

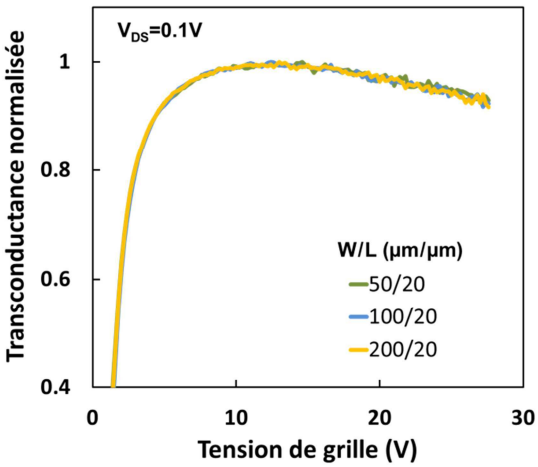

Figure 3.1-3 *Transconductance normalisée par rapport à sa valeur maximale des a-Si:H TFTs avec la structure BGS en variant la largeur, sous V_{DS} = 0,1 V.*

Les figures 3.1-2 et 3.1-3 montrent bien la manifestation de la résistance d'accès sur la courbe de la transconductance comme le modèle RPI la prévoit. Cependant, nous pouvons trouver des cas où le modèle RPI échoue. La figure 3.1-4 montre l'allure typique de la transconductance des TFTs à base de silicium microcristallin avec les deux différentes structures : BGS (fabriqués au LPICM) et TGC (fabriqués à l'IETR), quand V_{DS} est de 0,1V. Sur cette figure, nous observons une différence claire entre les deux courbes : celle de la structure BGS présente une courbure qui a l'air d'atteindre une valeur maximale (également observé sur les figures 3.1-2 et 3.1-3) tandis que celle de la structure TGC est continûment croissante.

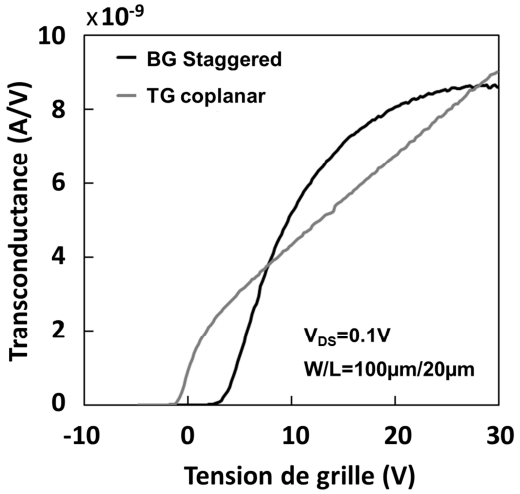

Figure 3.1-4 *L'allure typique de la transconductance des TFTs à base de silicium microcristallin avec la structure BGS (courbe noire) et TGC (courbe grise).*

Nous savons que le modèle RPI décrit suffisamment bien le comportement des a-Si:H TFTs, étant ainsi amplement employé dans les simulateurs des circuits comme SPICE. La courbe de la transconductance des transistors µc-Si TFTs avec la structure BGS montre un comportement similaire à celle des a-Si:H TFTs (figures 3.1-2 et 3.1-3) ; nous rappelons que la structure standard pour les a-Si:H TFT est BGS. Toutefois, la transconductance du µc-Si TFT avec une structure TGC semble ne pas correspondre aux expressions (3.1.9) et (3.1.10).

L'insuffisance du modèle RPI pour les µc-Si TFTs avec une structure de type TGC se manifeste également lors de l'extraction des paramètres. Nous avons constaté que, si nous utilisons le modèle RPI pour ces TFTs et cherchons à extraire les paramètres qui correspondent à ce modèle, soit analytiquement par la méthode de la fonction H_J soit numériquement par la méthode des moindres carrés, le résultat d'extraction montrait des valeurs négatives pour la résistance d'accès (à savoir, de l'ordre de $-10^4\Omega$ et $-10^5\Omega$). Ce dernier point, étant physiquement absolument non réaliste, nous a amenés à étudier le comportement de la structure TGC en détails.

3.2 Structure « *top-gate coplanar* »

Dans cette section, nous étudions la résistance d'accès pour le cas d'un TFT ayant une structure du type TGC. Dans le but de comprendre l'origine de cette divergence, nous comparons la géométrie des deux structures : TGC et BGS ; et à partir de cette comparaison et des simulations par la méthode des éléments finis en 2D (ATLAS et ATHENA de Silvaco TCAD), nous proposons une approche pour la modélisation compacte des TFTs ayant la structure TGC.

3.2.1 Longueur d'*overlap*

Tout d'abord, nous cherchons à comparer la géométrie des deux structures que nous étudions : BGS et TGC, schématisées sur la figure au-dessous.

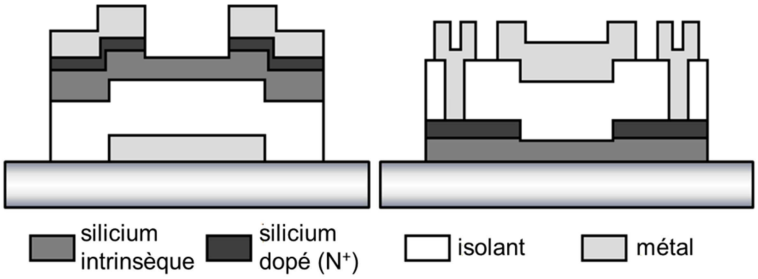

Figure 3.2-1 *Structure BGS (à gauche) et TGC (à droite).*

Une des différences les plus marquantes entre les deux structures est la localisation du canal. Clairement, le canal dans les deux structures se crée dans la couche intrinsèque près de l'interface avec l'isolant de grille, mais la position de cette interface varie. Dans la structure BGS, la grille et les électrodes source et drain se positionnent sur les deux côtés opposés de la couche intrinsèque. En plus, l'interface entre la couche intrinsèque et l'isolant est étendue aux régions d'*overlap*, en permettant le passage du courant dans une longueur importante (longueur caractéristique de l'*overlap* du modèle de *current crowding*, voir section 3.3) au-dessous des électrodes source et drain. En revanche, dans la structure TGC, les trois électrodes se trouvent sur le même côté, et le canal est parfaitement délimité entre les électrodes source et drain ; la longueur du canal créé est la distance entre les deux électrodes. En plus, la couche intrinsèque dans les régions d'*overlap* n'est pas sous influence de la grille en raison de l'écrantage généré par les couches dopées.

Cette différence géométrique engendre des comportements différents des deux structures en fonction de la variation de la longueur d'*overlap*. La figure 3.2-2 résume l'effet de la variation de la longueur d'*overlap* sur la performance des TFTs, à travers des simulations par éléments finis via ATLAS. Dans le cas de la structure BGS, nous observons 8% et 25% de réduction du courant (à V_{GS} = 30 V) quand la longueur d'*overlap* est réduite respectivement de 5 µm à 1 µm et de 5 µm à 0,1 µm. En parallèle, la réduction du courant dans la structure TGC est seulement de 0,4 % quand la longueur d'*overlap* varie de 5 µm à 0,1 µm. L'effet de la variation de l'*overlap* a une action significative pour le TGC seulement quand sa longueur devient négative, c'est-à-dire, quand la grille ne couvre aucune

partie des régions dopées et cela, avec un écart horizontal entre la grille et les régions dopées, comme montré sur la figure 3.2-3.

En résumant, la structure de TGC est peu dépendante de la longueur d'*overlap*, et le concept de la longueur caractéristique d'*overlap* peut être considéré comme ne s'appliquant pas à cette structure.

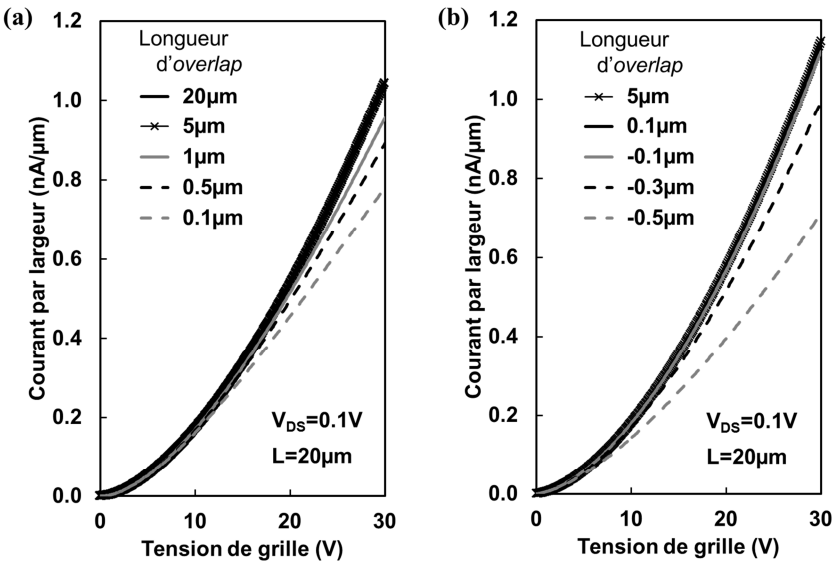

Figure 3.2-2 *Simulation ATLAS de l'effet de la variation de la longueur d'overlap (a) dans la structure BGS et (b) dans la structure TGC.*

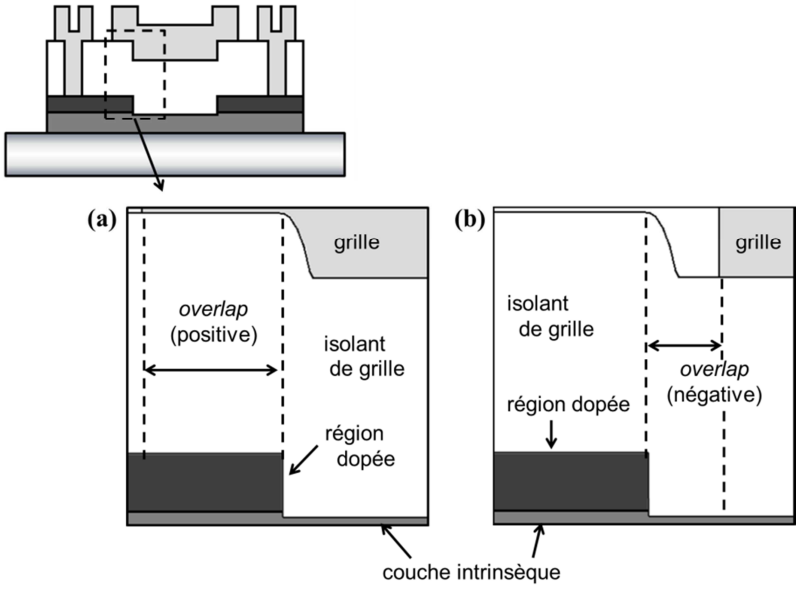

Figure 3.2-3 *Représentation d'une longueur d'overlap (a) positive et (b) négative dans la structure TGC.*

3.2.2 Accès au canal

Toujours en analysant la localisation du canal dans les deux structures, observons la distance entre la couche dopée et l'interface entre l'isolant et la couche intrinsèque. Dans la structure BGS, cette distance correspond à l'épaisseur de la couche intrinsèque ; les électrons ont besoin de traverser la couche intrinsèque en profondeur pour aller du canal aux régions dopées et vice-versa, d'où la résistance d'accès dans cette structure (nous considérons que le contact est ohmique et négligeons la résistance de contact). Par contre, dans la structure TGC, la distance correspond à l'épaisseur de surgravure de la couche intrinsèque lors de la gravure de la couche dopée pendant la fabrication des TFTs (estimée d'environ 10nm sur les TFTs fabriqués par l'IETR), une distance donc nettement plus faible et qui signifie une réduction importante de la résistance d'accès. En plus, la diffusion des électrons de la couche dopée vers la couche intrinsèque rend beaucoup plus conductrice la région plus proche de la couche dopée. Donc la résistance que les électrons rencontrent pour arriver jusqu'à l'interface dans la structure TGC est très basse par rapport à celle dans la structure BGS.

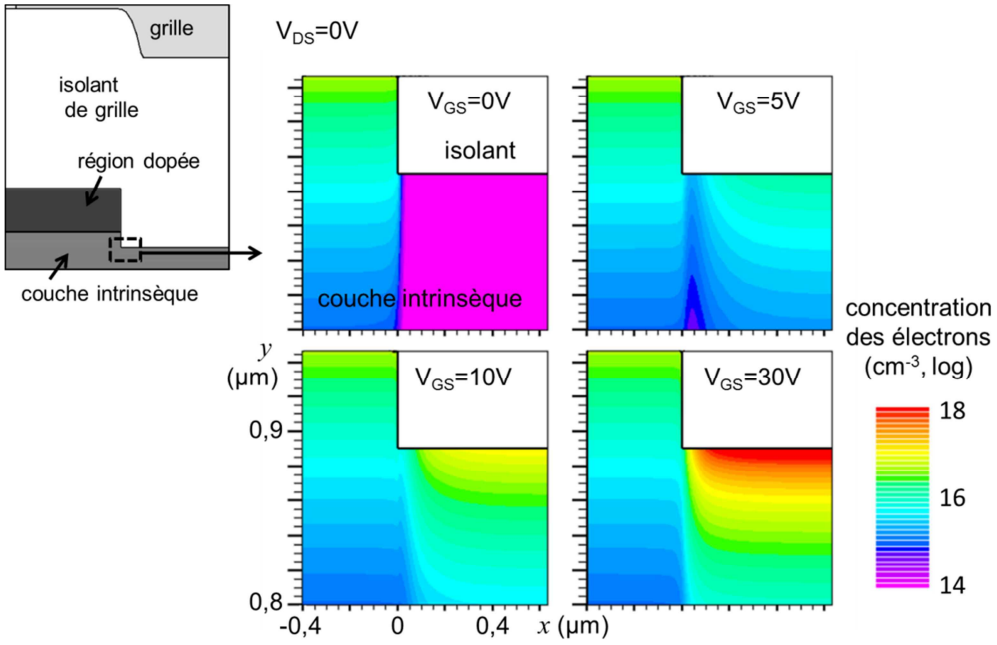

Figure 3.2-4 *Simulation ATLAS de la concentration des électrons induits par la tension de grille dans un TFT avec la structure TGC, près de la région dopée. V_{DS} est nulle.*

Mais pour conclure l'analyse sur la résistance d'accès dans la structure TGC, il reste un point important, qui augmente considérablement la résistance d'accès. Sur les figures 3.2-3, nous pouvons observer l'allure de l'isolant de grille recouvrant les couches dopée et intrinsèque. Ces figures ont été obtenues en utilisant le simulateur ATHENA de l'outil Silvaco TCAD, qui simule les étapes de la fabrication des composants microélectroniques. Si le sens de croissance n'est pas contrôlé spécifiquement lors du dépôt par PECVD, le dépôt se fait sur des surfaces horizontales et, également, sur des parois verticales, ce qui aboutit à la forme de l'isolant déposé comme montrée sur les figures 3.2-3 ; l'épaisseur de l'isolant de grille n'est pas uniforme et est plus importante près des régions

dopées. Cette géométrie particulière a comme conséquence une concentration des charges plus faible près des régions dopées, ce qui est mis en évidence sur la figure 3.2-4.

Non seulement l'épaisseur non-uniforme de l'isolant mais aussi l'effet au bord (dans le sens de la description qui suit) contribue à la concentration des électrons plus faible près des régions dopées. Pour illustrer son effet, nous empruntons l'étude classique sur le champ électrique créé par une ligne de charges. Sur la figure 3.2-5, nous approximons la grille (en représentation bidimensionnelle) par une ligne. Près d'une des extrémités, nous la considérons semi-infinie. Nous avons les expressions connues pour le champ électrique résultant pour la ligne infinie :

$$E_x = \int_{-\infty}^{+\infty} \frac{1}{4\pi\varepsilon} \frac{\sin\theta}{r^2} \lambda dx = 0 \tag{3.2.1}$$

$$E_y = \int_{-\infty}^{+\infty} \frac{1}{4\pi\varepsilon} \frac{\cos\theta}{r^2} \lambda dx = \frac{\lambda}{2\pi\varepsilon D} \tag{3.2.2}$$

où E_x et E_y sont les composants du champ électrique respectivement dans la direction parallèle et perpendiculaire à la ligne de charges, ε est la permittivité diélectrique de l'isolant, λ est la densité linéaire de charges sur la ligne, et D est l'épaisseur de l'isolant. Pour la ligne de charges semi-infinie, nous obtenons facilement les expressions suivantes :

$$E_x = \int_{-\infty}^{X} \frac{1}{4\pi\varepsilon} \frac{\sin\theta}{r^2} \lambda dx = -\frac{\lambda}{4\pi\varepsilon D} \left(\frac{1}{\sqrt{1+(X/D)^2}} \right) \tag{3.2.3}$$

$$E_y = \int_{-\infty}^{X} \frac{1}{4\pi\varepsilon} \frac{\cos\theta}{r^2} \lambda dx = \frac{\lambda}{4\pi\varepsilon D} \left(1 + \frac{1}{\sqrt{1+(D/X)^2}} \right) \tag{3.2.4}$$

où X est la distance horizontale jusqu'à l'extrémité de la ligne. Bien que cette analyse soit très approximative, elle montre que la magnitude de la concentration des charges doit varier aux extrémités de la région dont l'épaisseur de l'isolant est uniforme.

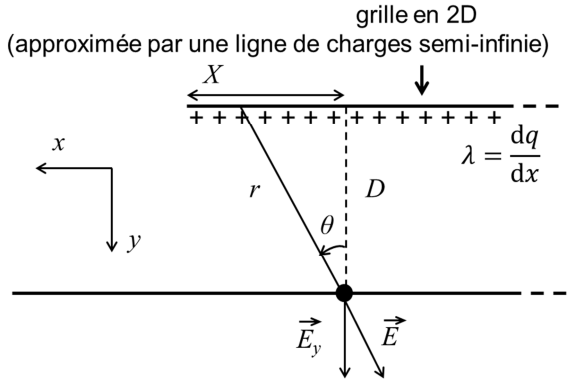

Figure 3.2-5 *Schéma de l'effet au bord dans la structure TGC.*

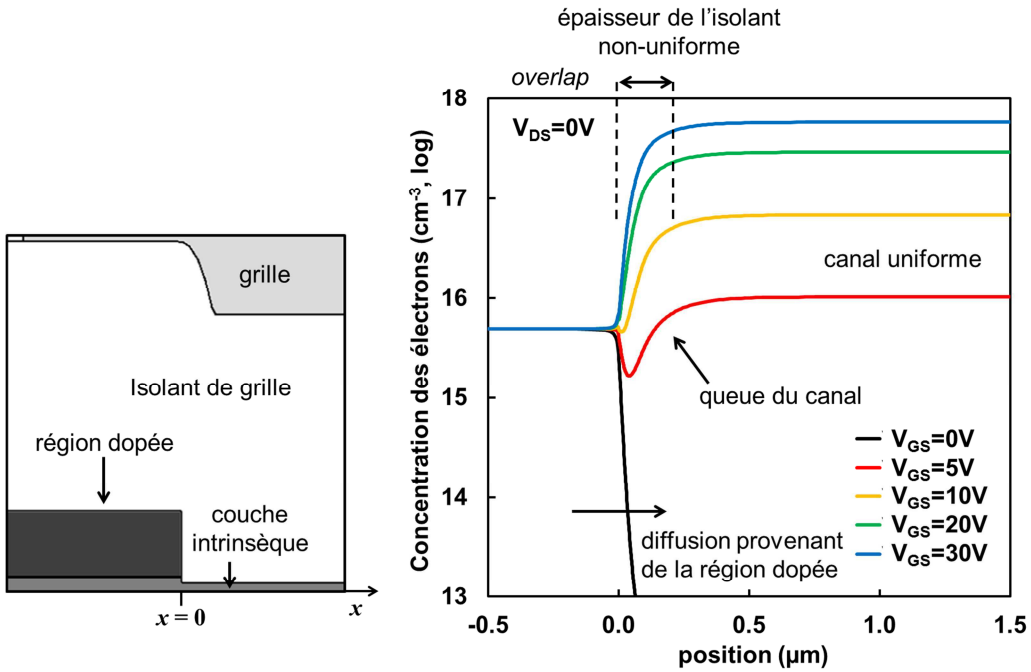

Figure 3.2-6 *Simulation ATLAS de la concentration des électrons dans le canal (à 1nm de distance de l'interface avec l'isolant) près de la région dopée dans un TFT avec la structure TGC.*

La figure 3.2-6 montre la concentration des électrons dans la couche intrinsèque, à 1nm de distance de l'interface avec l'isolant de grille. La position x = 0 indique la fin de la région dopée, comme le montre la figure. Nous identifions sur cette dernière trois mécanismes : diffusion des électrons de la région dopée vers la couche intrinsèque, concentration des électrons constante dans le canal (ce que nous appellerons « canal uniforme ») et une « queue du canal ». Nous observons que l'induction des charges ne se fait d'une façon uniforme qu'à une certaine distance de la région dopée. Entre ce canal et la région dopée, nous notons la queue du canal, qui est le résultat des deux différents mécanismes : l'induction des charges non-uniforme (en raison de la variation de l'épaisseur de l'isolant et de l'effet au bord), et la diffusion des électrons provenant du canal uniforme. Nous pouvons observer que, si la concentration des électrons est suffisamment élevée, la queue du canal devient prédominante par rapport à la diffusion provenant de la région dopée.

La distance horizontale entre la région dopée et le canal uniforme crée une résistance d'accès, et comme la concentration des électrons dans la queue du canal augmente avec V_{GS}, cette résistance d'accès diminue avec V_{GS}.

3.2.3 Modélisation

L'analyse précédente nous mène à modéliser les TFTs avec une structure TGC de la façon suivante : le canal uniforme avec une longueur effective, plus courte que la longueur nominale du TFT (distance entre la source et le drain), en série avec les deux composants de la résistance d'accès (queue du canal aux deux extrémités du canal uniforme). Leurs longueurs vérifient la relation suivante :

$$L = L_{eff} + L_{RS} + L_{RD} \tag{3.2.5}$$

où L est la longueur nominale de TFT, L_{eff} la longueur effective (canal uniforme), L_{RS} la longueur de la résistance d'accès à la source (queue du canal à la source) et L_{RD} la longueur de la résistance d'accès au drain (queue du canal au drain). Nous notons que, en raison de l'effet au bord, la valeur de L_{RS} (et de L_{RD}) est plus grande que la longueur de la région présentant l'épaisseur de l'isolant non-uniforme.

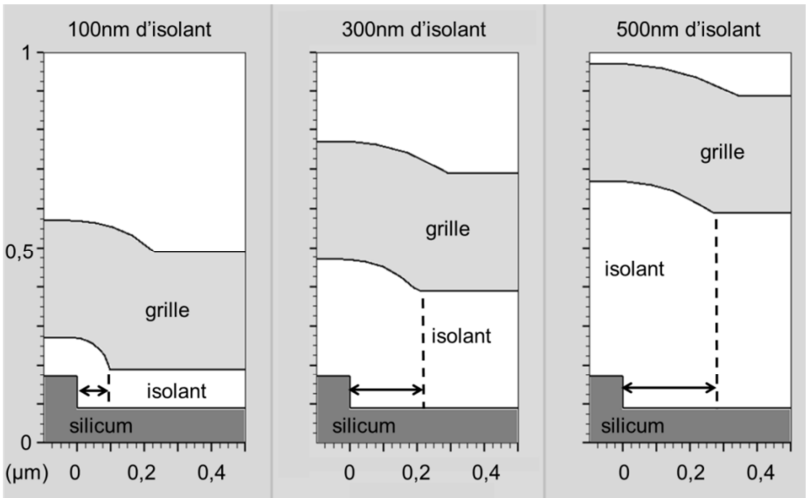

Figure 3.2-7 *Simulation ATHENA de la fabrication des TFTs avec la structure TGC, en variant l'épaisseur de l'isolant.*

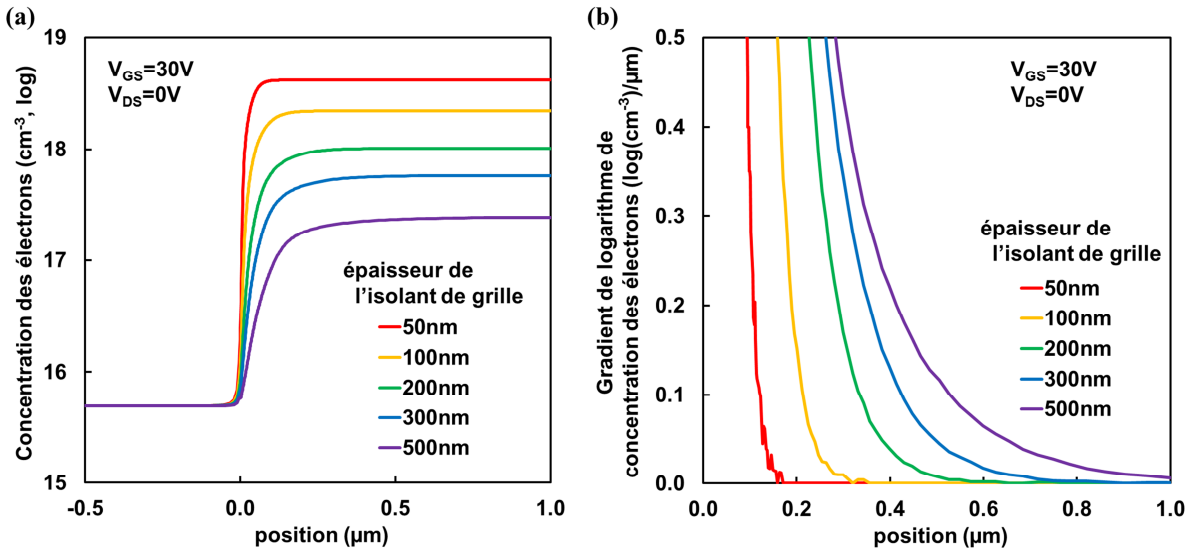

Figure 3.2-8 *(a) Simulation ATLAS de la concentration des électrons induits par la tension de grille dans la structure TGC avec des différentes épaisseurs de l'isolant de grille et (b) son gradient.*

La longueur effective dépend de la géométrie des TFTs. Sur la figure 3.2-7, nous avons fait varier l'épaisseur de l'isolant de grille. Nous pouvons facilement observer que la région dans laquelle l'épaisseur de l'isolant est uniforme se trouve plus éloignée de la région dopée si l'isolant est plus épais. En plus, les expressions (3.2.3) et (3.2.4) suggèrent également la dépendance de la longueur effective du canal en fonction de l'épaisseur de l'isolant ; la validité de l'approximation de type ligne

infinie de charges dépend du rapport entre D et X, donc la position du début du canal uniforme doit être placé plus vers le milieu du canal si l'isolant est plus épais.

La figure 3.2-8 (a) montre la concentration des électrons sous V_{GS} = 30 V et V_{DS} = 0 V dans les TFTs ayant différentes épaisseurs de l'isolant. Clairement, si l'isolant est moins épais, la queue du canal est plus courte. Sur la figure 3.2-8 (b), nous traçons son gradient afin d'estimer la longueur de la queue du canal en trouvant la position à partir de laquelle la concentration des électrons devient constante. Comme une première estimation (très approximative) à partir de cette figure, nous proposons comme valeur de la longueur de la queue du canal le triple de l'épaisseur de l'isolant.

$$L_{RS} = L_{RD} \sim 3D \tag{3.2.6}$$

L'épaisseur n'est pas le seul facteur qui influence la longueur effective. Sans changer l'épaisseur, nous avons fait varier la forme de l'isolant en utilisant ATHENA, comme illustré sur les figures 3.2-9. La figure 3.2-9 (b) est la géométrie obtenue en simulant le procédé de la fabrication réel, et les autres figures sont obtenues en introduisant des étapes supplémentaires de dépôt et lithographie dans la simulation ATHENA. La concentration des électrons (lue à 1 nm de distance de l'interface avec l'isolant de grille) à V_{GS} = 30 V et V_{DS} = 0 V dans les TFTs avec ces formes est présentée sur la figure 3.2-10 ; et le courant et la transconductance à V_{DS} = 0,1 V sur les figures 3.2-11 (a) et (b). Entre les quatre formes, nous observons une variation du courant de 5%, et cette variation est facilement explicable en considérant la queue du canal comme une résistance d'accès.

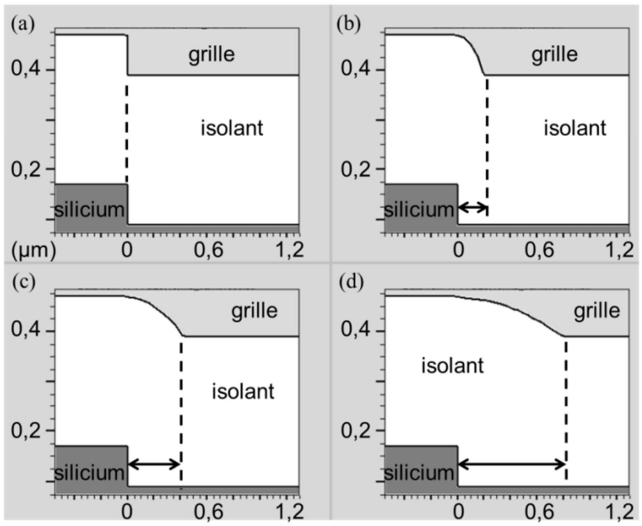

Figure 3.2-9 *Simulation ATHENA de la fabrication des TFTs avec la structure TGC, en faisant varier la forme de l'isolant.*

Ces analyses montrent clairement la dépendance de la longueur de la queue du canal en fonction de la géométrie principalement de l'isolant de grille. Logiquement la valeur de la résistance d'accès est aussi contrainte par cette géométrie. Premièrement une courte queue du canal signifie une résistance plus petite si la concentration y est la même. Mais bien évidemment la concentration également modifie la résistance ; par exemple, en variant l'épaisseur de l'isolant de grille, la

concentration des électrons dans la queue du canal varie, comme montré sur les figures 3.2-8, et cela modifie la valeur de la résistance d'accès.

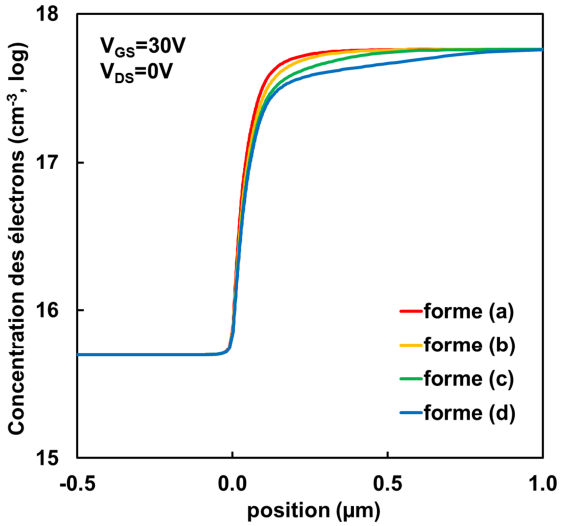

Figure 3.2-10 *Simulation de la concentration des électrons induits par la tension de grille dans la structure TGC avec différentes formes de l'isolant de grille.*

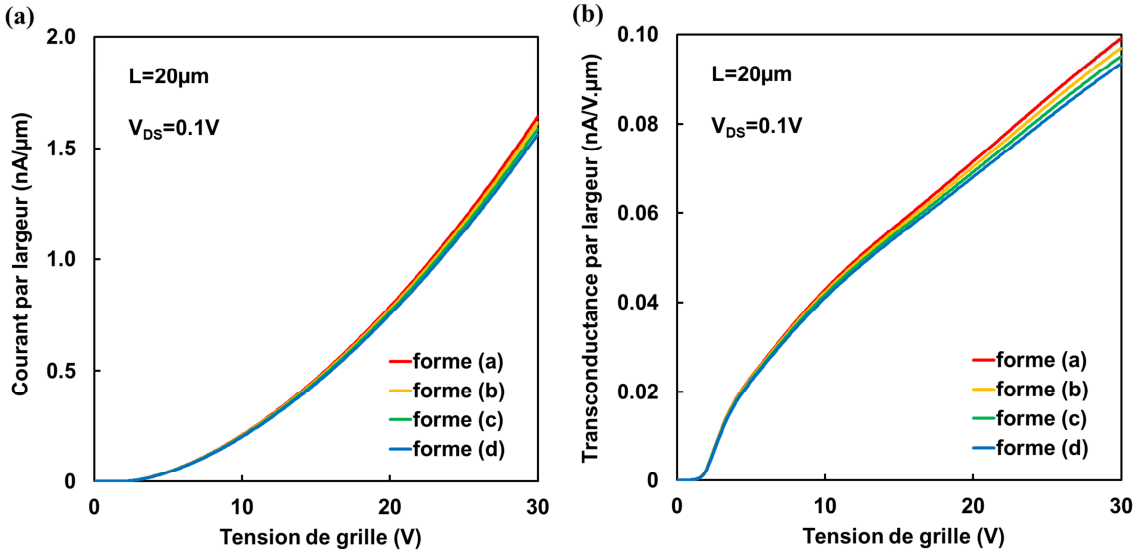

Figure 3.2-11 *Simulation ATLAS (a) du courant et (b) de la transconductance des TFTs avec la structure TGC en faisant varier la forme de l'isolant.*

La figure 3.2-12 montre la valeur de la résistance d'accès à la source (R_S, la résistance de la queue du canal à la source) dans les TFTs ayant une structure TGC avec différentes épaisseurs de l'isolant de grille. Entre les quatre formes de la figure 3.2-9, nous avons utilisé pour ce calcul la forme (b). R_S a été estimé, à l'aide de la simulation ATLAS, par l'équation suivante (voir les sous-sections 3.3.1 et 3.3.2 pour plus de détails) :

$$R_S = \frac{\phi_C(x = 3D) - \phi_S}{I} \tag{3.2.7}$$

où ϕ_S est le quasi-potentiel de Fermi à la source (égal à 0 V) ; I est le courant ; et $\phi_C(x = 3D)$ est le quasi-potentiel de Fermi dans la couche intrinsèque à une distance horizontale (à partir de la source) qui correspond au triple de l'épaisseur de l'isolant de grille. Sur la figure, nous observons clairement que R_S dépend de la tension de grille et de la géométrie du transistor.

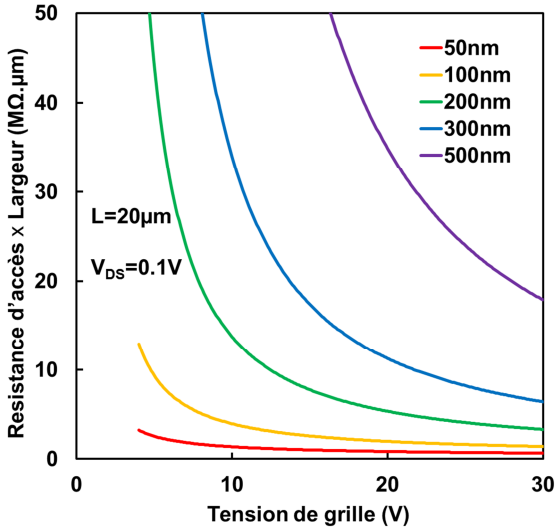

Figure 3.2-12 *Résistance d'accès à la source (R_S) pour 1 µm de largeur dans les TFTs avec la structure TGC, en faisant varier l'épaisseur de l'isolant de grille.*

Le canal uniforme, ne représentant aucune particularité, peut être modélisé par des modèles préexistants. Ici, nous utilisons le modèle RPI (défini pour les a-Si:H TFTs, sous-section 2.1.2), avec la longueur effective, pour décrire la conductance du canal (g_c) :

$$g_C = \mu_0 \frac{W}{L_{eff}} C_i \frac{(V_{GS} - V_T)^{\gamma+1}}{V_{aa}{}^{\gamma}}. \tag{3.2.8}$$

En choisissant une valeur petite de V_{DS} (0,1V), nous considérons que la résistance de la queue du canal est la même à la source et au drain. En soustrayant le double de R_S (celle de la figure 3.2-12) de la résistance totale du TFT, nous obtenons la conductance du canal, qui est tracée en fonction de V_{GS} sur les figures 3.2-13 (a) et (b) avec une courbe noire.

$$g_C = \left(\frac{V_{DS}}{I} - 2R_S \right)^{-1} \tag{3.2.9}$$

Ces figures correspondent à un TFT avec 300 nm d'isolant de grille et avec la forme (b). Nous avons utilisé l'expression (3.2.8) pour ajuster la courbe simulée, avec l'extraction des paramètres utilisant la

méthode de la fonction *H* (sous-section 2.3.4)[1]. La figure montre que le modèle RPI peut être employé pour décrire la conductance du canal uniforme.

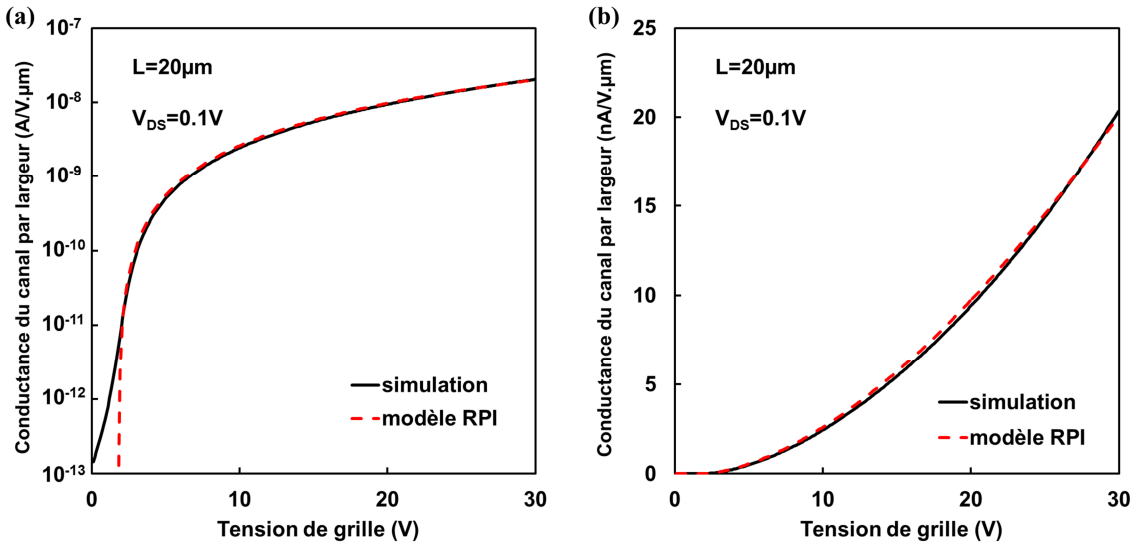

Figure 3.2-13 *La conductance du canal uniforme obtenue par la simulation ATLAS (courbe noire) et sa modélisation par l'approche du type RPI (courbe rouge), (a) en échelle logarithmique et (b) en échelle linéaire.*

3.2.4 Transconductance

Avant de finaliser cette section, nous nous proposons d'étudier l'effet de la résistance d'accès en fonction de V_{GS} sur la courbe de la transconductance. Si la résistance d'accès dépend de V_{GS}, nous obtenons, à partir de l'équation (3.1.2), l'expression suivante pour la transconductance :

$$gm = \frac{V_{DS}}{(1+Rg_{ch})^2}\frac{\partial g_{ch}}{\partial V_{GS}} - \frac{I^2}{V_{DS}}\frac{\partial R}{\partial V_{GS}}. \qquad (3.2.10)$$

En comparant avec l'expression (3.1.5), nous observons qu'un terme additionnel, lié à la dépendance de la résistance d'accès en V_{GS}, apparaît. Si nous supposons que le paramètre *R* diminue avec V_{GS}, comme dans les TFTs avec la structure TGC, le premier terme de l'expression (3.2.10) croît plus que dans le cas de *R* constant. En plus, le deuxième terme s'ajoute car la dérivée est négative, et ce même terme croît avec V_{GS} en raison de la présence de I^2 (la décroissance du terme $\partial R/\partial V_{GS}$ en V_{GS} devrait être moins accentuée que la croissance de I^2). Donc la transconductance des TFTs dont la résistance d'accès diminue avec V_{GS} a une allure plus croissante que celle des TFTs ayant une résistance d'accès constante.

Pour visualiser cette analyse, nous avons remplacé les queues du canal par une résistance constante dans le résultat de la simulation ATLAS. Toujours en utilisant l'expression (3.2.9), nous

[1] Nous n'avons pas besoin d'utiliser la fonction H_J car le paramètre *R* n'est pas présent dans l'expression (4.2.8). Il est naturel que la résistance d'accès n'apparaisse pas dans cette expression car il s'agit de la conductance du canal et pas du courant.

avons ajouté au canal uniforme, au lieu des queues du canal, une résistance de 10 MΩ.µm (5 MΩ.µm à la source et 5 MΩ.µm au drain) et 20 MΩ.µm (idem). Nous notons que ces valeurs sont comparables à la valeur de la résistance d'une queue du canal (courbe bleue de la figure 3.2-12, pour 300 nm de l'isolant de grille). La transconductance de ces TFTs ayant une résistance d'accès constante est tracée sur la figure 3.2-14 avec les courbes verte et bleu. La courbe noire est le résultat de la simulation ATLAS sans aucune modification. Nous observons sur cette figure que les transconductances des TFTs avec une résistance d'accès constante montrent une courbure plus importante, ce qui ressemble au cas des TFTs avec la structure BGS (figures 3.1-2, 3.1-3 et 3.1-4).

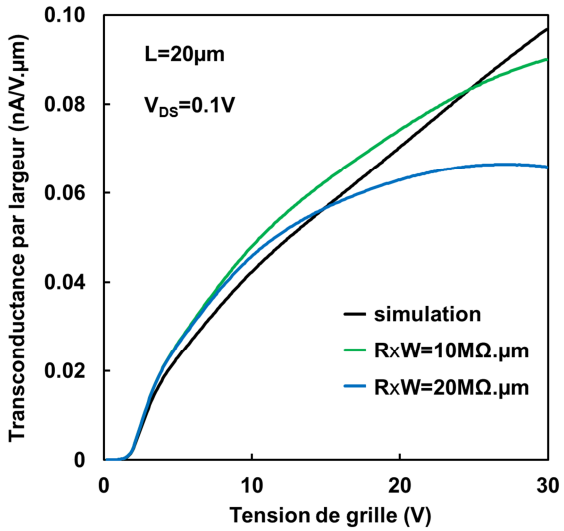

Figure 3.2-14 *Différentes allures de la transconductance en fonction de la résistance d'accès. La courbe noire correspond à la simulation ATLAS d'un TFT avec la structure TGC, qui montre une résistance d'accès dépendant de V_{GS}. La courbe verte représente le canal uniforme de ce TFT en série avec une résistance d'accès constante de 10 MΩ.µm, et la courbe bleue, avec une résistance de 20 MΩ.µm.*

Malgré cette ressemblance, il est trop tôt pour affirmer que la différence entre les courbes de la transconductance observée sur la figure (3.1-4) vient uniquement de la dépendance de la résistance d'accès en V_{GS}. Premièrement la différence des propriétés des matériaux (comme la distribution des états dans la bande interdite) ne doit jamais être négligée ; même si le matériau utilisé pour les deux cas est le silicium microcristallin, les TFTs sont fabriqués dans deux laboratoires différents, et, en plus, nous savons bien que la couche de silicium microcristallin présente une inhomogénéité intrinsèque dans l'épaisseur. Deuxièmement, il reste à vérifier que la résistance d'accès dans la structure BGS est vraiment indépendante de V_{GS} ; ce que la section suivante va infirmer.

3.3 Structure « *bottom-gate staggered* »

Dans cette section, nous étudions la résistance d'accès pour la structure *bottom-gate staggered*. Cette structure a une importance particulière car elle est la structure la plus commune pour les a-Si:H TFT, et également, en raison de sa simplicité de fabrication, elle est fréquemment utilisée pour le développement des TFTs à base de nouveaux matériaux. La résistance d'accès dans la structure

staggered a été largement étudiée [1]-[7], mais les modèles actuels peuvent toujours être améliorés. Le modèle appelé « *current crowding model* » est la base de la modélisation de la résistance d'accès dans ce type de structure. Ce modèle a été proposé dans la référence [6] pour la structure *top-gate staggered*, mais il s'applique également à la structure *bottom-gate staggered* [7]. Dans ce modèle, la distribution du courant dans la région d'*overlap* est décrite en utilisant le concept de la longueur caractéristique d'*overlap* et, à partir de cette approche, il est possible d'obtenir l'expression de la résistance d'accès. Dans la suite de cette section, nous décrivons le modèle de *current crowding* et nous discutons de quelques limitations de ce modèle. Nous introduisons l'analyse du type transport-diffusion (*drift-diffusion*) dans ce modèle, en montrant des effets engendrés par les tensions appliquées et par le courant sur la valeur de la résistance d'accès, que ce soit à la source ou au drain.

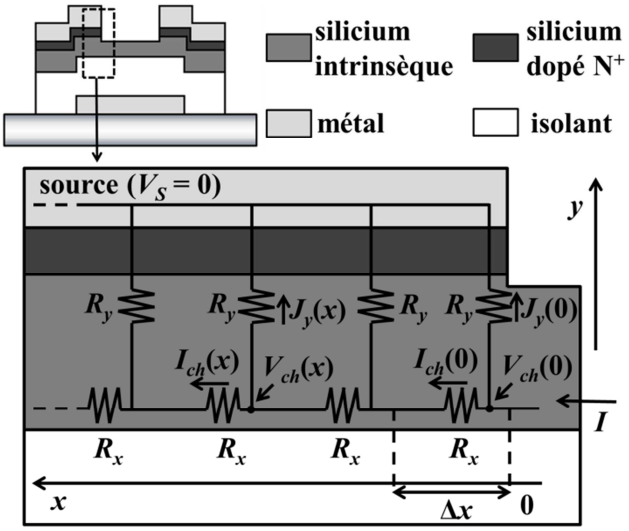

Figure 3.3-1 *Circuit équivalent près de la source d'un TFT avec la structure bottom-gate staggered.*

3.3.1 Modèle de *current crowding*

Le circuit équivalent près de la source d'un TFT avec la structure *bottom-gate staggered* est schématisé sur la figure 3.3-1, avec trois grandeurs qui dépendent de la position x : le courant dans le canal suivant la direction x (I_{ch}), la densité de courant suivant la direction y (J_y) et le potentiel électrique dans le canal (V_{ch}). R_x est la résistance selon x, qui est une fonction de la résistance carrée du canal (r_x, Ω/□), et R_y est la résistance selon y, écrite en fonction de la résistance de l'unité de surface en direction y (r_y, $\Omega\cdot cm^2$) :

$$R_x = \frac{\Delta x}{W} r_x \tag{3.3.1}$$

$$R_y = \frac{1}{W\Delta x} r_y \tag{3.3.2}$$

où Δx est une distance arbitrairement petite suivant la direction x et W est la largeur du canal. Dans ce modèle, r_x et r_y sont considérés indépendants de la position. La validité de ce dernier point sera discutée ultérieurement.

À partir de ce schéma, nous obtenons trois relations :

$$V_{ch}(x+\Delta x) = V_{ch}(x) - I_{ch}(x)\frac{\Delta x}{W} r_x, \tag{3.3.3}$$

$$V_{ch}(x) = J_y(x) r_y \tag{3.3.4}$$

et

$$I_{ch}(x) = I_{ch}(x+\Delta x) + J_y(x+\Delta x) W \Delta x. \tag{3.3.5}$$

Les deux premières équations traduisent la chute de potentiel respectivement dans R_x et R_y, et la dernière équation correspond à la division du courant suivant les deux directions.

Les équations de (3.3.3) à (3.3.5) mènent à l'équation différentielle suivante :

$$\frac{d^2 J_y(x)}{dx^2} = \frac{r_x}{r_y} J_y(x). \tag{3.3.6}$$

Si nous considérons que la longueur d'*overlap* est suffisamment grande pour être considérée infinie (quelques micromètres sont suffisants), une condition aux limites peut être appliquée :

$$J_y(x) = 0 \quad \text{pour } x = \infty, \tag{3.3.7}$$

ce qui mène à l'expression suivante :

$$J_y(x) = J_{y0}\left[\cosh\left(\frac{x}{L_0}\right) - \sinh\left(\frac{x}{L_0}\right)\right] = J_{y0}\exp\left(-\frac{x}{L_0}\right), \tag{3.3.8}$$

où L_0 est la longueur caractéristique d'*overlap*, définie comme ci-dessous :

$$L_0 = \sqrt{\frac{r_y}{r_x}}. \tag{3.3.9}$$

La grandeur J_{y0} (valeur de J_y à $x = 0$) peut être écrite de plusieurs façons. Ici, nous utilisons le fait que la somme de tous les courants en direction y est le courant total (I).

$$I = W\int_0^{+\infty} J_y(x)dx \tag{3.3.10}$$

Cela donne l'expression suivante pour J_{y0} :

$$J_{y0} = \frac{I}{WL_0} = \frac{I}{W}\sqrt{\frac{r_x}{r_y}}. \tag{3.3.11}$$

Donc, finalement nous obtenons l'expression suivante pour $J_y(x)$:

$$J_y(x) = \frac{I}{WL_0}\exp\left(-\frac{x}{L_0}\right). \tag{3.3.12}$$

Si nous calculons le courant dans la région entre $x = 0$ et $x = L_0$, nous obtenons 63% du courant total.

$$W\int_0^{L_0} J_y(x)dx = \left(1-\frac{1}{e}\right)I \approx 0.63I \tag{3.3.13}$$

Donc la longueur caractéristique d'*overlap* peut être définie comme la longueur de la région, à partir de $x = 0$, dans laquelle 63% du courant est confiné.

La résistance d'accès peut être estimée simplement en divisant la chute de tension dans la résistance par le courant.

$$R_S = \frac{V_{ch}(0) - V_S}{I} \tag{3.3.14}$$

En toute rigueur, cette expression donne la résistance entre la source et la surface équipotentielle ayant la valeur de potentiel égale à $V_{ch}(0)$. La tension à la source (V_S) étant zéro, en utilisant l'équation (3.3.4), nous avons :

$$R_S = \frac{J_{y0}r_y}{I}. \tag{3.3.15}$$

En utilisant (3.3.11), nous obtenons finalement l'expression de la résistance d'accès :

$$R_S = \frac{1}{W}\sqrt{r_x r_y}. \tag{3.3.16}$$

Cette dernière expression peut être obtenue d'une autre façon, en calculant simplement la résistance équivalente du circuit de la figure 3.3-1 :

$$\frac{1}{R_S} = \frac{1}{R_y} + \frac{1}{R_x + \dfrac{1}{\dfrac{1}{R_y} + \dfrac{1}{R_x + \ldots}}}. \tag{3.3.17}$$

En considérant que le nombre des éléments est infini, (3.3.17) peut être réécrite comme ci-dessous :

$$\frac{1}{R_S} = \frac{1}{R_y} + \frac{1}{R_x + R_S}, \tag{3.3.18}$$

ce qui donne une simple équation de seconde degré.

$$R_S{}^2 + R_x R_S - R_x R_y = 0 \tag{3.3.19}$$

La solution positive de cette équation est :

$$R_S = \frac{R_x + \sqrt{R_x{}^2 + 4R_x R_y}}{2}. \tag{3.3.20}$$

Comme

$$R_x \sim \Delta x \tag{3.3.21}$$

et

$$R_y \sim \frac{1}{\Delta x} >> \Delta x, \tag{3.3.22}$$

et en utilisant (3.3.1) et (3.3.2), nous obtenons la même expression pour la résistance d'accès à la source.

$$R_S = \sqrt{R_x R_y} = \frac{1}{W}\sqrt{r_x r_y} \tag{3.3.23}$$

3.3.2 Approche transport-diffusion

Dans le modèle de *current crowding*, les résistances sont considérées uniformes, ce qui ne correspond pas en toute rigueur à la réalité. La non-uniformité de r_x est claire ; la variation de $V_{ch}(x)$ entraîne la variation de la charge induite dans le canal, d'où une conductivité non-uniforme. La non-uniformité de r_y n'est pas plus compliquée, mais il faut alors considérer la diffusion des électrons, qui a été négligée dans le modèle de *current crowding*.

Comme la variation de concentration des électrons est importante (métal, couche dopée, couche intrinsèque et canal), le courant résulte non seulement de la variation du potentiel électrique mais aussi de la variation de la concentration des électrons. La densité de courant (des électrons) sous l'approche transport-diffusion est écrite comme ci-dessous :

$$\vec{J}_n = -qn\mu_n \vec{\nabla} V + kT\mu_n \vec{\nabla} n, \tag{3.3.24}$$

où q est la charge élémentaire, μ_n la mobilité des électrons, V le potentiel électrique, k la constante de Boltzmann, T la température et n la concentration des électrons. Ici, nous utilisons la définition de la référence [8] pour le quasi-potentiel de Fermi des électrons :

$$\phi \equiv V - \frac{kT}{q} \ln \frac{n}{n_{ie}}, \tag{3.3.25}$$

où n_{ie} est la concentration intrinsèque effective, avec la même référence de masse pour le quasi-potentiel de Fermi et le potentiel électrique. Avec cette grandeur, la densité de courant est maintenant écrite comme ci-dessous :

$$\vec{J}_n = -qn\mu_n \vec{\nabla}\phi. \tag{3.3.26}$$

Dans le modèle de *current crowding*, le potentiel électrique devrait être remplacé par le quasi-potentiel de Fermi. De même, l'expression (3.3.26) suggère de redéfinir la résistivité (ρ) et, par conséquent, la résistance d'accès à la source comme :

$$\vec{J}_n = -\frac{1}{\rho} \vec{\nabla}\phi \tag{3.3.27}$$

et

$$R_S = \frac{\phi_{ch}(0) - \phi_S}{I}, \tag{3.3.28}$$

où $\phi_{ch}(0)$ est le quasi-potentiel de Fermi au niveau du canal pour la position x = 0 et ϕ_S est le quasi-potentiel de Fermi à la source, qui est identique au potentiel électrique de cette électrode (zéro) dans le cas d'un contact ohmique [8]. L'expression (3.3.28) donne la résistance entre la source et la surface dont le quasi-potentiel de Fermi vaut $\phi_{ch}(0)$. Nous pouvons trouver la même expression pour la résistance d'accès dans la référence [4].

3.3.3 Dépendance en tension et en courant

Dans ce paragraphe, nous étudions la non-uniformité de r_y et sa dépendance en tension et en courant. Pour illustrer l'analyse théorique, nous utilisons ATLAS (simulateur par méthode des éléments finis en 2D) de l'outil Silvaco TCAD. Les exemples de TFT proposés utilisent la structure de type *bottom-gate staggered* avec 300 nm de nitrure de silicium (isolant de grille), 150 nm de silicium amorphe intrinsèque (à la rigueur, légèrement dopé du type N, avec une concentration de donneur de 10^{14} cm^{-3}) et 40 nm de silicium amorphe dopé N^+ (concentration de donneur 10^{20} cm^{-3}), avec la largeur du canal égale à 1 µm. Pour simplifier l'analyse, nous ne considérons pas d'états (ou charges) d'interface entre l'isolant de grille et le silicium.

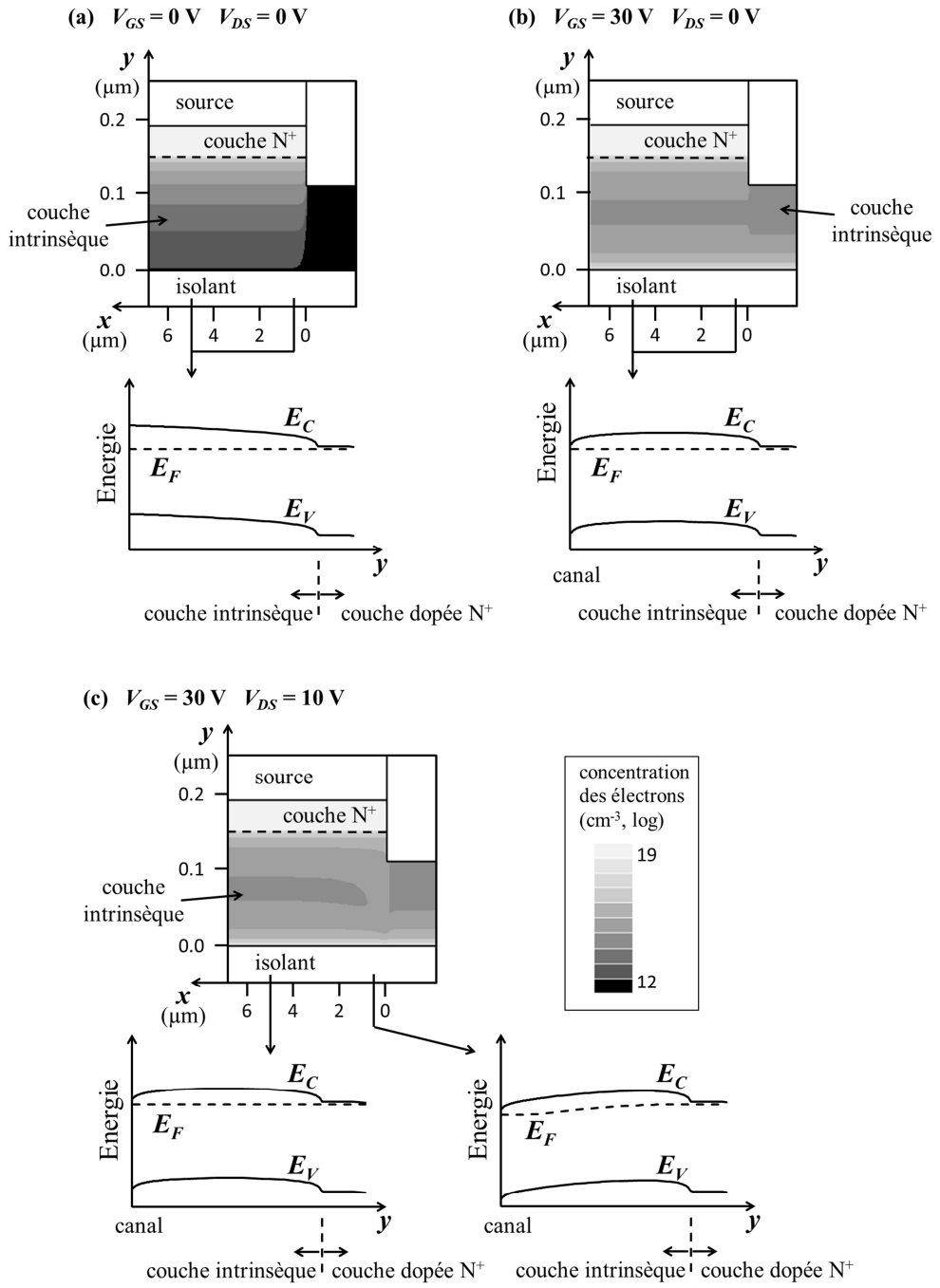

Figure 3.3-2 *Concentration des électrons (cm^{-3}, échelle logarithmique) près de la source quand (a) V_{GS} = V_{DS} = 0V, (b) V_{GS} = 30V et V_{DS} = 0V, et (c) V_{GS} = 30V et V_{DS} = 10V, avec le profil de la bande d'énergie en direction y aux positions x = 0,5µm et x = 5µm. E_C dénote l'énergie de conduction, E_V celle de valence, et E_F le quasi-niveau de Fermi des électrons.*

Nous commençons cette sous-section en regardant la concentration des électrons dans un TFT. Quand aucune tension n'est appliquée (V_{GS} = V_{DS} = 0 V), la concentration des électrons et le profil de la bande d'énergie sont montrés sur la figure 3.3-2 (a). En raison de la concentration plus élevée dans la couche dopée, les électrons diffusent vers la couche intrinsèque. La figure 3.3-2 (b) montre le TFT sous V_{GS} = 30 V (toujours avec V_{DS} nul). Nous y observons la présence du canal et la diffusion des

électrons provenant du canal. Cela augmente la concentration des électrons dans la couche intrinsèque, ce qui diminue sa résistivité et, par conséquent, r_x et r_y. Dans les deux cas, le quasi-niveau de Fermi est uniforme dans le TFT et la concentration des électrons, liée à la distance entre le quasi-niveau de Fermi et la bande de conduction, se montre lui aussi uniforme dans la direction x (en négligeant l'effet géométrique aux bords). Donc l'hypothèse de r_x et r_y uniformes est vérifiée dans les deux cas.

Toutefois, si une tension V_{DS} non-nulle est appliquée, le quasi-potentiel de Fermi n'est plus uniforme, et les électrons bougent suivant le gradient du quasi-potentiel de Fermi. Sur la figure 3.3-2 (c), nous notons que, suffisamment loin de x = 0, il n'y a pas de courant et le profil de la bande d'énergie ne change pas. Cependant, près de x = 0, nous observons le changement du quasi-niveau de Fermi. Ce dernier est plus grand au canal qu'à la source (autrement dit, le niveau d'énergie est plus bas au canal qu'à la source), donc les électrons sont attirés de la couche dopée vers la couche intrinsèque, et la diffusion provenant du canal diminue. Ce point est montré plus clairement sur la figure 3.3-3, où nous comparons la concentration des électrons pour trois différentes positions x, sous V_{DS} égal à zéro ou 10 V. Comme effet de cette redistribution des électrons, nous notons que r_y varie selon la position x.

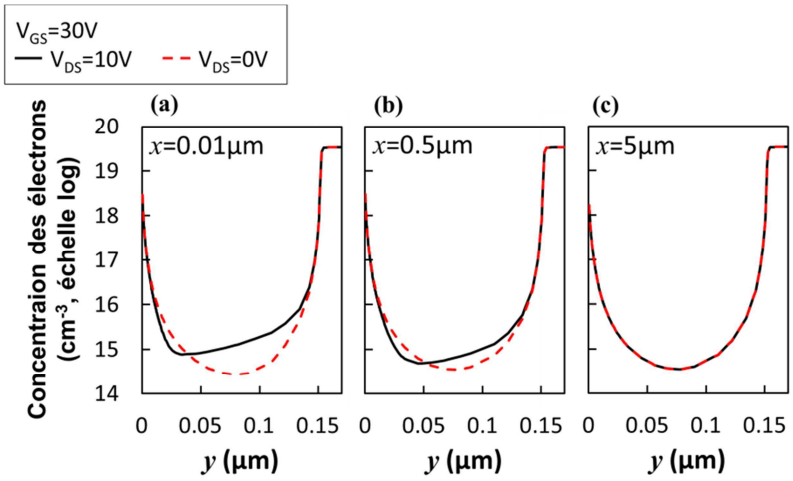

Figure 3.3-3 *Profil en direction y de la concentration des électrons (cm^{-3}, échelle logarithmique) aux différentes positions : (a) x = 0,01µm, (b) x = 0,5µm et (c) x = 5µm. La courbe noire correspond à V_{GS} = 30V et V_{DS} = 10V, et la courbe rouge pointillée correspond à V_{GS} = 30V et V_{DS} = 0V.*

Si le courant augmente (avec V_{DS} ou une longueur du canal plus grande), $\phi_{ch}(0)$ aussi devient plus grand comme nous pouvons l'observer sur la figure 3.3-4, où $\phi_{ch}(0)$ et R_S sont tracés en fonction de V_{DS} pour plusieurs valeurs de la longueur du canal (L ; en toute rigueur, la longueur du canal entre source et drain, sans considérer la région d'*overlap*), sous une valeur fixe de V_{GS} (30 V). La valeur de $\phi_{ch}(0)$ a été lue sur la simulation à 1nm de distance à partir de l'interface avec l'isolant et R_S a été calculé en utilisant l'équation (3.3.28). La valeur de $\phi_{ch}(0)$ plus grande entraîne une redistribution des électrons plus importante et une réduction plus marquante de R_S. Les figures 3.3-5 (a) et (b) montrent la dépendance de R_S en fonction de V_{GS} pour plusieurs valeurs de V_{DS} et de L. Tout d'abord, nous observons que R_S diminue avec V_{GS}, en raison de la diffusion des électrons provenant du canal. Ensuite, nous notons que R_S est plus petit pour V_{DS} plus grand et pour L plus faible.

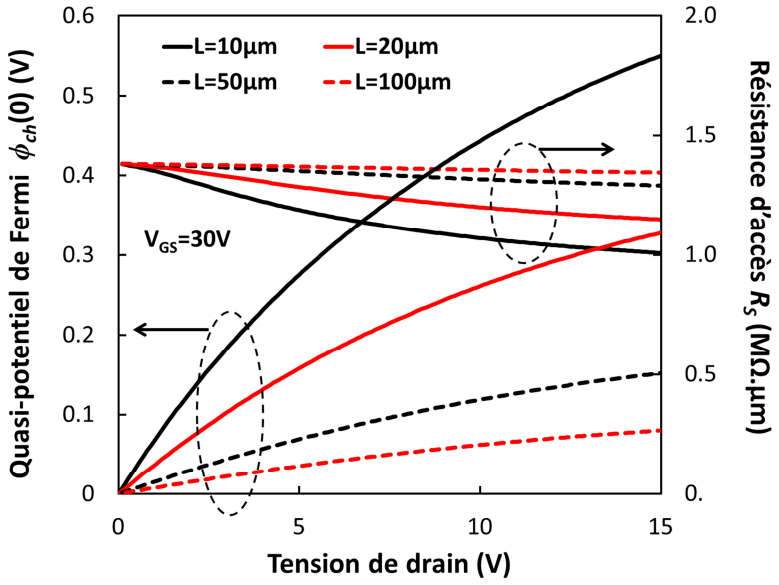

Figure 3.3-4 *$\phi_{ch}(0)$ et R_S sous V_{GS} = 30 V, en variant V_{DS} et la longueur du canal (L).*

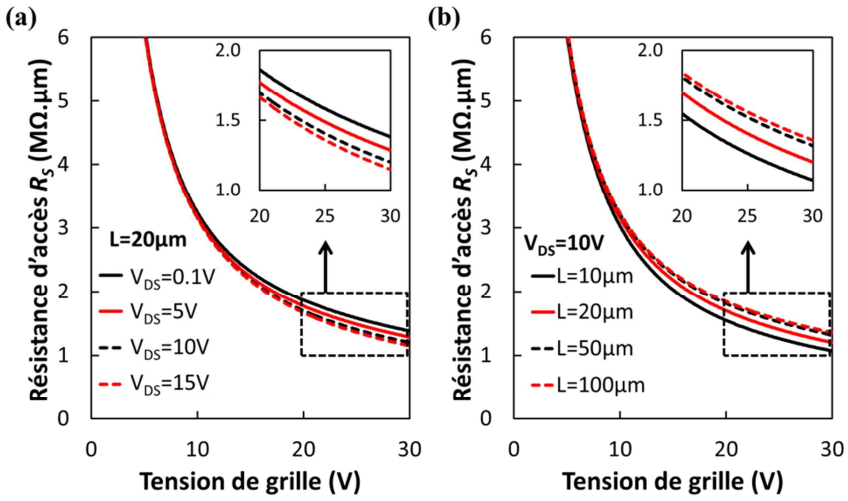

Figure 3.3-5 *Résistance d'accès à la source (R_S) en fonction de V_{GS}, (a) en variant V_{DS} avec la longueur du canal fixée (L = 20 µm) et (b) en variant L avec V_{DS} fixé à 10 V.*

Sur les figures 3.3-6 (a) et (b), R_S est tracé en fonction du courant, résumant ainsi sa dépendance en V_{DS} et L. Nous notons que, quand V_{GS} est fixé, toutes les données obtenues en faisant varier V_{DS} et L se superposent sur une seule courbe.

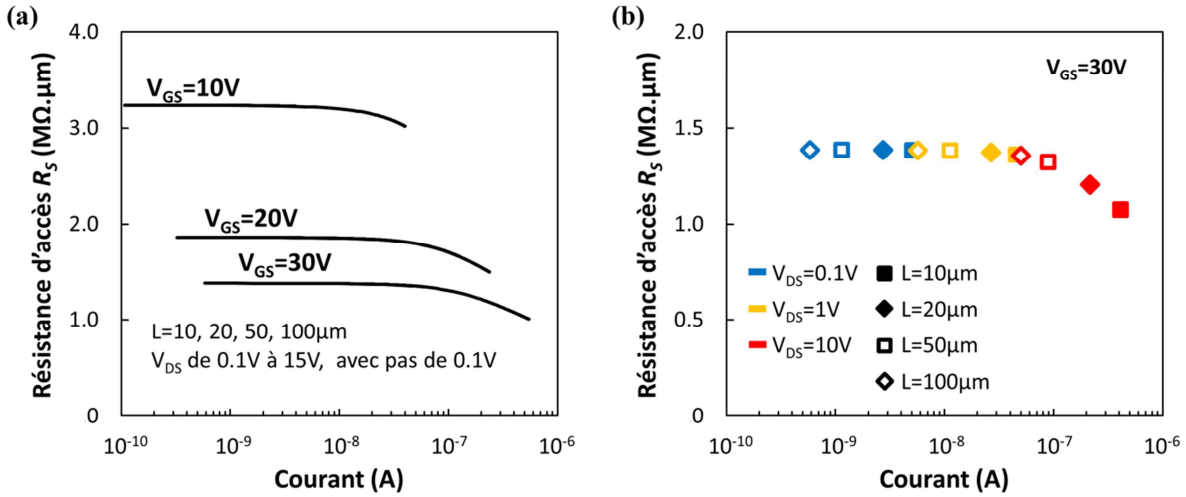

Figure 3.3-6 *Résistance d'accès à la source (R_S) en fonction du courant : (a) représentation de tous les points obtenus en faisant varier V_{DS} et L, pour trois valeurs de V_{GS} (10, 20 et 30V) ; (b) quelques points sous V_{GS} =30 V, montrant que ces points se résument à une seule courbe.*

3.3.4 Résistance d'accès à la source et au drain

Au drain, le quasi-potentiel de Fermi est plus élevé au niveau de la couche dopée et plus faible au canal. Donc la diffusion provenant du canal vers la couche intrinsèque devient plus importante et la diffusion provenant de la couche dopée diminue, c'est-à-dire que le sens de la diffusion des électrons au drain est opposé à celui à la source, comme nous pouvons l'observer sur la figure 3.3-7.

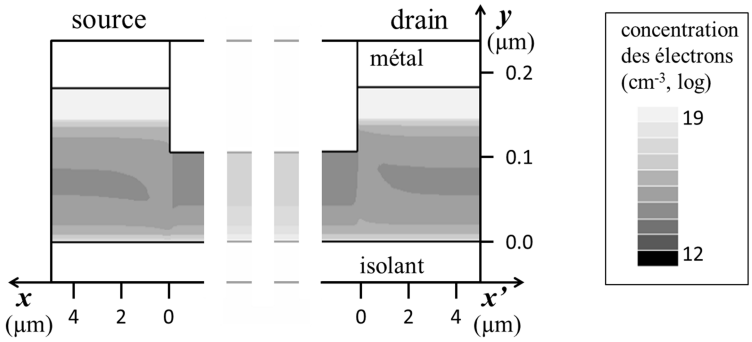

Figure 3.3-7 *Concentration des électrons (cm^{-3}, échelle logarithmique) près de la source et près du drain quand V_{GS} = 30V, V_{GD} = 20V et V_{DS} = 10V.*

La même analyse que celle de la figure 3.3-6 a été faite pour la résistance d'accès au drain (R_D). La tension déterminant la concentration des électrons dans le canal près du drain n'est pas V_{GS} mais V_{GD} (différence de potentiel entre la grille et le drain). La figure 3.3-8 montre R_S (courbe) et R_D (points) en fonction du courant, pour V_{GS} et V_{GD} fixés. Premièrement, nous observons que, pour une

valeur de V_{GD}, toutes les données obtenues en faisant varier V_{DS} et L se résument à une seule courbe. Deuxièmement, R_S et R_D ont des valeurs similaires quand le courant est faible, et la différence entre eux augmente avec le courant. Quand le courant est faible, la chute de quasi-potentiel de Fermi au niveau des zones correspondant aux résistances R_S et R_D est faible, donc il n'y a pratiquement pas de changement sur le profil de la bande d'énergie, ce qui entraîne des valeurs similaires de R_S et R_D. Quand le courant devient plus grand, la chute du quasi-potentiel de Fermi devient importante et modifie la concentration des électrons, d'une façon différente à la source et au drain (figure 3.3-7). Ainsi, R_S et R_D ont des valeurs différentes même si V_{GS} et V_{GD} ont une même valeur, et cela avec une valeur de courant identique.

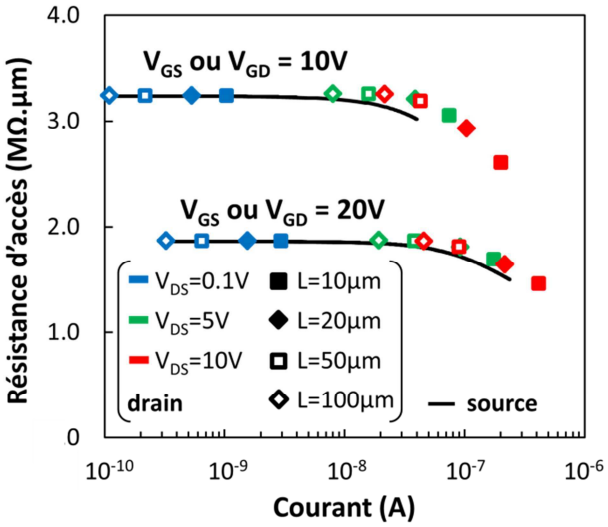

Figure 3.3-8 *Résistance d'accès en fonction du courant : à la source (R_S, les mêmes courbes de la figure 3.3-6) avec V_{GS} = 10 V et 20 V ; et au drain (R_D, représentés par des points) avec V_{GD} = 10 V et 20 V.*

3.3.5 Longueur caractéristique d'*overlap*

Non seulement la résistance d'accès mais aussi la longueur caractéristique d'*overlap* (L_0) dépend du courant. L'équation (3.3.9) a été obtenue sans tenir compte de la non-uniformité de r_x et r_y. Mais, à partir de cette équation, nous pouvons interpréter L_0 comme le résultat de la compétition entre la résistivité du canal et celle de la couche intrinsèque comprise entre le canal et la couche N^+. Si nous fixons la résistivité de la couche intrinsèque, une augmentation de la résistivité du canal limite la dispersion du courant dans la direction x, ce qui entraîne une réduction de L_0 ; et une diminution de la résistivité du canal facilite le mouvement des électrons dans la direction x, ce qui engendre une valeur de L_0 plus importante.

La figure 3.3-9 montre J_y en fonction de la position x. La surface au-dessous de la courbe représente le courant total, et nous pouvons facilement obtenir la valeur de L_0 en prenant 63% de la surface, comme l'expression (3.3.13) le suggère. La résistivité du canal diminue avec V_{GS}, donc L_0 doit augmenter avec V_{GS}, ce qui est montré sur la figure 3.3-9 (a). Nous notons que la résistivité de la couche intrinsèque diminue aussi en raison de la diffusion, mais d'une façon moins importante que celle du canal. Sur la figure 3.3-9 (b), une tension V_{DS} plus grande (donc un courant plus important)

entraîne une réduction de L_0, car la résistivité de la couche intrinsèque dans la région d'*overlap* diminue, d'une façon globale (elle peut augmenter localement), en présence du courant.

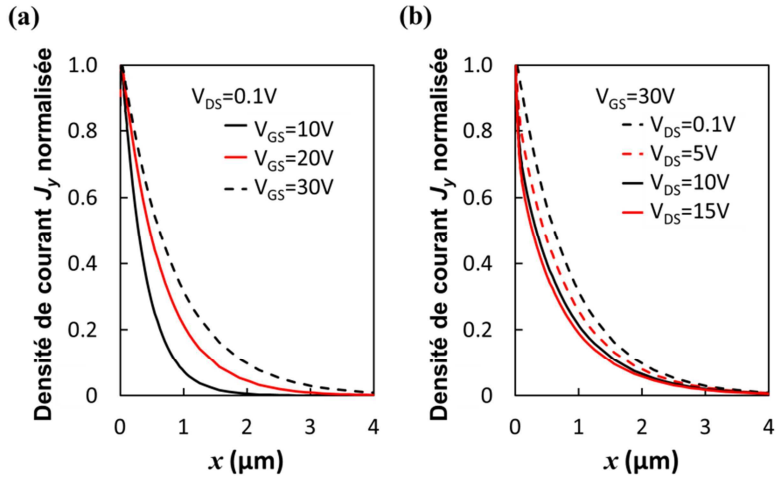

Figure 3.3-9 *Densité de courant normalisée en direction y dans la région d'overlap à la source, (a) pour V_{DS} fixé en variant V_{GS}, et (b) pour V_{GS} fixé en variant V_{DS}.*

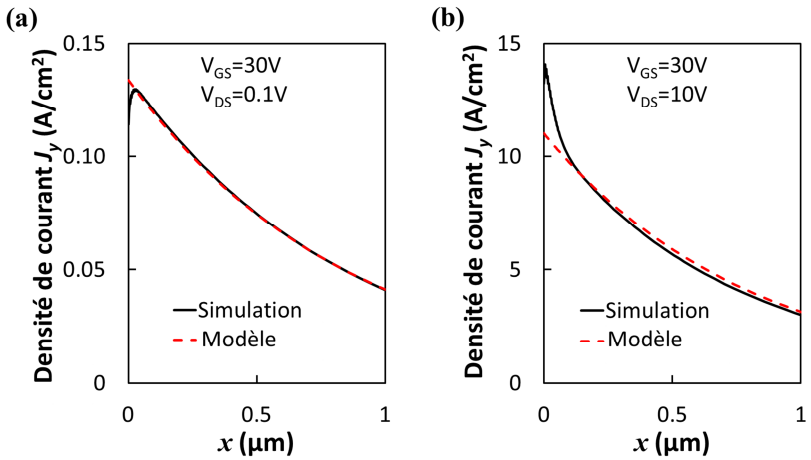

Figure 3.3-10 *La comparaison entre la simulation et le modèle de la densité de courant en direction y, (a) quand V_{DS} = 0,1V et (b) quand V_{DS} = 10V.*

En calculant L_0 avec la relation (3.3.13), nous avons comparé le modèle (3.3.12) avec le résultat de simulation par éléments finis. Sur la figure 3.3-10 (a), où la valeur de V_{DS} utilisée est 0,1V, nous observons que le modèle décrit bien le résultat obtenu par la simulation. Par contre, sur la figure 3.3-10 (b), avec V_{DS} = 10V, les deux courbes montrent une divergence plus importante. Nous avons vu que, quand le courant est important, r_y est non-uniforme en direction de x, et elle est plus petite près de x = 0. Par conséquent, la distribution du courant est plus concentrée près de x = 0, ce qui explique l'écart entre les deux courbes sur la figure 3.3-10 (b).

3.3.6 Discussion finale

Dans cette section, nous avons vu que la résistance d'accès est dépendante de V_{GS} (et du courant) dans les TFTs avec la structure BGS. Cela semble être contradictoire avec nos analyses de la sous-section 3.2.4, où nous avons constaté que la courbe de la transconductance d'un TFT avec la résistance d'accès constante est semblable aux résultats expérimentaux d'un TFT avec la structure BGS. Tout d'abord nous avons soupçonné que cette contradiction apparente viendrait du désaccord entre les TFTs réels et les TFTs simulés. Effectivement, la courbe rouge dans la figure 3.3-11 (b), qui est la transconductance d'un TFT simulé, a une allure différente de celle de la figure 3.1-4.

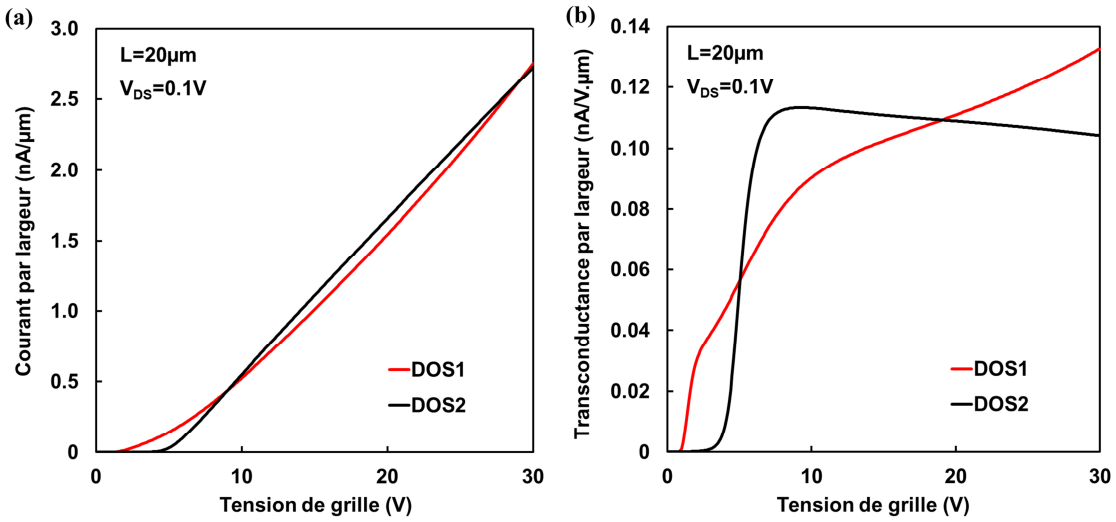

Figure 3.3-11 *(a) Courant et (b) transconductance des TFTs simulés, avec deux distributions différentes des états DOS1 et DOS2 (voir l'annexe A.2).*

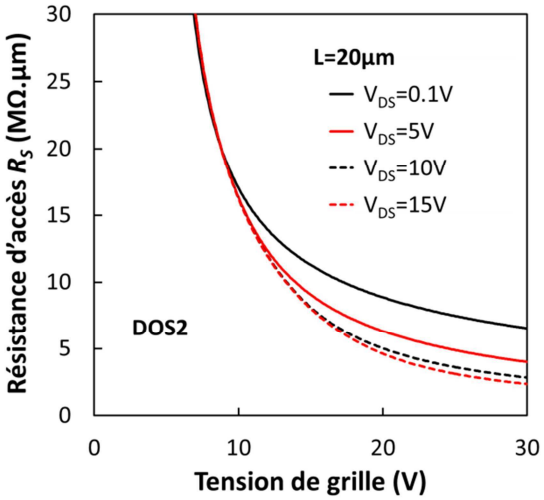

Figure 3.3-12 *Dépendance de la résistance d'accès en tension de grille et en courant, en utilisant la distribution des états DOS2 (voir l'annexe A.2).*

Nous avons alors fait varier la distribution de densité d'états dans la bande interdite pour voir son effet sur la résistance d'accès, mais la dépendance de la résistance d'accès en tension et en courant

a été présente quelles que soient les distributions testées. Par exemple, du TFT simulé ayant la transconductance représentée par la courbe noire de la figure 3.3-11 (b) résulte la figure 3.3-12, où nous observons le même type de dépendance que la figure 3.3-5 (a).

Il est évident que nous n'avons pas testé toutes les possibilités pour la densité d'états, mais cette dépendance de la résistance d'accès en tension et en courant devrait être toujours présente en cas de diffusion des charges.

Nous affirmons que l'analyse réalisée dans la sous-section 3.2.4 avec l'équation (3.2.10) reste toujours valable. Si nous remplaçons la résistance d'accès du TFT simulé (DOS2) par une résistance constante, nous obtenons la figure 3.3-13. La courbe verte montre la transconductance d'un TFT avec une résistance d'accès constante de 10 MΩ.µm (5 MΩ.µm à la source et 5 MΩ.µm au drain) et la courbe bleue, avec une résistance d'accès de 20 MΩ.µm (idem). Comme l'équation (3.2.10) le prévoit, la courbure est plus importante quand la résistance d'accès est constante.

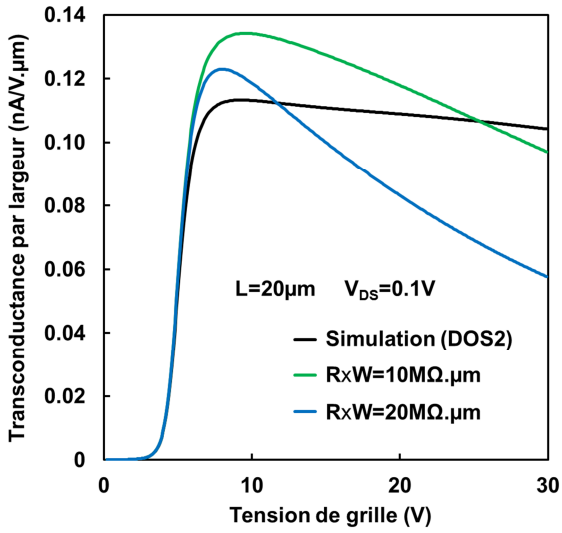

Figure 3.3-13 *Différentes allures de la transconductance en fonction de la résistance d'accès. La courbe noire correspond à la simulation ATLAS du TFT avec la structure BGS avec la distribution d'état DOS2, qui montre une résistance d'accès qui dépend de V_{GS}. La courbe verte représente un TFT avec la même conductance du canal, mais en série avec une résistance d'accès constante de 10MΩ.µm ; et la courbe bleue, avec une résistance de 20MΩ.µm.*

Il est vrai qu'une résistance d'accès constante engendre une courbe de la transconductance plus marquante. Cependant, il est faux d'affirmer que la différence de l'allure typique de la transconductance entre les deux structures BGS et TGC, illustrée sur la figure 3.1-4, vient de la résistance d'accès (si elle est constante ou pas). Finalement, tous ces analyses nous mènent à conclure que cette différence vient principalement des propriétés des différents matériaux. Il n'y a pas de nouveau dans cette conclusion ; mais pour y arriver, nous avons réalisé les études présentées dans ce chapitre et, ainsi, nous avons pu obtenir des avancements importants sur la physique du composant et la modélisation de la résistance d'accès.

3.4 Conclusion

Dans ce chapitre, nous avons étudié la résistance d'accès dans les TFTs avec deux différentes structures : « *top-gate coplanar* » et « *bottom-gate staggered* ». Premièrement, nous avons vu l'effet de la résistance d'accès sur les performances d'un TFT, en particulier, sur la courbe de la transconductance. Nous avons présenté l'expression de la transconductance prévue par le modèle classique du MOSFET et par le modèle RPI. Dans le cadre du modèle RPI, nous avons donné l'expression de la valeur de V_{GS} où la transconductance atteint sa valeur maximale, expression que nous avons validée par des comparaisons avec des mesures expérimentales sur des a-Si:H TFTs.

La deuxième section de ce chapitre a été consacrée à la résistance d'accès dans le cas de la structure « *top-gate coplanar* ». Tout d'abord, nous avons discuté de l'emploi de la modélisation RPI aux TFTs ayant cette structure. À partir des analyses sur la géométrie particulière de cette structure et des simulations par la méthode des éléments finis en 2D (ATLAS et ATHENA de Silvaco TCAD), nous avons observé que cette structure est très peu dépendante de la variation de la longueur d'*overlap*. En plus, nous avons noté une variation significative, pour des raisons géométriques, de la concentration des électrons dans les deux extrémités du canal même sous V_{DS} nul. Ce point a été modélisé comme un canal uniforme en série avec deux queues du canal. Ces queues du canal constituent la source principale de la résistance d'accès dans cette structure et explicitent sa dépendance en fonction de la tension V_{GS}.

Dans la troisième et dernière section, nous avons étudié la résistance d'accès dans la structure « *bottom-gate staggered* ». Nous avons décrit le modèle de *current crowding*, et nous avons introduit dans ce modèle l'approche « transport-diffusion ». Par des simulations avec ATLAS, nous avons observé que, dans cette structure, la résistance d'accès et la longueur caractéristique d'*overlap* dépendent de V_{GS} et également du courant, et cela en raison de la diffusion des électrons. En plus, nous avons comparé la résistance d'accès à la source et au drain, en montrant que la différence sur la polarité de la chute du quasi-potentiel de Fermi entraîne une différence sur les valeurs de la résistance d'accès. Finalement, nous avons discuté de l'effet de la dépendance en V_{GS} de la résistance d'accès sur la courbe de la transconductance, en comparant avec le cas d'une résistance d'accès constante.

La dépendance de la résistance d'accès en tension et en courant n'est pas incluse dans le modèle RPI ni dans les autres approches de modélisation; des études sur la façon d'insérer cette dépendance dans les modèles compacts seront souhaitables.

Bibliographie du chapitre 3

[1] T. Leroux, "Static and dynamic analysis of amorphous-silicon field-effect transistors," *Solid State Electronics*, vol. 29, no. 1, pp. 47-58, Jan. 1986.

[2] J. Kanicki, F. R. Libsch, J. Griffith and R. Polastre, "Performance of thin hydrogenated amorphous silicon thin-film transistors," *J. Appl. Phy*., vol. 69, no. 4, pp. 2339-2345, Feb. 1991.

[3] S. Luan and G. W. Neudeck, "An experimental study of the source/drain parasitic resistance effects in amorphous silicon thin film transistors," *J. Appl. Phys*. vol. 72, no. 2, pp. 766-772, Jul. 1992.

[4] S. Martin, A. Rolland, S. Mottet, N. Szydlo and H. Lebrun, "2D numerical simulation of a-Si:H TFTS: Application to parasitic contact resistances evaluation," *Thin Solid Films*, vol. 296, pp. 129-132, Mar. 1997.

[5] C.-Y. Chen and J. Kanicki, "Origin of series resistances in a-Si:H TFTs," *Solid State Electronics*, vol. 42, no. 5, pp. 705-713, May 1998.

[6] C.-S. Chiang, S. Martin, J. Kanicki, Y. Ugai, T. Yukawa and S. Takeuchi, "Top-gate staggered amorphous silicon thin-film transistors: series resistance and nitride thickness effects," *Jpn. J. Appl. Phys*., vol. 37, no. 11, pp. 5914-5920, Nov. 1998.

[7] K.-D. Jung, Y. C. Kim, B.-G. Park, H. Shin and J. D. Lee, "Modeling and parameter extraction for the series resistance in thin-film transistors," *IEEE Trans. Electron Devices*, vol. 56, no. 3, pp. 431-440, Mar. 2009.

[8] *ATLAS User's Manual*, Santa Clara, CA: Silvaco Inc., 2012.

Chapitre 4

Modélisation dynamique

La modélisation dynamique consiste à décrire la réponse des TFTs suite à une variation temporelle des tensions appliquées. En raison de la similarité du fonctionnement, les modèles développés pour les MOSFETs sont souvent empruntés dans la modélisation des TFTs. D'une façon générale, la modélisation dynamique compacte est faite en utilisant les équations des capacités, où sont introduises des condensateurs imaginaires connectés aux électrodes d'un TFT (ou d'un MOSFET) pour décrire la variation dynamiques des charge dans le transistor. Dans les premières modélisations compactes, comme le modèle de Meyer [1], Wart-Duton [2],[3] et Leroux [4], l'approche quasi-statique a été utilisée, c'est-à-dire, le composant (soit MOSFET soit TFT) est considéré en équilibre à chaque instant.

Pour qu'un TFT s'allume, une accumulation ou une inversion des charges doivent avoir lieu dans la couche active près de l'interface avec l'isolant de grille, en d'autre terme, le canal doit être créé. Ce phénomène n'est pas immédiat et il existe un temps de retard d'allumage. L'usage des TFTs à fréquences élevées devient de plus en plus commun, ce qui fait apparaître le besoin d'une modélisation du canal en cours de création; l'approche d'une modélisation non-quasi-statique devient nécessaire. Comment insérer le cas non-quasi-statique dans la modélisation compacte est ainsi devenu un sujet important. Nous pouvons citer comme un exemple le modèle BSIM [5],[6] pour le MOSFET, où le cas non-quasi-statique est inséré à travers un sous-circuit.

Dans ce chapitre, nous étudions le comportement dynamique des TFTs et développons un modèle dynamique semi-compact. Tout d'abord, nous identifions les capacités intrinsèques dans un TFT, en discutant leurs effets sur la réponse temporelle du TFT. Ensuite, nous observons quelques exemples de mesures dynamiques, dans le cas quasi-statique et non-quasi-statique. L'évolution du canal est décrite en utilisant les mesures expérimentales et les simulations par la méthode des éléments

finis en 2D. Nous proposons de diviser l'évolution du canal en deux régimes : celui de propagation des canaux depuis la source vers le drain et celui de chargement du canal une fois celui-ci crée. Nous présentons le modèle de Burns [7], qui décrit la propagation du canal dans un MOSFET en mode saturé, et nous le développons et modifions pour le cas des TFTs à base d'un matériau sans ou avec défauts, et cela en mode saturé et linéaire.

4.1 Capacités Intrinsèques

Dans ce chapitre, nous prenons comme exemple un TFT du type N avec la structure « *bottom-gate staggered* » et avec une couche ohmique. Les analyses peuvent être facilement étendues pour les TFTs de type P, avec d'autres structures. Dans cette structure, il y a deux types de capacités intrinsèques. Dans l'état éteint, la capacité intrinsèque se forme entre la couche dopée et la grille, comprenant la couche intrinsèque et l'isolant de grille, comme illustré sur la figure 4.1-1 (a). Cette capacité est spatialement limitée par la région d'*overlap* et appelée souvent « capacité parasite ». Les charges stockées sur la grille sont des électrons, et celles dans la couche dopée sont des charges fixes positives. Lors du chargement et déchargement, les porteurs de charge en mouvement dans la couche dopée sont des électrons. Avec une tension plus positive aux électrodes source et drain qu'à la grille, les électrons dans la couche dopée sont drainés par les électrodes source et drain, en laissant des charges positives (dopants ionisés). Le mouvement des électrons est confiné entre la couche dopée et le métal, où la résistivité est très faible devant celle de la couche intrinsèque.

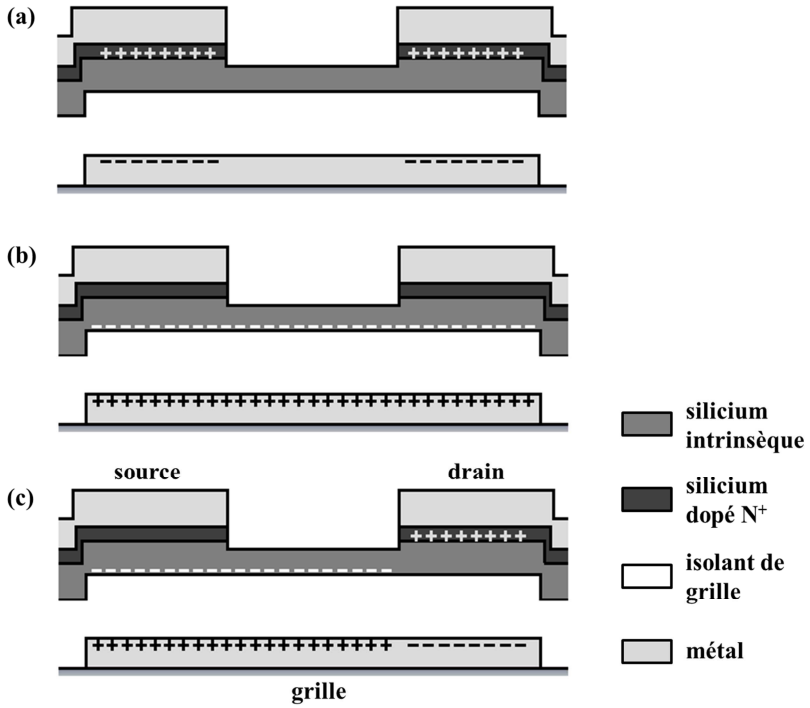

Figure 4.1-1 *Capacités intrinsèque dans un TFT avec la structure « bottom-gate staggered », (a) dans l'état éteint, (b) dans l'état allumé en mode linéaire et (c) dans l'état allumé en mode saturé. Les schémas montrent le signe des charges accumulées et ne représentent pas la quantité des charges.*

Dans l'état allumé en mode linéaire, le canal et la grille, séparés par l'isolant de grille, forment la capacité intrinsèque, comme représenté sur la figure 4.1-1 (b). Cette capacité est étendue sur toute la longueur de la grille. Pour charger cette dernière, les électrons doivent être injectés dans la couche intrinsèque à travers les deux électrodes source et drain et doivent migrer vers le milieu de la longueur du TFT. Ici nous notons deux grandes différences entre un condensateur MIS et un TFT. Premièrement, la distribution des charges est uniforme sur toute la surface dans un MIS tandis que dans un TFT la distribution des charges suit le gradient du potentiel dans le canal. Deuxièmement, la distance parcourue par les porteurs de charge est aussi différente. Dans un MIS, pour que la capacité soit chargée, il suffit que les électrons se déplacent sur une distance correspondant à l'épaisseur de la couche intrinsèque. Cependant, dans un TFT, la distance parcourue par les électrons lors du chargement de la capacité est de l'ordre de la longueur du TFT. Par conséquent, le temps de chargement est beaucoup plus important. Or, le chargement de la capacité intrinsèque de l'état allumé n'est autre que l'accumulation de charges dans le canal, c'est-à-dire, la formation du canal, et le TFT ne s'allume que quand le canal est formé. Donc, le temps de retard d'allumage d'un TFT est complètement corrélé au temps du chargement de la capacité intrinsèque.

Dans l'état allumé en mode saturé, les deux types de capacité intrinsèque apparaissent. Ceci est schématisé sur la figure 4.1-1 (c). Le potentiel appliqué à la source est plus faible que celui à la grille (en négligeant la tension de seuil), d'où la capacité entre le canal et la grille ; et le potentiel appliqué au drain est plus grand que celui à la grille, d'où la capacité entre la couche dopée et la grille. Ainsi, la capacité en mode saturé au drain a la même configuration que celle de l'état éteint, et la capacité à la source est similaire à celle de l'état allumé en mode linéaire, avec cependant une différence notable : la capacité en mode saturé à la source n'est pas étendue sur toute la longueur de la grille (elle est bornée par le drain). Le drain ne participe pas à la formation du canal ; l'injection des électrons pour former le canal est faite uniquement par la source.

Le chargement et le déchargement de ces capacités exigent le déplacement des porteurs de charge, c'est-à-dire, le courant. Dans le cas de mesures statiques, ce courant de chargement (ou de déchargement) n'est pas observé ; le courant mesuré est celui de conduction, qui entre par le drain et qui sort par la source. Le courant de chargement ne se manifeste que sous une variation temporelle des tensions appliquées. Donc, dans l'analyse dynamique, nous distinguons deux types de courants : celui de conduction et celui de chargement/déchargement.

Ici, nous différencions les cas quasi-statique et non-quasi-statique en termes de temps de chargement des capacités intrinsèques. Si la charge liée aux capacités intrinsèques correspond à la tension instantanée, nous sommes dans le cas quasi-statique. Cet équilibre immédiatement atteint signifie que le temps de chargement peut être négligé comparé à celui de changement de la tension. Cependant, si l'équilibre n'est pas instantanément atteint (cas non quasi-statique), le temps de chargement se manifeste sur la mesure. Dans la suite, nous observerons quelques exemples des mesures expérimentales dans les deux cas, quasi-statique et non-quasi-statique.

4.2 Caractérisation

4.2.1 Montage expérimental

Le schéma du montage expérimental de la mesure dynamique est montré sur la figure 4.2-1. Un signal trapézoïdal de tension est envoyé sur la grille par le générateur d'impulsion KPulse (Keithley 4200 SCS). Une des deux électrodes source/drain est liée à la masse virtuelle et le courant à cette électrode est mesuré par l'oscilloscope avec l'aide de l'amplificateur de courant à transimpédance variable DHPCA-100. L'autre électrode est connectée à la source de tension constante de polarisation. Si une tension positive est appliquée, cette électrode fonctionne comme le drain ; et si une tension négative est appliquée, elle est la source. Ces dispositifs possèdent globalement leur propre capacité d'une valeur autour de 0,95pF, considérée comme placée en parallèle avec les capacités du TFT. Nous observons sur la figure 4.2-2 la manifestation de cette capacité dans le cas d'une mesure dynamique.

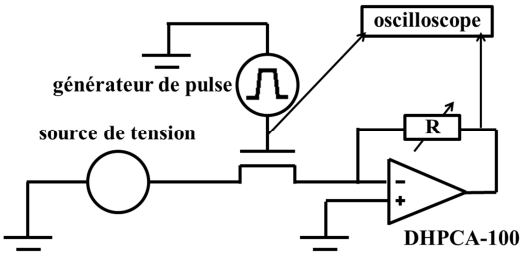

Figure 4.2-1 *Schéma pour le montage expérimental de la mesure dynamique.*

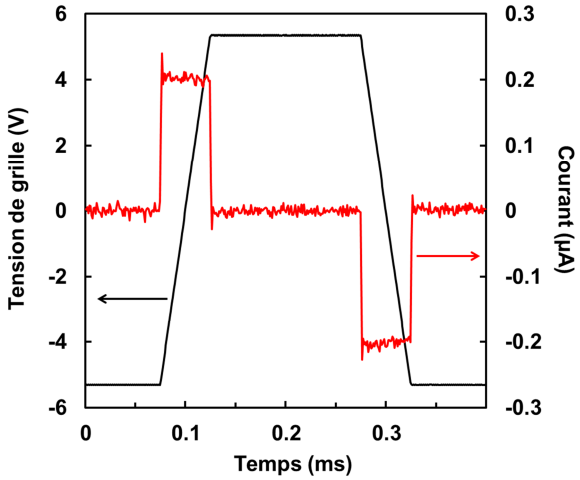

Figure 4.2-2 *Manifestation de la capacité intrinsèque du montage expérimental sur la mesure dynamique. Nous observons un courant non-nul (courbe rouge) quand la tension de grille varie (courbe noire).*

4.2.2 Comportement quasi-statique – tension V_{DS} nulle

Nous allons tout d'abord analyser le cas quasi-statique. Nous utilisons comme exemple un transistor a-Si:H TFT avec une taille de W/L = 50µm/10µm. La figure 4.2-3 montre la réponse dynamique du TFT soumis à V_{DS} = 0 V et une impulsion trapézoïdale de tension de grille. La tension

de grille varie de -5,3V à +5,3V, avec un temps de montée et de descente de 50µs et une période de 400µs. Le courant de conduction n'est pas présent en raison d'une tension V_{DS} nulle, donc tout le courant mesuré est celui de chargement (ou de déchargement). La mesure de courant se fait sur une des deux électrodes source ou drain. Comme V_{DS} est nul, il n'y a pas de distinction entre eux. Nous dirons que cette mesure est faite à la source par simplicité de langage.

Nous divisons la réponse en plusieurs étapes, comme indiqué sur la figure suivante, en discutant en détails le comportement du TFT à chaque étape.

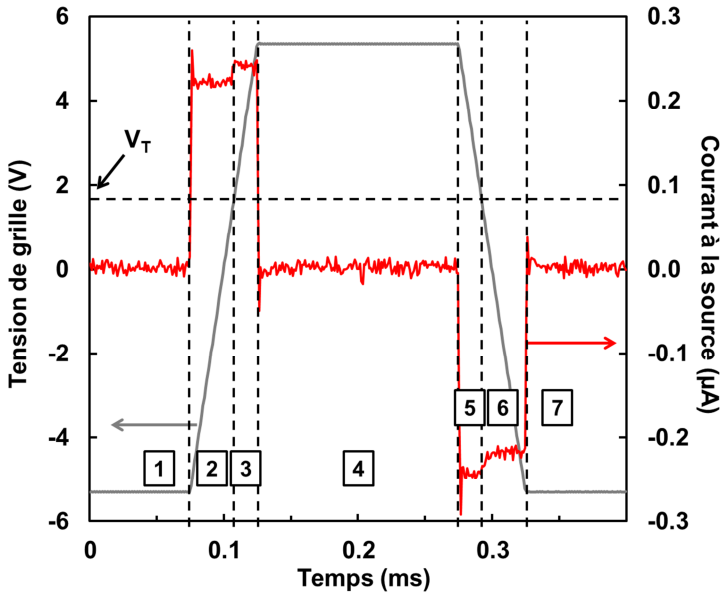

Figure 4.2-3 *Courant à la source (courbe rouge) d'un a-Si:H TFT avec W/L = 50 µm/10µm, dans le cas quasi-statique sous la tension V_{DS} nulle et sous la pulse de tension de grille (courbe grise).*

L'**étape 1** correspond à l'état éteint sous tensions constantes et avec un courant nul. La capacité intrinsèque (celle de l'état éteint) a été complètement chargée pendant l'étape précédente, et il n'y a pas de variation de la charge stockée.

L'**étape 2** correspond également à l'état éteint, mais avec la tension de grille variant. V_{GS} diminue en valeur absolue et les électrons reviennent vers la couche dopée positivement chargée. La capacité se décharge en suivant cette variation temporelle de V_{GS}. L'intensité du courant pour cette étape est constante et est décrite par l'équation suivante :

$$I = (C_{off_S} + C_{offset}) \frac{dV_{GS}}{dt}, \qquad (4.2.1)$$

où C_{off_S} est la capacité de l'état éteint à la source et C_{offset} la capacité du montage expérimental.

À l'**étape 3**, V_{GS} est plus grand que la tension de seuil (V_T), et le TFT est dans l'état allumé. Les électrons sont injectés dans la couche intrinsèque par les électrodes source et drain et chargent la

capacité de l'état allumé. Le changement de l'intensité du courant entre les étapes 2 et 3 est clairement observé. À l'étape 3 également, le courant est constant, et il est décrit par l'équation suivante :

$$I = (C_{on_S} + C_{offset}) \frac{dV_{GS}}{dt}, \tag{4.2.2}$$

où C_{on_S} est la capacité de l'état allumé observée par la source. Ici, nous remarquons que C_{on_S} ne reflète pas la totalité de la capacité de l'état allumé car l'injection des électrons est faite à la fois par les deux électrodes source et drain ; la totalité de la capacité de l'état allumé (C_{on}) est donc chargée par la somme des courants de chargement à la source (I_{cS}) et au drain (I_{cD}).

$$I_{cS} + I_{cD} = C_{on} \frac{dV_{GS}}{dt} \tag{4.2.3}$$

Dans le cas idéal où C_{offset} peut être négligé, et toujours avec V_{DS} nul, les courants mesurés correspondent aux courants de chargement, et sont écrits comme :

$$I_{cS} = C_{on_S} \frac{dV_{GS}}{dt} \tag{4.2.4}$$

$$I_{cD} = C_{on_D} \frac{dV_{GS}}{dt} \tag{4.2.5}$$

Comme il n'y a pas de distinction entre la source et le drain quand V_{DS} est nul, I_{cS} et I_{cD} doivent avoir une valeur équivalente. Par conséquent, nous concluons que la valeur de C_{on_S} est égale à C_{on_D} et vaut la moitié de C_{on} ; c'est-à-dire, la moitié des charges stockées par la capacité de l'état allumé (à V_{DS} nul) vient de la source, et l'autre moitié vient du drain. Évidemment, cela doit être pris en compte par les modèles dynamiques compacts (voir la sous-section 2.2.1). Cette analyse nous amène naturellement à la formulation du type équations des capacités, qui sépare les capacités intrinsèques en deux, en attribuant une partie à la source et l'autre partie au drain.

Les équations de (4.2.1) à (4.2.5) traduisent bien le cas quasi-statique. Le courant suit la variation temporelle de V_{GS}, et la charge dans la capacité intrinsèque à un instant donné correspond à la valeur de la tension à cet instant. Ceci permet l'approche quasi-statique, généralisée par l'équation (4.2.6), dans la modélisation dynamique compacte.

$$C = \frac{dQ}{dV} \tag{4.2.6}$$

L'**étape 4** de la figure 4.2-3 correspond à l'état allumé du TFT. Le canal est formé et prêt à conduire le courant si le transistor est soumis à une tension V_{DS} non-nulle. L**'étape 5** correspond au déchargement de la capacité de l'état allumé et l'**étape 6**, au chargement de la capacité de l'état éteint. Nous observons le changement de la capacité intrinsèque entre les étapes 5 et 6, manifesté par les deux paliers du courant. Finalement, l'**étape 7** est la répétition de l'étape 1.

4.2.3 Comportement quasi-statique – tension V_{DS} non-nulle

Quand une tension de polarisation V_{DS} est appliquée, le courant de conduction apparaît accompagné du courant de chargement. La figure 4.2-4 montre la réponse du même TFT (celui de la figure 4.2-3) pour plusieurs valeurs de V_{DS}. Le courant mesuré est celui à la source.

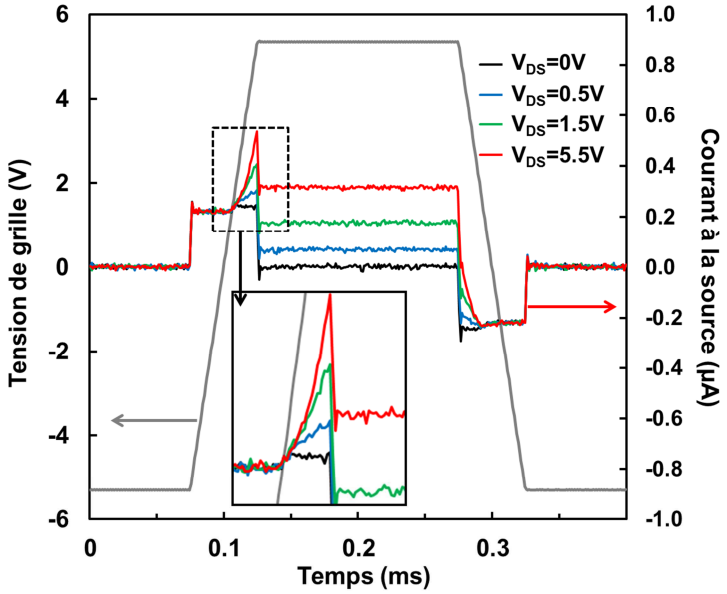

Figure 4.2-4 *Courant à la source d'un TFT avec W/L = 50 µm/10µm sous différentes valeurs de V_{DS} et sous la pulse de tension de grille (courbe grise), dans le cas quasi-statique.*

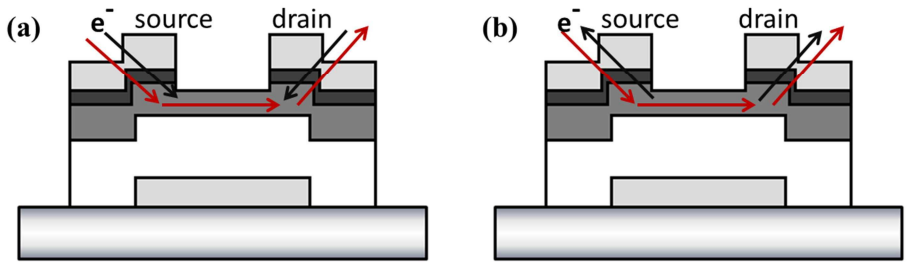

Figure 4.2-5 *Schéma du sens du mouvement des électrons lors du (a) chargement et du (b) déchargement du canal. Les flèches rouges représentent les électrons qui participent au courant de conduction, et les flèches noires, au courant de chargement/déchargement.*

Quand le TFT est en état allumé (étapes 3, 4 et 5), le courant mesuré se montre dépendant de V_{DS}, car le courant de conduction dépend de V_{DS}. Nous observons une symétrie intéressante entre les étapes 3 et 5 en raison de la coexistence de deux types de courant. À l'étape 3, le courant de chargement et le courant de conduction s'additionnent, car le sens du mouvement des électrons va de la source vers le canal. À l'étape 5, le sens du courant de conduction reste le même, qui est alors opposé au courant de déchargement (figure 4.2-5). Quand le TFT est dans l'état éteint (étapes 1, 2, 6 et

7), le courant mesuré à la source est indépendant de V_{DS}, ce qui montre que la source est déconnectée du drain (pas de canal entre eux).

4.2.4 Comportement non-quasi-statique

Maintenant, nous nous focalisons sur le cas non-quasi-statique. La figure 4.2-6 montre la réponse d'un a-Si TFT avec la taille de W/L = 200 µm/100 µm. Le signal de la tension de grille est le même que lors de l'analyse antérieure ; cette fois nous observons le comportement non-quasi-statique car ce TFT exige plus de temps pour former le canal (un temps non-négligeable comparé à la variation temporelle du signal de la tension de grille). Dans les sections 4.3 et 4.5, nous verrons de quoi le temps de formation du canal dépend.

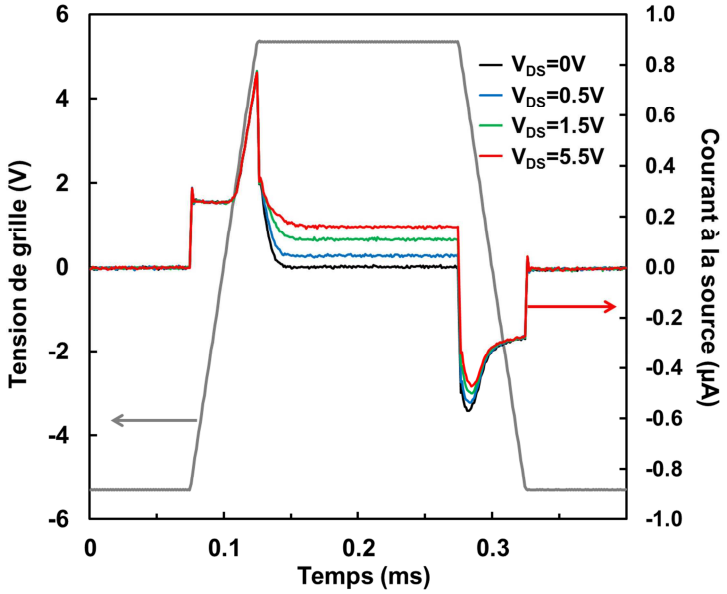

Figure 4.2-6 *Courant à la source d'un TFT avec W/L = 200 µm/100 µm sous différentes valeurs de V_{DS} et avec une impulsion de tension de grille (courbe grise), dans le cas non-quasi-statique.*

Premièrement, nous observons que le courant à l'étape 3 ne dépend plus de la tension V_{DS}. Ce courant global, indépendant de V_{DS}, montre qu'il n'y a pas de courant de conduction. La formation du canal n'est alors pas complète donc la source et le drain ne sont pas connectés entre eux. En plus, le courant ne forme pas de palier même sous V_{DS} nul. Cela signifie que l'équation (4.2.2) et l'approche quasi-statique ne sont plus valables. La vitesse du chargement n'arrive plus à suivre la variation temporelle de V_{GS} ; lors du chargement, à chaque instant donné, la charge dans le canal est inférieure à la valeur correspondant aux tensions à cet instant.

À l'étape 4, quand la tension V_{GS} devient constante, nous observons toujours le courant de chargement, et la fin de la formation du canal est indiquée par le courant qui devient constant. Nous remarquons que la charge dans le canal (et par conséquent, la valeur de la capacité) peut être obtenue en prenant la surface au-dessous de la courbe de courant sous V_{DS} nul et en soustrayant la variation de la charge engendrée par la capacité du montage expérimental.

L'étape 5 correspond au déchargement de la capacité de l'état allumé. La vitesse du déchargement aussi est lente comparée à la variation de V_{GS}, et le courant de déchargement est prolongé jusqu'à l'étape 6. Comme le canal est toujours présent (même s'il est en train de se décharger), nous observons la dépendance du courant en fonction de la tension V_{DS}.

La figure 4.2-7 montre le courant à la source et au drain en mode saturé, toujours pour le même TFT et avec le même signal dynamique de tension de grille. À l'étape 3, comme le courant de conduction est nul (formation du canal incomplète), le seul courant observé est le courant de chargement. Le courant au drain ne varie pas entre les étapes 2 et 3, montrant ainsi que la capacité en mode saturé au niveau du drain est la même que celle de l'état éteint et que la formation du canal est faite uniquement par la source. Quand V_{GS} devient constant (étape 4), nous observons la continuation du courant de chargement à la source, et aucun courant au drain. Avec le progrès de la formation du canal, la conduction entre la source et le drain commence, ce qui est clairement indiquée par l'apparition du courant au drain. Ce courant augmente avec le temps et atteint une valeur constante, signifiant ainsi que la formation du canal est complète.

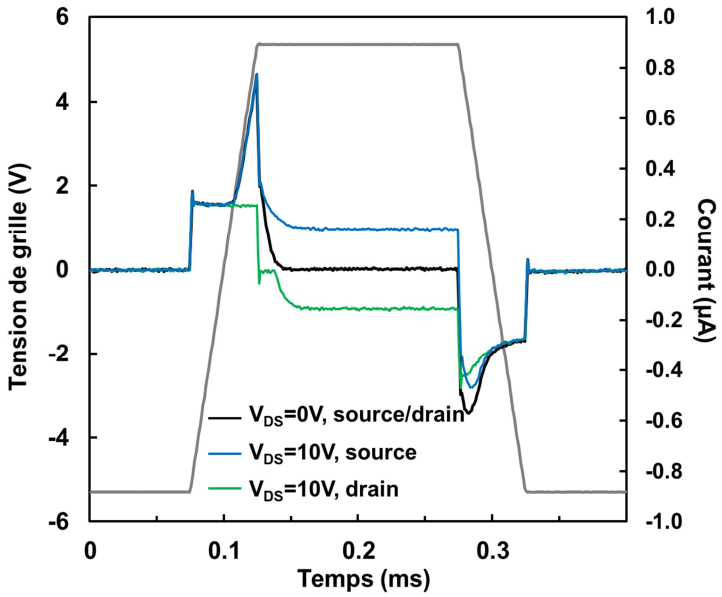

Figure 4.2-7 *Courant à la source et au drain d'un TFT avec W/L = 200 µm/100 µm sous la pulse de tension de grille (courbe grise), dans le cas non-quasi-statique, en mode linéaire (V_{DS} = 0 V) et en mode saturé (V_{DS} = 10 V).*

4.3 Évolution du canal

Dans cette section, une analyse qualitative de l'évolution temporelle du canal est effectuée à partir des simulations par la méthode des éléments finis en utilisant le logiciel ATLAS (Silvaco TCAD). En considérant la propagation graduelle du canal, illustrée sur la figure 4.3-1, nous pouvons facilement comprendre que le début de la conduction de la figure 4.2-7 signifie que le canal a atteint la région sous l'influence du drain. En mode linéaire, le canal est créé par des électrons injectés par la source et par le drain. Pour cette raison, nous observons sur la figure 4.3-1 (b) deux canaux se

propageant vers le milieu de la longueur du TFT, et la conduction débute quand les deux canaux se rencontrent.

Les figures 4.3-2 montrent le résultat de la simulation du courant de transition, de l'état éteint (V_{GS} = 0V) à l'état allumé (V_{GS} = 10V), d'un TFT à base de silicium amorphe (voir l'annexe A.2.4) avec la structure de type « *bottom-gate staggered* ». Le temps de montée est de 0,1µs, ce qui est négligeable devant le temps de formation du canal. Nous notons que, avec le montage expérimental, le temps de montée (ou de descente) ne peut pas être réduit infiniment car cela cause un pic de courant, saturant alors l'appareil de mesure (amplificateur de transimpédance).

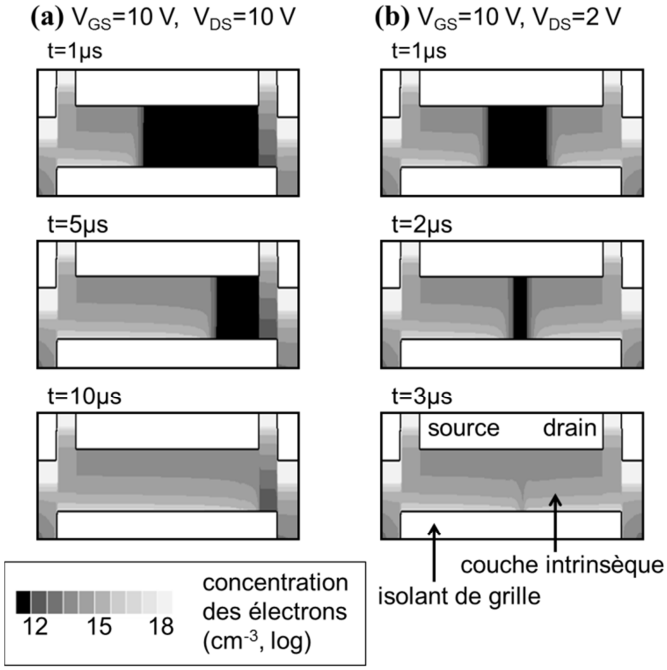

Figure 4.3-1 *Simulation ATLAS de l'évolution du canal dans un TFT avec la structure « bottom-gate staggered ». Les figures montrent le profil de la concentration des électrons dans la couche intrinsèque à plusieurs instants, (a) en mode saturé (V_{GS} = 10V et V_{DS} = 10V) et (b) en mode linéaire (V_{GS} = 10V et V_{DS} = 2V).*

Sur les courbes du courant au niveau du drain de la figure 4.3.2 (a), nous observons systématiquement un changement de la concavité (présence du point d'inflexion), ce qui indique le début de la conduction entre la source et le drain. Ce comportement est observé même quand il n'y a pas de courant de conduction (V_{DS} = 0V). Dans ce cas, le changement de la concavité est attribué à la rencontre des deux canaux, comme illustré sur la figure 4.3-3.

La figure 4.3.2 (b) montre le courant de transition au niveau de la source. Avant le changement de la concavité, le courant ne dépend pas de V_{DS}, et, autour du point d'inflexion, le courant commence à dépendre de V_{DS}, traduisant ainsi le début de l'interaction entre la source et le drain via le canal.

Finalement, la figure 4.3.2 (c) montre le courant au niveau de la grille. Sur les simulations, le courant de conduction entre par le drain et la totalité du courant sort par la source. Donc le courant à la

grille est uniquement celui de chargement et peut être estimé, en valeur absolue, à la somme entre le courant de chargement à la source et le courant de chargement au drain. En mode saturé, le courant de chargement au drain est nul, donc, naturellement, le courant à la grille n'est autre que le courant de chargement à la source. Sur cette figure où il n'y a que le courant de chargement, nous observons clairement qu'il y a bien deux régimes de chargement.

Nous remarquons que l'intégrale du courant de chargement en fonction du temps est la charge ; donc, à partir de la figure 4.3-2 (c), nous pouvons obtenir la courbe de l'évolution temporelle de la charge stockée à la grille (et la charge au canal), qui est tracée sur la figure 4.3-2 (d).

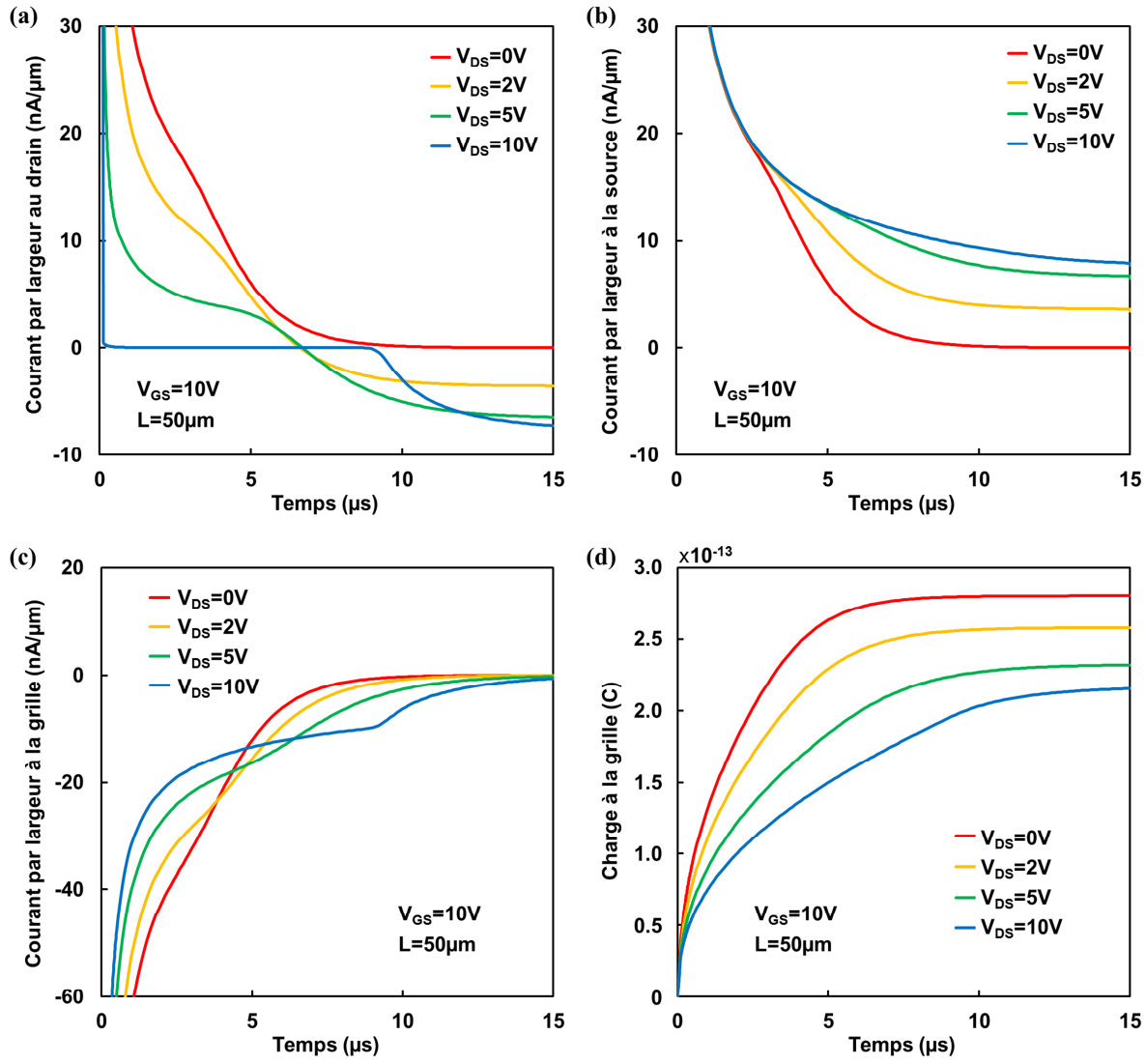

Figure 4.3-2 *Simulation ATLAS du courant de transition de l'état éteint (V_{GS} = 0 V) à l'état allumé (V_{GS} =10 V), (a) au drain, (b) à la source et (c) à la grille, pour plusieurs valeurs de V_{DS}. La figure (d) montre l'évolution temporelle de la charge stockée à la grille.*

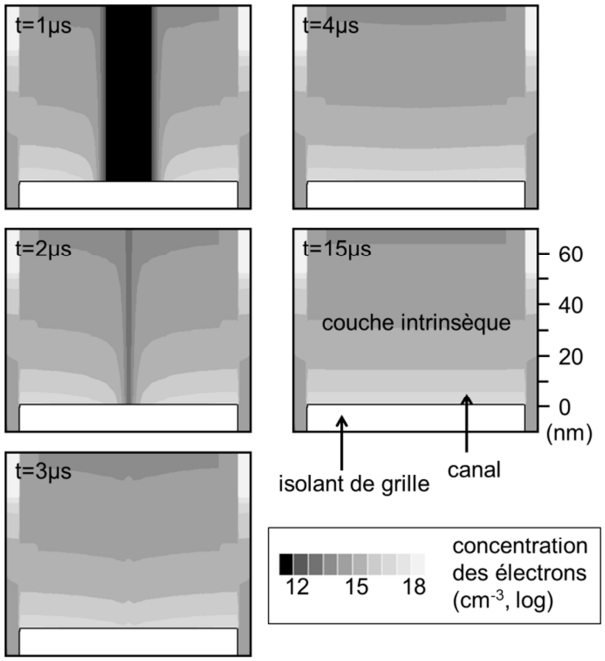

Figure 4.3-3 *Simulation ATLAS de l'évolution du canal dans un TFT avec la structure « bottom-gate staggered », avec le profil de la concentration des électrons dans la couche intrinsèque à plusieurs instants, sous V_{GS} = 10V et V_{DS} = 0V.*

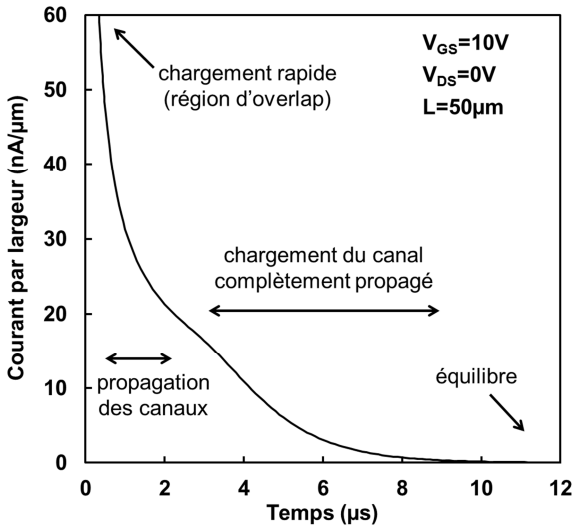

Figure 4.3-4 *Différents régimes lors de l'évolution du canal.*

Basé sur ces observations, nous divisons l'évolution temporelle du canal en deux différents régimes. La figure 4.3-4 résume ces deux régimes sur la courbe du courant au niveau du drain pour une tension V_{DS} nulle, et où le courant de conduction n'est donc pas présent. Le premier régime correspond à la propagation des canaux (ou d'un seul canal en mode saturé), avec les canaux qui croissent en taille et en densité de charge. Un changement de la concavité apparaît indiquant ainsi la fin de la propagation, avec le début du courant de conduction dans le cas où V_{DS} n'est pas nul. Le deuxième régime est celui du chargement du canal complètement propagé, où les deux types de

courant sont présents (toujours si V_{DS} n'est pas nul). Quand le courant de chargement devient nul, le chargement du canal est fini, et le TFT est alors en équilibre. Nous tenons à faire remarquer l'accumulation des charges dans le canal au-dessous de la couche N^+ (région de l'*overlap*), qui est faite très rapidement en raison de la courte distance parcourue par des électrons (épaisseur de la couche intrinsèque) si nous la comparons à la longueur du TFT.

Nous constatons ici deux temps caractéristiques de l'évolution du canal. Le premier est le temps lié à la transition entre les deux régimes : le temps de rencontre des canaux pour le mode linéaire (ou sous V_{DS} nul) et le temps de retard à l'allumage (utilisons cette expression pour noter l'instant où le courant de conduction apparaît au niveau du drain) pour le mode saturé ; et le deuxième est le temps indiquant la fin de la formation du canal. En regardant ces deux temps caractéristiques sur les mesures expérimentales, nous pouvons comparer qualitativement le temps nécessaire pour la formation du canal sous plusieurs conditions. Les figures 4.3-5 (a) et (b) montrent que la formation du canal est plus rapide quand la longueur de TFT est logiquement plus courte et quand la valeur de V_{GS} (en toute rigueur, $V_{GS} - V_T$) est plus élevée. Sur la figure 4.3-5 (a), nous avons comparé le temps de retard à l'allumage en mode saturé en faisant varier la longueur des TFTs, pendant que, sur la figure 4.3-5 (b), nous avons observé le temps que les TFTs mettent à atteindre l'équilibre (courant devenant nul sous V_{DS} = 0 V) pour plusieurs valeurs de V_{GS}. Sur la figure 4.3-5 (c), nous présentons une mesure expérimentale effectuée sur un TFT à base de silicium poly-cristallin (fabriqué à l'IETR de l'Université de Rennes 1). Comme la mobilité de ce TFT (> 100 cm^2/V.s) est bien supérieure à celle des TFTs à base de silicium amorphe (~ 1 cm^2/V.s), la formation du canal est nettement plus rapide.

Dans la section 4.5, nous modéliserons le temps de rencontre des canaux et le temps de retard d'allumage ainsi que la propagation des canaux.

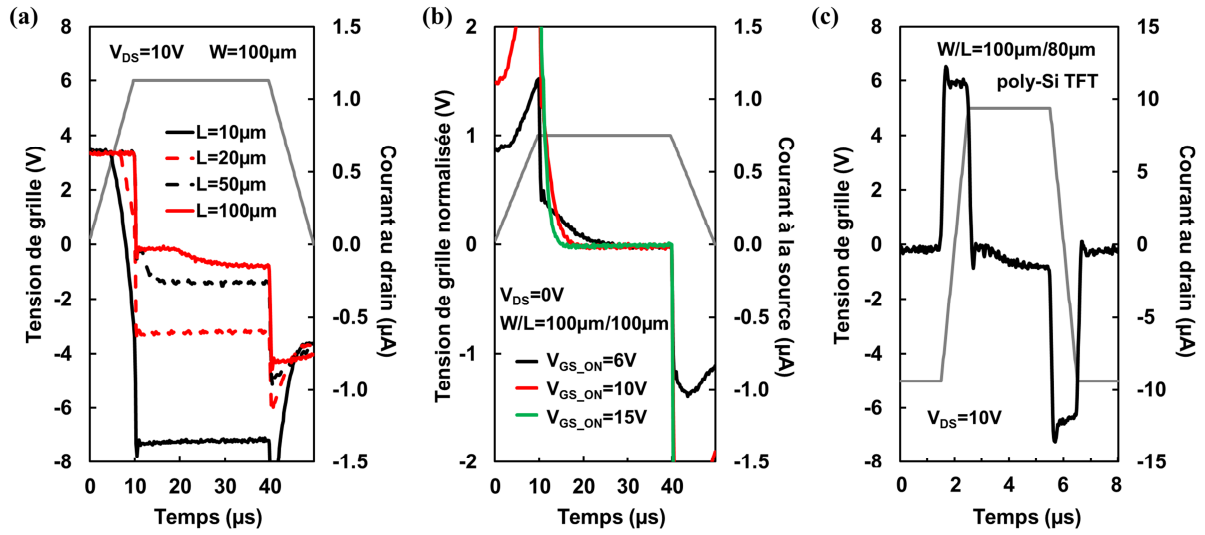

Figure 4.3-5 *Comparaison qualitative du temps nécessaire pour la formation du canal, en variant (a) la longueur du canal et (b) la valeur de V_{GS} sur un a-Si:H TFT. La figure (c) montre un exemple de la mesure de poly-Si TFT ; nous notons que l'échelle du temps est plus bien sûr plus faible.*

4.4 Transition lors de l'extinction

La transition de l'état allumé à l'état éteint n'est pas symétrique à celle lors de l'allumage [8], [9]. Les figures 4.4-1 montrent l'évolution temporelle de la concentration des électrons dans le canal (plus précisément, à 1nm de distance -suivant l'axe y- à partir de l'interface avec l'isolant de grille) pendant l'allumage et l'extinction du transistor. Lors de l'allumage, le chargement commence par les régions près des électrodes source et drain. Par conséquent, ces régions deviennent de plus en plus conductrices, et cela facilite le transport des électrons vers le milieu du TFT ; le transport des électrons devient de plus en plus aisé avec le temps. Lors de l'extinction, le déchargement se fait également en commençant par les régions près des électrodes source et drain. Cependant, cela augmente la résistivité de ces régions, ce qui rend difficile l'extraction des électrons accumulés au milieu du canal. Ainsi, le déchargement de la capacité intrinsèque de l'état allumé se fait beaucoup plus lentement que son chargement.

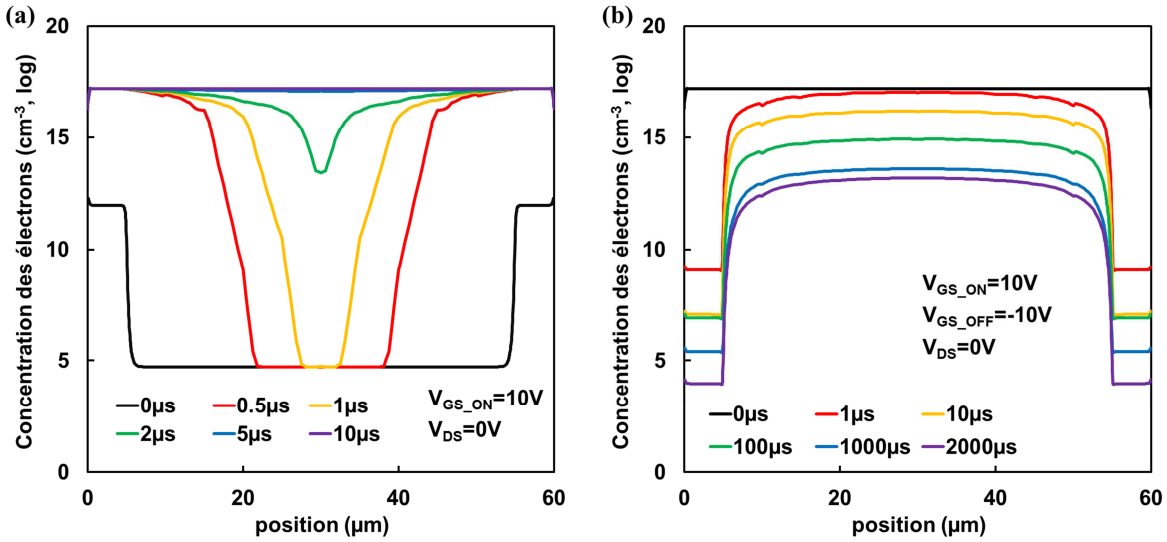

Figure 4.4-1 *Simulation ATLAS de la concentration des électrons dans la couche intrinsèque à plusieurs instants : (a) lors de l'allumage avec V_{GS} de 0V à 10V et V_{DS} = 0V ; (b) lors de l'extinction avec V_{GS} de 10V à -10V et V_{DS} = 0V.*

4.5 Modélisation

Dans l'objectif de développer un modèle dynamique compact qui traduit les analyses des sections précédentes, nous cherchons à modéliser la propagation des canaux. Premièrement nous présentons le modèle de Burns, proposé pour les transistors MOSFETs (à base de silicium monocristallin) en mode saturé. Nous développerons ce modèle pour le cas des TFTs à base de silicium avec un nombre important de défaut (amorphe et microcristallin), en mode saturé et en mode linéaire.

4.5.1 Modèle de Burns

En 1969, J. R. Burns propose un modèle pour décrire la propagation du canal en mode saturé dans un MOSFET, en utilisant l'approche du type « ligne de transmission » (*transmission-line*) [7]. Une des limitations, souvent critiquées, de ce modèle concerne le substrat [3], [9], [10]. Dans le modèle de Burns, aucune interaction avec le substrat (silicium dopé du type P) n'est considérée, et cette approximation correspond plutôt à l'électronique de silicium sur isolant (SOI – *Silicon On Insulator*), ce qui correspond parfaitement à la problématique de nos TFTs.

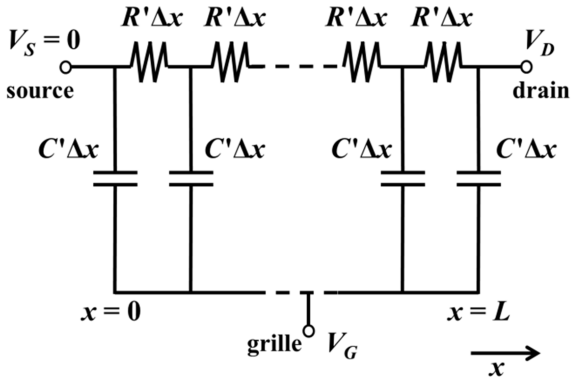

Figure 4.5-1 *Schéma pour la déduction du modèle de Burns, approche du type ligne de transmission d'un MOSFET.*

La figure 4.5-1 décrit un MOSFET (ou un TFT) modélisé avec l'approche du type « ligne de transmission », avec des capacités et des résistances infinitésimales. Sur la figure, *C*' représente la capacité de l'isolant de grille par unité de longueur, qui est une grandeur constante, et *R*' est la résistance du canal par unité de longueur, qui peut varier selon la position et le temps. À partir de ce schéma, nous obtenons les équations suivantes :

$$\frac{\partial I(x,t)}{\partial x} = -C' \frac{\partial V(x,t)}{\partial t} \tag{4.5.1}$$

$$\frac{\partial V(x,t)}{\partial x} = -I(x,t)R' \tag{4.5.2}$$

La première équation traduit le fait que la différence du courant entre deux résistances consécutives est utilisée pour charger la capacité située entre elles. La deuxième équation indique la chute de tension dans une résistance. Dans ces équations, $I(x,t)$ et $V(x,t)$ sont respectivement le courant et le potentiel dans le canal à l'instant t et à la position x, x étant égal à zéro à la source et égal à L (longueur nominale du TFT) au drain. Nous écrivons R' comme ci-dessous :

$$\frac{1}{R'} = G'(x,t) = \mu C' \left(V_{GS} - V_T - V(x,t)\right), \tag{4.5.3}$$

où G' est la conductance par unité de longueur et μ est la mobilité des électrons dans la couche active.

Nous notons, premièrement, que V_{GS} est représenté comme une valeur constante, indiquant que le signal est assimilé à un créneau parfait, avec le temps de montée égal à zéro. Dans l'équation (4.5.2), le courant dû à la variation de la concentration des porteurs (courant de diffusion) est négligé. L'expression pour la conductance est donnée ici dans le contexte du silicium monocristallin. Enfin, nous observons que la résistance d'accès n'est pas incluse dans le schéma.

Avec le changement de variable suivant :

$$\overline{V}(x,t) = V_{GS} - V_T - V(x,t), \tag{4.5.4}$$

les équations (4.5.1)-(4.5.3) se résument à une seule équation différentielle.

$$\overline{V}\frac{\partial^2 \overline{V}(x,t)}{\partial x^2} + \left(\frac{\partial \overline{V}(x,t)}{\partial x}\right)^2 = \frac{1}{\mu}\frac{\partial \overline{V}(x,t)}{\partial t} \tag{4.5.5}$$

Nous effectuons d'autres changements de variable :

$$v = \frac{\overline{V}}{V_{GS} - V_T} \tag{4.5.6}$$

$$Z = 1 - \frac{x}{L} \tag{4.5.7}$$

et

$$t' = \frac{\mu(V_{GS} - V_T)}{L^2} t. \tag{4.5.8}$$

Avec ces changements, nous obtenons l'équation suivante :

$$\frac{\partial}{\partial Z}\left(v\frac{\partial v}{\partial Z}\right) = \frac{\partial v}{\partial t'}, \tag{4.5.9}$$

qui est une équation de diffusion avec le coefficient de diffusion proportionnel à la concentration. Cette diffusion a lieu dans une longueur délimitée par la source et le drain. Dans le régime de la propagation des canaux, l'équation (4.5.9) peut être considérée comme dans un milieu semi-infini. Quand le canal arrive au drain, une autre approche est nécessaire.

Nous nous plaçons dans le régime de la propagation des canaux et nous évaluons les conditions aux limites. Premièrement, la tension à la source est constante et égale à zéro.

$$v(1,t') = 1 \tag{4.5.10}$$

Immédiatement après le début du signal en créneau de V_{GS}, la charge est nulle sur des capacités locales (sauf capacité à $x = 0$). Dans la modélisation par Burns, cela est traduit comme le potentiel dans le canal égal à $(V_{GS} - V_T)$, c'est-à-dire :

$$v(Z,0) = 0. \tag{4.5.11}$$

Nous introduisons une nouvelle variable Y :

$$Y = \frac{1-Z}{2\sqrt{t'}} = \frac{x}{2\sqrt{\mu(V_{GS} - V_T)t}}. \tag{4.5.12}$$

Avec ce changement, l'équation (4.5.9) est réécrite comme[1] :

$$v\frac{d^2v}{dY^2} + \left(\frac{dv}{dY}\right)^2 + 2Y\frac{dv}{dY} = 0, \tag{4.5.13}$$

avec les conditions aux limites suivantes.

$$v = 1 \text{ quand } Y = 0 \tag{4.5.14}$$

$$v = 0 \text{ quand } Y = \infty \ (t = 0) \tag{4.5.15}$$

L'équation différentielle (4.5.13) a été résolue numériquement ; le résultat est montré sur la figure 4.5-2. Nous observons que la grandeur v est nulle pour toutes les valeurs de Y plus grandes que 0,81. Or, v est nul quand la capacité locale est non-chargée, donc Y = 0,81 indique l'ensemble des paires « position-temps » du front du canal se propageant (autrement dit, la valeur maximum de la position x atteinte par le canal à l'instant t). Donc, pour un instant donné, la position du front du canal (x_0) peut être calculée en réécrivant l'équation (4.5.12) :

$$x_0(t) = 2 \times 0{,}81\sqrt{\mu(V_{GS} - V_T)}\sqrt{t}. \tag{4.5.16}$$

La condition $x_0 = L$ donne le temps d'arrivée du canal au drain (t_d) :

$$t_d = \left(\frac{1}{2 \times 0{,}81}\right)^2 \frac{L^2}{\mu(V_{GS} - V_T)}. \tag{4.5.17}$$

Le résultat de la résolution numérique de l'équation (4.5.3) décrit le profil de la distribution du potentiel électrique (en réalité, plutôt celle du quasi-potentiel de Fermi si nous regardons l'équation (4.5.2)) dans le canal. Nous avons simulé par ATLAS le TFT à base de silicium sans défaut (densité d'états nulle dans la bande interdite, voir l'annexe A.2.5) et comparé avec le modèle de Burns. Sur la figure 4.5-3 le quasi-potentiel de Fermi normalisé (obtenu par la simulation) et le potentiel du modèle

[1] Cette expression apparaît dans la référence [7] avec une faute de dactylographie.

de Burns normalisé (grandeur *v*, de la figure 4.5-2) sont tracés en fonction de la position normalisée pour plusieurs instants. La position normalisée peut être écrite par :

$$\frac{x}{L}=\frac{2Y}{L}\sqrt{\mu(V_{GS}-V_T)t}. \tag{5.5.18}$$

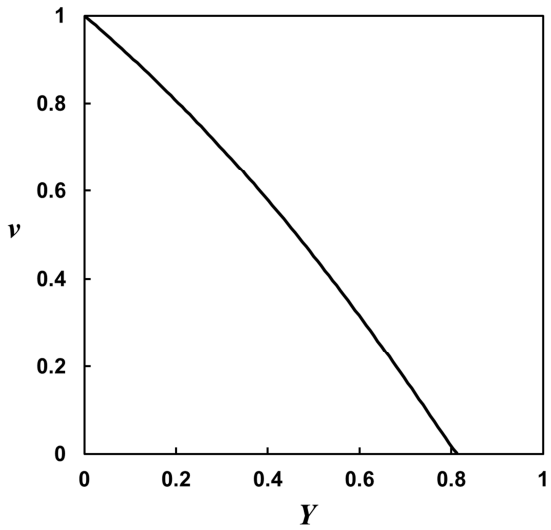

Figure 4.5-2 *Résolution numérique de l'équation différentielle (4.5.13).*

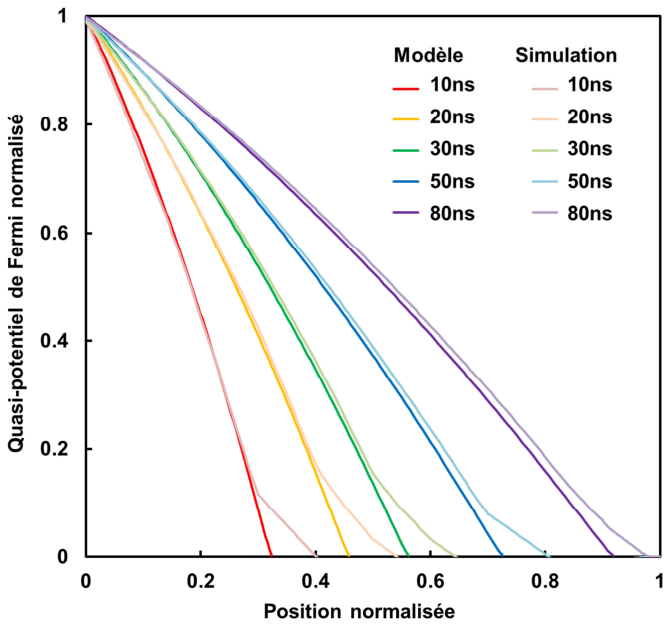

Figure 4.5-3 *Simulation de la distribution du quasi-potentiel de Fermi à plusieurs instants dans un TFT à base de silicium sans défaut et la distribution prévue par le modèle de Burns.*

La divergence entre le modèle et la simulation du front de propagation du canal est attribuée à la diffusion provenant du canal, qui est négligée dans le modèle. Malgré cela, le modèle de Burns

montre une prévision raisonnable sur la propagation du canal, pour un modèle déduit avec beaucoup d'approximations.

4.5.2 Matériaux avec défauts

Nous développons et adaptons ici le modèle de Burns pour des TFTs à base de silicium avec un nombre important de défauts comme le silicium amorphe et microcristallin. La limitation du modèle lors de son emploi, au cas de ces matériaux, vient de l'expression de la conductance. Pour pouvoir écrire la conductance d'une manière succincte, nous avons choisi, au lieu d'utiliser l'expression (4.5.3), de prendre la loi de puissance du modèle compact RPI (voir la sous-section 2.1.2) :

$$G'(x,t) = \mu_0 C' \frac{(V_{GS} - V_T - V(x,t))^{\gamma+1}}{V_{aa}{}^{\gamma}} \tag{4.5.19}$$

En utilisant cette expression de la conductance et en effectuant les changements de variable suivants :

$$\overline{V}(x,t) = V_{GS} - V_T - V(x,t) \tag{4.5.20}$$

$$v = \frac{\overline{V}}{V_{GS} - V_T} \tag{4.5.21}$$

$$Z = 1 - \frac{x}{L} \tag{4.5.22}$$

$$t' = \frac{\mu_0 (V_G - V_T)^{\gamma+1}}{L^2 V_{aa}{}^{\gamma}} t \tag{4.5.23}$$

nous obtenons l'équation différentielle suivante, qui ressemble à l'équation (4.5.9), avec un paramètre supplémentaire γ :

$$\frac{\partial}{\partial Z}\left[v^{\gamma+1} \frac{\partial v}{\partial Z} \right] = \frac{\partial v}{\partial t'}. \tag{4.5.24}$$

Avec la nouvelle variable *Y*, cette fois définie par :

$$Y = \frac{1-Z}{2\sqrt{t'}} = \frac{x}{2\sqrt{t}} \sqrt{\frac{V_{aa}{}^{\gamma}}{\mu (V_{GS} - V_T)^{\gamma+1}}}, \tag{4.5.25}$$

l'équation (4.5.24) est réécrite comme suit :

$$v^{\gamma}\left[v\frac{d^2v}{dY^2}+(\gamma+1)\left(\frac{dv}{dY}\right)^2\right]+2Y\frac{dv}{dY}=0. \qquad (4.5.26)$$

Nous retrouvons le modèle de Burns si $\gamma = 0$.

La solution de l'équation (4.5.26) est dépendante du paramètre γ et est montrée sur la figure 4.5-4 pour plusieurs valeurs de γ ; nous pouvons en déduire que la position du front de création du canal dépend de γ. Notons comme K la valeur de Y à partir de laquelle v s'annule. Les solutions numériques de l'équation (4.5.26) suggèrent que K est une fonction décroissante de γ (au moins pour les valeurs de γ testées). Par exemple, K vaut 0,81 dans le cas du silicium monocristallin ($\gamma = 0$) et vaut 0,68 quand $\gamma = 0{,}40$ (valeur de γ par défaut dans le modèle RPI employé dans SPICE pour les TFTs). La position du front du canal est écrite par :

$$x_0(t)=2K\sqrt{\frac{\mu_0(V_{GS}-V_T)^{\gamma+1}}{V_{aa}{}^{\gamma}}}\sqrt{t}, \qquad (4.5.27)$$

et le temps d'arrivée du canal au drain est :

$$t_d=\left(\frac{1}{2K}\right)^2\frac{L^2V_{aa}{}^{\gamma}}{\mu_0(V_{GS}-V_T)^{\gamma+1}}. \qquad (4.5.28)$$

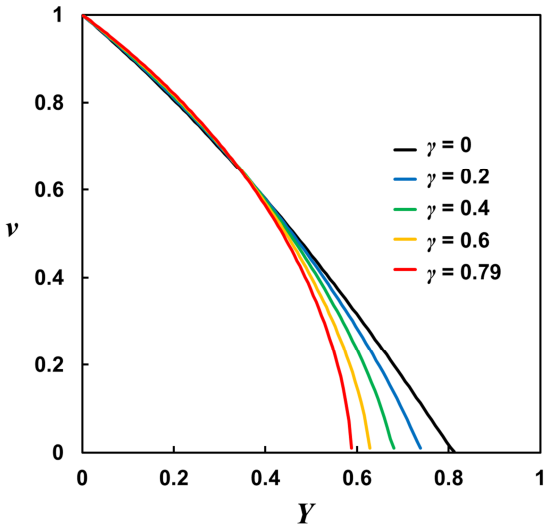

Figure 4.5-4 *Résolution numérique de l'équation différentielle (4.5.26) pour plusieurs valeurs de γ.*

Nous avons utilisé le résultat de la simulation de la section 4.3 pour évaluer le modèle. La seule différence entre cette simulation et celle utilisée pour le cas du silicium sans défaut (figure 4.5-3) est la présence/absence des défauts (tous les autres paramètres du matériau comme le gap et la mobilité des électrons ainsi que la structure n'ont pas été variés ; voir l'annexe A.2). La figure 4.5-5 montre la distribution du quasi-potentiel de Fermi dans le canal obtenue par la simulation et celle

prévue par notre modèle (la solution numérique l'équation (4.5.26) avec γ = 0,79). Nous notons que, le changement de la vitesse de propagation (différence d'ordre de 10^2) et la différente courbure de la distribution du potentiel sont bien décrits avec l'introduction de l'approche RPI.

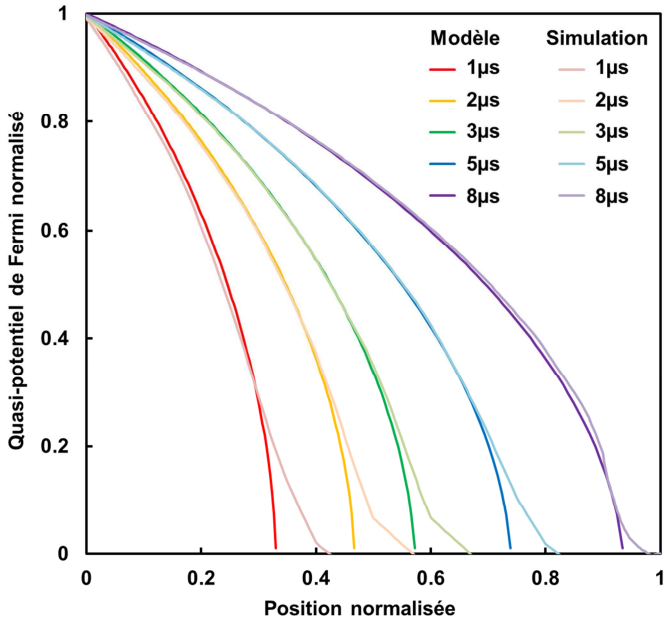

Figure 4.5-5 *Simulation de la distribution du quasi-potentiel de Fermi à plusieurs instants d'un TFT à base de silicium avec des défauts et la distribution prévue par notre modèle (avec γ = 0,79).*

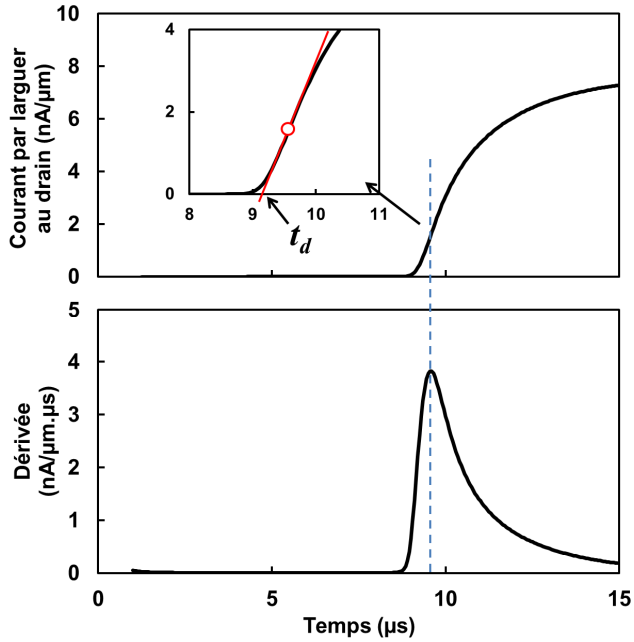

Figure 4.5-6 *Méthode d'extraction du temps de retard d'allumage.*

Une des difficultés pour utiliser dans la pratique ce modèle (ainsi que le modèle de Bruns) est comment déterminer le temps de retard à l'allumage à partir des données expérimentales (ou de la

simulation). Dans l'objectif d'éliminer la subjectivité de l'extraction, nous avons tracé une droite tangente à la courbe du courant en fonction du temps (au niveau du drain, en valeur absolue) au point maximal de la dérivée, et nous avons défini le temps de retard à l'allumage comme son intersection avec l'axe du temps (figure 4.5-6). Le temps de retard à l'allumage (sur les simulations montrées sur les figures 4.5-3 et 4.5-5) ainsi extrait est tracé en fonction de l'inverse de ($V_{GS} - V_T$). Nous pouvons observer que le résultat de la simulation d'un TFT sans défaut est bien décrit par une droite tandis que la loi de puissance est plus adaptée pour le cas du silicium comportant des défauts.

La valeur du paramètre γ ainsi obtenue (γ = 0,61) est différente de celle de la figure 4.5-5 (γ = 0,79). Cela reflète la différence entre la simulation et le modèle. Dans le modèle, où la diffusion est négligée, nous pouvons facilement déterminer la position du front de propagation du canal. Cependant, sur la simulation, la diffusion des électrons du canal selon la direction *x* crée une « queue du canal » ; les charges sont présentes au-delà de la position du front du canal prévue par le modèle. Également, cette diffusion rend difficile la détection du moment exact de l'apparition du courant, car quand la queue du canal atteint le drain, il apparaît un courant, même s'il est faible. Pour pouvoir extraire les paramètres qui décrivent à la fois la distribution du potentiel et le temps de retard à l'allumage, des études supplémentaires sont nécessaires en distinguant le courant prévu par le modèle et le courant dû à la queue du canal.

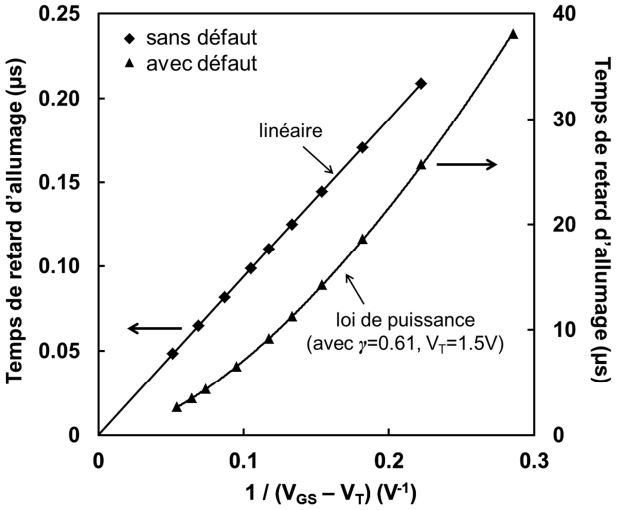

Figure 4.5-7 *Temps de retard d'allumage en fonction de l'inverse de ($V_{GS} - V_T$), résultat des simulations ATLAS des TFTs à base de silicium sans et avec défaut.*

4.5.3 Mode linéaire

Nous pouvons étendre notre modèle pour le mode linéaire. Nous avons noté que la source et le drain n'interagissent pas jusqu'au moment où les deux canaux se rejoignent. Cela est traduit sur la figure 4.3.2 (b), où les courbes du courant à la source se montrent indépendantes de V_{DS} pendant le régime de la propagation des canaux. Ce point nous mène à penser que la vitesse de la propagation du canal du côté source ne dépend pas de V_{DS} dans ce régime. Les figures 4.5-8 et 4.5-9 montrent la concentration des électrons et le quasi-potentiel de Fermi au niveau du canal (à 1nm de distance de

l'interface avec l'isolant de grille) à l'instant t = 1µs et t = 2µs, obtenus par des simulations ATLAS (les mêmes simulations que pour les figures 4.3-2). Sur les figures, l'intervalle de x = 0µm à x = 5µm correspond à l'*overlap* au niveau de la source, et l'intervalle de x = 55µm à x = 60µm correspond à l'*overlap* au niveau du drain. Ces figures vérifient l'hypothèse de l'indépendance en V_{DS} de la vitesse de propagation du canal du côté de la source. Évidemment, la vitesse de propagation du canal du côté drain varie avec $V_{DS,}$ car V_{GD} varie.

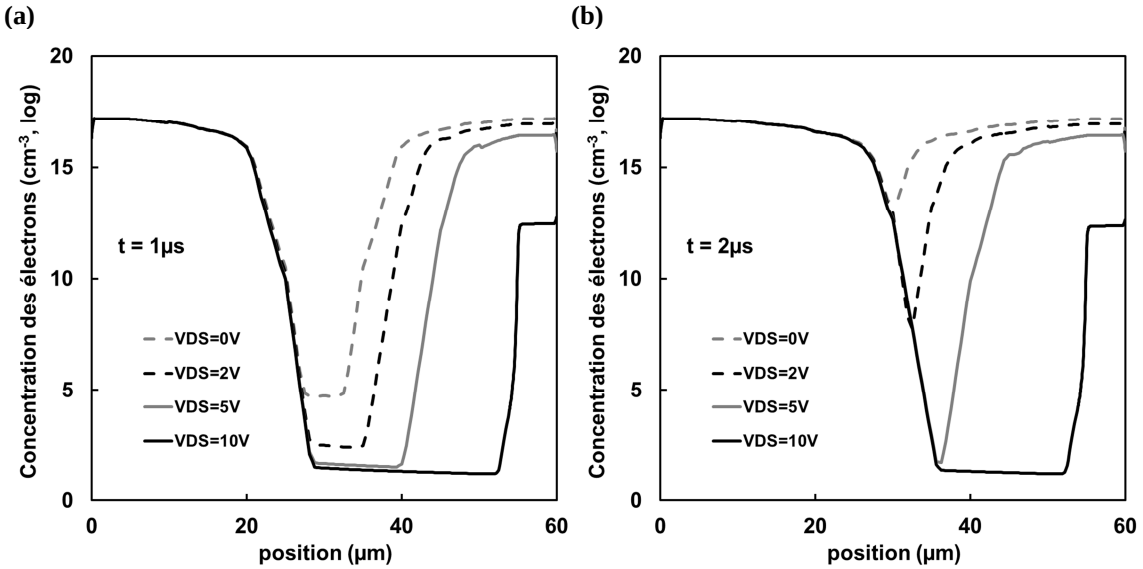

Figure 4.5-8 *Simulation ATLAS du régime de propagation des canaux lors de la transition de l'état éteint (V_{GS} = 0V) à l'état allumé (V_{GS} = 10V). Les figures montrent la concentration des électrons dans le canal (lue à 1nm de distance à partir de l'interface avec l'isolant de grille) (a) à l'instant t = 1µs et (b) à t = 2µs.*

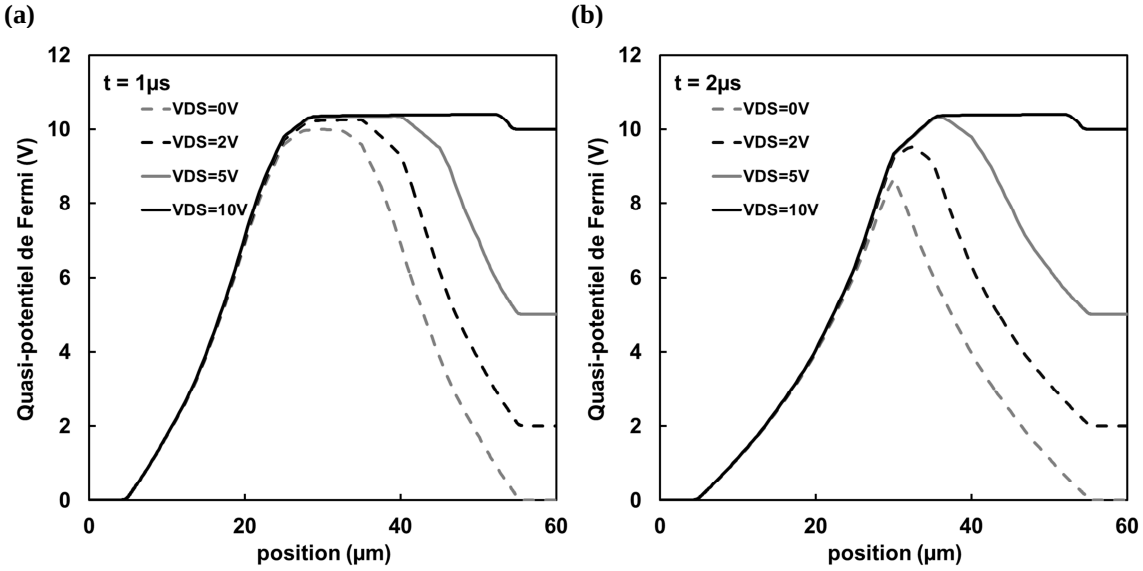

Figure 4.5-9 *Simulation ATLAS du régime de propagation des canaux lors de la transition de l'état éteint (V_{GS} = 0V) à l'état allumé (V_{GS} = 10V). Les figures montrent le quasi-potentiel de Fermi (a) à l'instant t = 1µs et (b) à t = 2µs.*

Donc, l'équation (4.5.27) est toujours valable pour le mode linéaire ; cela nous permet d'implémenter le modèle de la propagation du canal du mode saturé dans la modélisation du mode linéaire. La distance parcourue par le canal du côté source est écrite avec l'équation (4.5.27) :

$$\Delta x_S(t) = 2K\sqrt{\frac{\mu_0 (V_{GS} - V_T)^{\gamma+1}}{V_{aa}{}^{\gamma}}}\sqrt{t}, \tag{4.5.29}$$

Pour la distance parcourue par le canal du côté drain, nous utilisons la même équation, mais avec V_{GD} au lieu de V_{GS}.

$$\Delta x_D(t) = 2K\sqrt{\frac{\mu_0 (V_{GD} - V_T)^{\gamma+1}}{V_{aa}{}^{\gamma}}}\sqrt{t}, \tag{4.5.30}$$

Nous pouvons facilement estimer le temps (t_m) et la position (x_m) de la rencontre des deux canaux : ils se rencontrent quand la somme des distances parcourues par les deux canaux est égale à la longueur nominale du TFT (L).

$$L = \Delta x_S(t_m) + \Delta x_D(t_m) \tag{4.5.31}$$

Ce calcul mène aux expressions suivantes :

$$t_m = \left(\frac{1}{2K}\right)^2 \frac{V_{aa}{}^{\gamma}}{\mu_0} \frac{L^2}{\left(\sqrt{(V_{GS} - V_T)^{\gamma+1}} + \sqrt{(V_{GD} - V_T)^{\gamma+1}}\right)^2} \tag{4.5.32}$$

et

$$x_m = \frac{\sqrt{(V_{GS} - V_T)^{\gamma+1}}}{\sqrt{(V_{GS} - V_T)^{\gamma+1}} + \sqrt{(V_{GD} - V_T)^{\gamma+1}}} L. \tag{4.5.33}$$

Dans le cas particulier du silicium monocristallin ($\gamma = 0$), ces expressions deviennent :

$$t_m = \left(\frac{1}{2\times 0{,}81}\right)^2 \frac{L^2}{\mu_0 \left(\sqrt{V_{GS} - V_T} + \sqrt{V_{GD} - V_T}\right)^2} \tag{4.5.34}$$

et

$$x_m = \frac{\sqrt{V_{GS} - V_T}}{\sqrt{V_{GS} - V_T} + \sqrt{V_{GD} - V_T}} L. \tag{4.5.35}$$

Nous avons mis le temps de rencontre des canaux sur les courbes du courant de transition des figures 4.5-10 (les mêmes que les figures 4.3-2) ; ces points sont positionnés près du point d'inflexion.

Nous notons que le temps d'arrivée du canal au drain en mode saturé est quadruple du temps de rencontre des canaux à V_{DS} nul.

$$t_d = 4 \times t_m (V_{DS} = 0) \tag{4.5.36}$$

D'une façon plus générale, nous retrouvons la relation suivante :

$$t_m = t_d \frac{(V_{GS} - V_T)^{\gamma+1}}{\left(\sqrt{(V_{GS} - V_T)^{\gamma+1}} + \sqrt{(V_{GD} - V_T)^{\gamma+1}}\right)^2}. \tag{4.5.37}$$

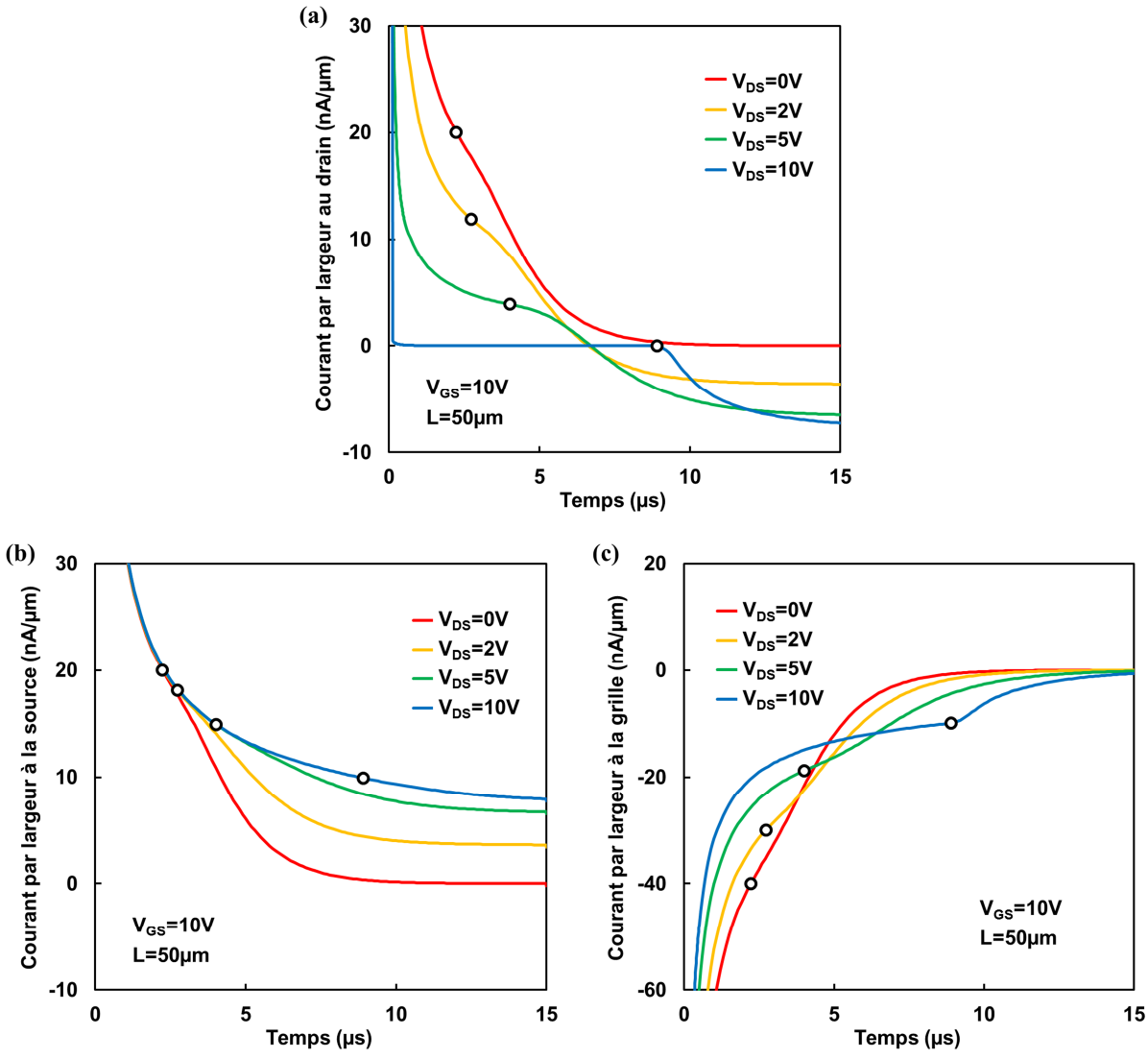

Figure 4.5-10 *Simulation ATLAS du courant de transition de l'état éteint (V_{GS} = 0V) à l'état allumé (V_{GS} = 10V), (a) au drain, (b) à la source et (c) à la grille, pour plusieurs valeurs de V_{DS}. Le temps de rencontre des canaux (en mode linéaire) et le temps de retard à l'allumage (en mode saturé), obtenus avec l'équation (4.5.32), sont marqués par des cercles sur chacune des courbes.*

4.5.4 Paramètre γ en dynamique

Nous avons introduit le paramètre statique γ dans la modélisation dynamique. Bien que cette approche décrive la propagation des canaux d'une façon plus cohérente que le modèle de Burns, la signification du paramètre γ en dynamique doit être bien interprétée. Premièrement, nous avons utilisé les valeurs des paramètres extraites (V_T et γ de la figure 4.5-7) pour comparer avec le résultat de simulation du courant en fonction de V_{GS} sous V_{DS} = 0,1V, comme montré sur la figure 4.5-11 ; et cette comparaison montre clairement que les paramètres extraits à partir des simulations du comportement dynamique ne décrivent pas le comportement statique du TFT. Cela signifie que le paramètre γ en dynamique est différent du γ en statique.

À part la distribution des états de défaut dans le matériau, traduite par le paramètre γ avec une approche du type modélisation compacte, d'autres facteurs peuvent avoir effet sur le temps de retard à l'allumage. Plus particulièrement, nous citons deux facteurs : le taux de piégeage et la durée de l'état éteint dans un cycle. Dans la suite du chapitre, nous observerons comment ces facteurs influencent la réponse dynamique d'un TFT.

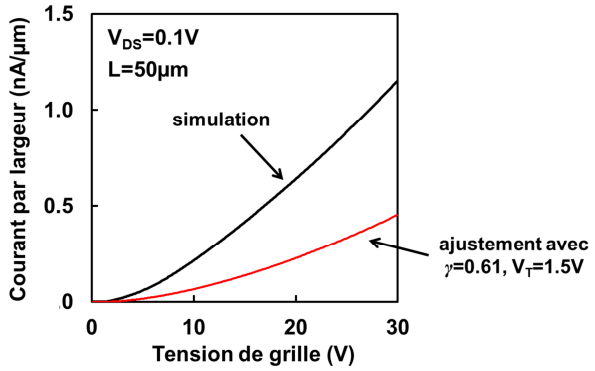

Figure 4.5-11 *Comparaison entre la simulation du courant statique et simulation via l'ajustement des paramètres extraits par l'analyse dynamique de la figure 4.5-7. Ce désaccord montre que la signification du paramètre γ en dynamique est différente de celle en statique.*

4.5.4.1 Taux de piégeage

Lors de l'analyse temporelle, un temps significatif est nécessaire pour que les porteurs de charge soient capturés par des pièges. Dans les simulations ATLAS, ce taux de piégeage est représenté principalement par les grandeurs appelées « section efficace de capture » (*capture cross-section*) [11]. Nous rappelons que, dans les simulations ATLAS, la densité d'états dans la bande interdite est modélisée (par défaut) par deux distributions exponentielles et deux distributions gaussiennes. Chaque distribution présente deux valeurs de section efficace de capture, une pour les électrons et une pour les trous. Donc il y a huit types de section efficace de capture au total, quatre pour les électrons et quatre autres pour les trous dans ces quatre distributions d'états (voir l'annexe A.1.3). Pour simplifier les analyses, nous considérons que toutes les huit sections efficaces de capture ont une même valeur.

Quand la section efficace de capture est plus grande, la probabilité de piégeage est plus grande. Une petite section efficace de capture rend difficile le piégeage, donc plus d'électrons restent libres, d'où une propagation du canal plus rapide. Si la section efficace est infiniment petite, les porteurs de charge ne seront pas piégés, donc le matériau se comporte comme un matériau sans défaut dans les analyses dynamiques. Notons que ces paramètres de la section efficace de capture ne se manifestent pratiquement pas dans la simulation statique d'un TFT.

Les figures 4.5-12 montrent le résultat des simulations dynamiques en faisant varier la section efficace de capture. Clairement, la vitesse de la propagation du canal est plus rapide quand la section efficace de capture est plus faible, et cela diminue le temps de retard à l'allumage. Nous remarquons que le courant peut diminuer avec le temps en raison du remplissage des pièges. Cette analyse montre que l'effet du taux de piégeage doit être inclus dans le paramètre γ dynamique, donc la signification de γ en dynamique est bien comme prévu précédemment différente de celle de γ en statique.

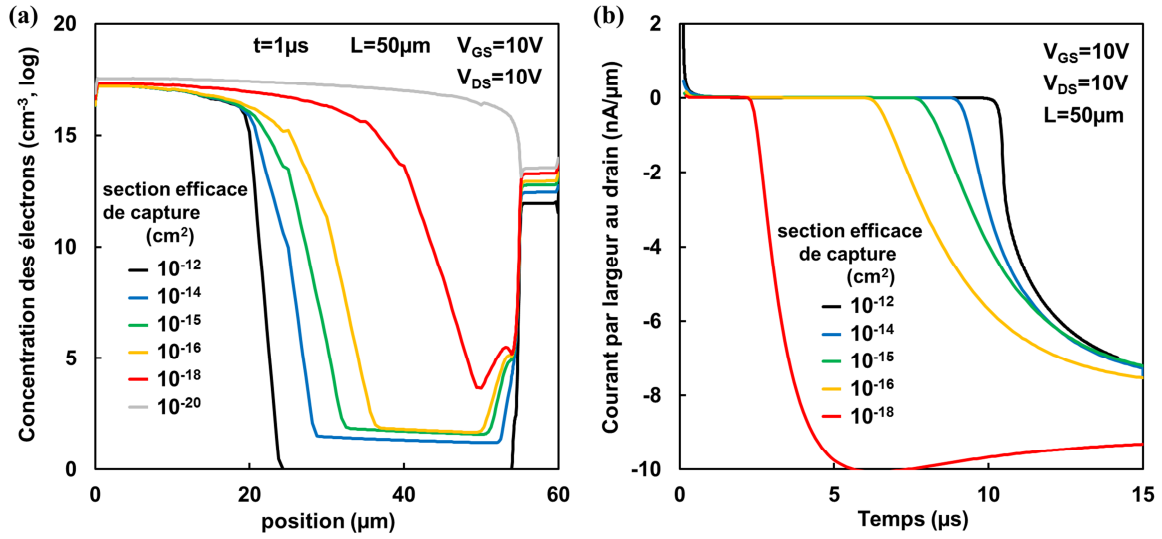

Figure 4.5-12 *Simulation ATLAS de la transition de l'état éteint (V_{GS} = 0V) à l'état allumé (V_{GS} = 10V) en mode saturé (V_{DS} = 10V), en faisant varier la section efficace de capture : (a) la concentration des électrons dans le canal (lue à 1nm de distance à partir de l'interface avec l'isolant de grille) à l'instant t = 1µs, (b) le courant au drain en fonction du temps.*

4.5.4.2 Durée de l'état éteint

Nous avons observé dans la sous-section 4.4 que le déchargement complet du canal est beaucoup plus lent que son chargement. La figure 4.5-13 montre la concentration des électrons en fonction du temps pour la position correspondant à la moitié de la longueur du TFT, et à 1nm de l'interface avec l'isolant de grille (suivant l'axe y). Sur cette figure, nous observons que la concentration des électrons diminue de moins de 1% après 100µs. Nous rappelons que les électrons qui restent dans le canal, montrés sur la figure, ne correspondent pas au piégeage, mais aux électrons non encore éliminés. Bien que la fraction des charges restantes soit faible, la résistivité de la couche intrinsèque change considérablement avec cette concentration des électrons. Donc nous espérons que la vitesse de la propagation changera d'une façon significative.

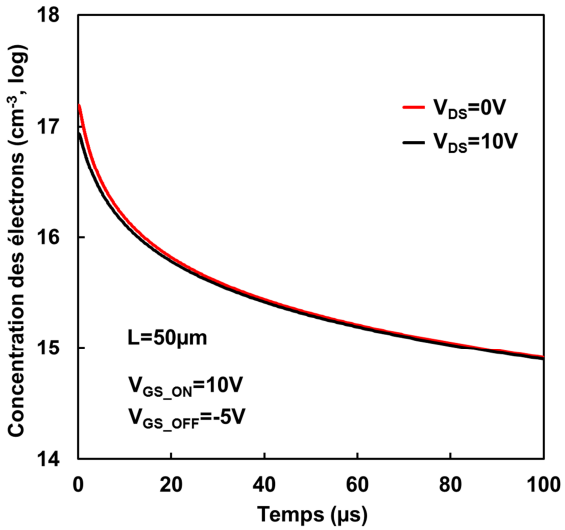

Figure 4.5-13 *Simulation ATLAS de la transition de l'état allumé (V_{GS} = 10V) à l'état éteint (V_{GS} = -5V) sous deux valeurs différentes de V_{DS} (0V et 10V). La figure montre la diminution temporelle de la concentration des électrons à la position correspondant à la moitié de la longueur du canal et à 1nm de distance à partir de l'interface avec l'isolant de grille.*

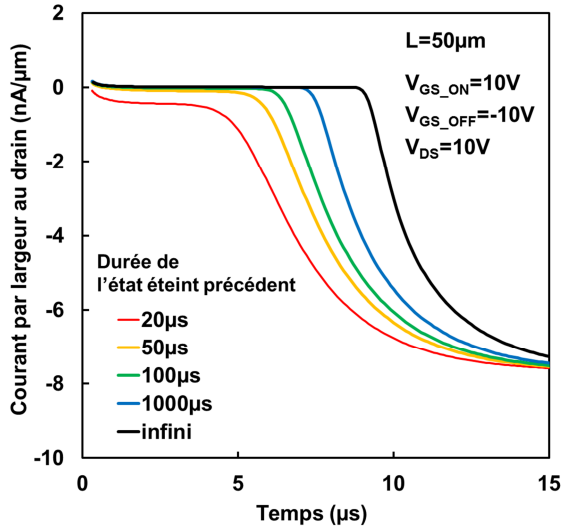

Figure 4.5-14 *Simulation ATLAS du fonctionnement cyclique d'un TFT en mode saturé (V_{DS} = 10V) entre l'état éteint (V_{GS} = -10V) et l'état allumé (V_{GS} = 10V), en faisant varier la durée de l'état éteint. Le déchargement incomplet pendant l'état éteint a un effet sur le temps de retard à l'allumage.*

Pour observer l'effet du déchargement incomplet du canal, nous avons sélectionné la configuration d'un TFT à différents instants, à partir du début du déchargement, et nous les avons utilisés comme état initial, pour simuler la transition d'allumage ; c'est-à-dire, nous avons fait varier la durée de l'état éteint qui précède l'allumage. La figure 4.5-14 montre l'apparition du courant de conduction au niveau du drain en mode saturé (V_{DS} = 10V) avec différentes durées de l'état éteint. Nous observons bien que, quand la durée de l'état éteint est plus faible, le temps de retard à l'allumage est plus petit, en reflétant les différentes conductivités de la couche intrinsèque en raison des électrons restants. Lors de l'emploi de notre modèle dans la pratique, ce point doit être pris en compte pour ne pas confondre l'effet du piégeage (paramètre γ) et l'effet des charges restantes.

4.6 Conclusion

Dans ce chapitre, nous avons étudié le comportement dynamique et transitoire des TFTs. Nous avons identifié les capacités intrinsèques dans un TFT dans l'état éteint, en mode linéaire et en mode saturé, tout en discutant le temps nécessaire pour charger ces capacités. À travers des exemples de mesures dynamiques, nous avons observé le changement des capacités intrinsèques, l'apparition du courant de conduction et la fin du courant de chargement. Nous avons également distingué expérimentalement le cas quasi-statique, où le TFT est considéré en équilibre avec les tensions appliquées, et le cas non-quasi-statique, où la formation du canal n'arrive pas à suivre la vitesse de variation des tensions appliquées.

L'évolution temporelle du canal a été décrite en utilisant les simulations par la méthode des éléments finis en 2D (ATLAS de Silvaco TCAD). Lors de la formation du canal en mode linéaire, le chargement de la capacité intrinsèque de l'état allumé se fait progressivement en commençant par les régions les plus proches des électrodes source et drain. Les deux canaux partiellement créés se propagent l'un vers l'autre jusqu'à ce qu'ils se rejoignent et forment un seul véritable canal. Ce canal unifié continue à se charger jusqu'à atteindre l'équilibre. En mode saturé, la formation du canal se fait uniquement par la source ; il existe un seul canal, qui propage de la source vers le drain, jusqu'à atteindre le drain. À partir de ces observations, nous avons divisé l'évolution du canal en deux régimes : celui de la propagation des canaux et celui du chargement du canal complètement propagé. La transition entre les deux régimes se manifeste par le changement de la concavité sur la courbe du courant en fonction du temps et par l'apparition du courant de conduction. Nous avons également observé la transition de l'extinction, en montrant que la disparition du canal est beaucoup plus lente que la formation du canal.

Dans la partie modélisation, nous avons présenté le modèle de Burns, qui décrit la propagation du canal dans un MOSFET en mode saturé. Nous avons adapté ce modèle pour le cas des TFTs à base d'un matériau avec un nombre important de défauts, et l'analyse a été étendue au mode linéaire. Nous avons proposé une équation globale pour la propagation du canal, le temps de rencontre des canaux en mode linéaire et le temps de retard à l'allumage en mode saturé, qui prend en compte les défauts dans le matériau. Pour cela, nous avons introduit le paramètre γ du modèle statique RPI, qui traduit l'effet de la distribution des défauts sur la courbe du courant en fonction de la tension de grille. La signification du paramètre γ en analyse dynamique a été discutée, et nous avons observé que non seulement la distribution mais aussi le taux de piégeage doit être inclus dans la signification du paramètre γ en dynamique. Enfin, nous avons précisé que le déchargement incomplet du canal modifie le temps de retard à l'allumage.

Bibliographie du chapitre 4

[1] J. E. Meyer, "Mos models and circuit simulation," *RCA Rev*., vol. 32, pp. 42-63, Mar. 1971.

[2] D. E. Ward and R. W. Dutton, "A charge-oriented model for MOS transistor capacitances," *IEEE J. Solid-State Circuits*, vol. 13, no. 5, pp. 703-708, Oct. 1978.

[3] S.-Y. Oh, D. E. Ward and R. W. Dutton, "Transient Analysis of MOS Transistors," *IEEE Trans. Electron Devices*, vol. 27, no. 8, pp. 1571- 1578, Aug. 1980.

[4] T. Leroux, "Static and dynamic analysis of amorphous-silicon field-effect transistors," *Solid State Electronics*, vol. 29, no. 1, pp. 47-58, Jan. 1986.

[5] *BSIM3v3 Manual*, *Berkeley*, CA: University of California, 1995.

[6] *BSIM4.6.0 MOSFET Model – User's Manual*, Berkeley, CA: University of California, 2006.

[7] J. R. Burns, "Large-signal transit-time effects in the MOS transistor," *RCA Rev.*, vol. 30, pp. 15–25, Mar. 1969.

[8] Y. Mikami and R. E. Thomas, "Large- and small-signal channel transit time delays in long-channel MOS transistors," *IEEE Trans. Electron Devices*, vol. 24, no. 2, pp. 99–107, Feb. 1977.

[9] J. B. Kuo, R. W. Dutton and B. A. Wooley, "MOS pass transistor turn-off transient analysis," *IEEE Trans. Electron Devices*, vol. 33, no. 10, pp. 1545-1555, Oct. 1986.

[10] J. J. Paulos and D. A. Antoniadis, "Limitations of quasi-static capacitance models for the MOS transistor," *IEEE Electron Devices Letters*, vol. 4, no. 7, Jul. 1983.

[11] *ATLAS User's Manual*, Santa Clara, CA: Silvaco Inc., 2012.

Chapitre 5

Stabilité

Lors des études sur les TFTs, la stabilité temporelle de leurs performances est un sujet qui doit être absolument considéré. Pour les TFTs à base de silicium amorphe, traditionnellement utilisés comme interrupteurs, le point principal sur lequel les études sont focalisées a été la dérive de la tension de seuil sous l'application de la tension de grille. Cependant, avec l'augmentation du domaine d'emploi des TFTs, l'étude de la dégradation engendrée par la tension de drain est devenue aussi importante.

Nous commencerons ce chapitre par une rapide description des mécanismes responsables pour l'instabilité des a-Si:H TFTs sous stress électrique, suivie par l'observation de l'effet de la tension de drain sur cette dégradation. Finalement, nous relaterons les phénomènes qui mettent en évidence la localisation de la dégradation et de la relaxation des TFTs sous stress électrique avec la tension de drain non-nulle.

5.1 Mécanismes de l'instabilité

Après plusieurs dizaines d'années d'études intensives, il est communément accepté [1], [2] qu'il y a deux principaux mécanismes pour l'instabilité électrique des TFTs : le piégeage de charges dans l'isolant de grille [3], [4] et la création de défauts dans la couche de silicium intrinsèque [5], [6]. Dans les références [7] et [8], nous trouvons une interprétation de ces deux mécanismes en termes de la vitesse du remplissage des états: dans le modèle de piégeage de charges, certains états sont lentement remplis par des porteurs de charge ; et dans le modèle de création de défaut, les états supplémentaires (rapidement remplis) sont lentement créés au cours du temps. Les « états lents (*slow states*) » sont localisés dans le nitrure de silicium (isolant de grille), tandis que les « états

rapides (*rapide states*) » supplémentaires correspondent à la brisure des liaisons faibles entre un atome de silicium et un atome d'hydrogène ou entre deux atomes de silicium, qui crée respectivement un ou deux états profonds dans le silicium amorphe [9].

La référence [4] considère deux types de piégeage : premièrement, les électrons sont piégés dans les états à l'interface entre le silicium amorphe et le nitrure de silicium (isolant de grille) et dans le nitrure près de cette interface ; ensuite les électrons migrent vers le volume du nitrure de silicium et y sont piégés. De même, la référence [6] explicite que la création de défauts a lieu dans le silicium amorphe près de l'interface.

La coexistence des deux mécanismes a été mise en évidence dans la référence [8], en utilisant des TFTs ambipolaires. Le piégeage des électrons dans le nitrure de silicium entraîne une dérive de la tension de seuil du type N et du type P vers une valeur plus positive. En revanche, la création des états profonds supplémentaires décale la tension de seuil du type N vers une valeur plus positive et la tension de seuil du type P vers une valeur plus négative. Ces deux phénomènes ont été observés, et la référence [8] relate que la création de défauts est prédominante pour des faibles valeurs de V_{GS} (la valeur de V_{GS} utilisée dans cette référence est 25V) et le piégeage de charges dans le nitrure de silicium, pour des valeurs plus grandes (valeur de V_{GS} utilisée de l'ordre de 70V).

La référence [10] a montré également cette coexistence des deux mécanismes. Sous un stress électrique avec V_{GS} négative, le piégeage des trous décale la tension de seuil du type N et P vers une valeur plus négative, pendant que la création de défauts entraîne toujours le même résultat que sous le stress électrique positif. Donc, si la création de défauts est prédominante, il serait possible d'observer le décalage de la tension de seuil de type N vers une valeur plus positive même si le stress électrique est de V_{GS} négative, ce qui a été expérimentalement constaté dans cette référence.

La dérive de la tension de seuil est réversible, avec un temps de repos (soit à la température ambiante soit un recuit thermique (*annealing*) à une température plus élevée) ou avec une tension de grille de polarité contraire au stress précédemment appliqué. Ce phénomène est appelé « relaxation » et il est expliqué par la réversibilité des deux mécanismes de dégradation : les charges piégées sont dépiégées [4], et les défauts créés sont passivés (par exemple, par stabilisation thermique et par l'hydrogène [11]).

Entre plusieurs modèles décrivant la dérive de la tension de seuil sous un stress électrique, nous citons premièrement l'expression proposée par W. B. Jackson et M. D. Moyer [6].

$$\frac{V_T(t)-V_T(\infty)}{V_T(0)-V_T(\infty)} = \exp\left[-\left(\frac{t}{\tau}\right)^{\beta}\right] \qquad (5.1.1)$$

En notant $V_T(\infty)$ comme $V_{GS} - V_T(0)$, cette expression est écrite sous une autre forme, comme il apparaît dans la référence [4] par F. R. Libsch et J. Kanicki.

$$\Delta V_T = V_T(t) - V_T(0) = [V_{GS} - V_T(0)]\left\{1 - \exp\left[-\left(\frac{t}{\tau}\right)^{\beta}\right]\right\} \quad (5.1.2)$$

Un point intéressant est que Jackson et Moyer expliquent la dérive de la tension de seuil avec l'argument de la création de défauts alors que Libsch et Kanicki attribuent la même expression au piégeage dans les états localisés à l'interface et dans le nitrure de silicium près de l'interface (pas dans le bulk du nitrure de silicium).

M. J. Powell *et al*. ont proposé dans la référence [12] deux expressions, une pour le cas où le piégeage de charges dans le nitrure de silicium est le mécanisme prédominant (comme pour V_{GS} = 100V) :

$$\Delta V_T \approx r_d \log(1 + t/t_0) \quad (5.1.3)$$

et une autre pour le cas où le création de défauts est le principal mécanisme (comme pour V_{GS} = 20V) :

$$\Delta V_T \approx \alpha (t/t_0)^{\beta}. \quad (5.1.4)$$

Nous observons que, si $t \ll \tau$, les expressions (5.1.1) et (5.1.2) peuvent être écrites par l'expression suivante :

$$\Delta V_T = [V_{GS} - V_T(0)](t/\tau)^{\beta} = A[V_{GS} - V_T(0)]t^{\beta}, \quad (5.1.5)$$

qui est identique à l'expression (5.1.4).

5.2 Influence de la tension de drain

En regardant les expressions de (5.1.1) à (5.1.5), nous pourrions conclure de manière erronée que la dérive de la tension de seuil ne dépend pas de V_{DS}. Aujourd'hui, nous savons très bien que la dégradation est moins présente quand V_{DS} appliqué est plus grand ; mais il nous semble que, à l'époque, l'influence de V_{DS} n'avait pas été considérée lors des premières approches de la modélisation du vieillissement des TFTs.

La référence [13] considère que la dérive de la tension de seuil est proportionnelle à la quantité de charge dans la queue de bande de conduction (« *defect pool model* », référence [9]) et, en utilisant l'expression (5.1.5), elle propose la relation suivante :

$$\Delta V_T = \frac{Q_G}{Q_{G0}} A[V_{GS} - V_T(0)]t^{\beta}. \quad (5.2.1)$$

Dans cette expression, Q_G est la quantité de charge induite, qui est exprimée comme dans la sous-section 2.2.1 :

$$Q_G = \frac{2}{3} WLC_i \frac{(V_{GS} - V_T)^3 - (V_{GD} - V_T)^3}{(V_{GS} - V_T)^2 - (V_{GD} - V_T)^2} \quad (5.2.2)$$

et Q_{G0} est la quantité de charge induite à V_{DS} nul.

$$Q_{G0} = WLC_i (V_{GS} - V_T) \quad (5.2.3)$$

Nous savons que, quand V_{DS} n'est pas nul, la distribution de la charge n'est pas uniforme dans le canal, comme nous l'avons vu dans la sous-section 2.2.1, avec les équations (2.2.3)-(2.2.5). Donc, il nous semble naturel que la dégradation également ait une distribution non-uniforme dans le canal. Les références [14]-[16], qui sont relativement récentes (publiées en 2008 et 2009), ont relaté un phénomène qui est une conséquence de cette dégradation non-uniforme. Lors de la mesure expérimentale de la caractéristique de sortie après un stress électrique en mode de saturation, la configuration « directe » (l'électrode utilisée comme drain pendant le stress reste comme le drain lors de la mesure caractéristique de sortie) et la configuration « inverse » (l'électrode utilisée comme drain pendant le stress est utilisée comme source lors de la mesure) donnent deux courbes différentes. R. Shringarpure *et al* [14] ont relaté que la configuration inverse a un courant plus élevé que la configuration directe, pendant que C. R. Wie *et al*. [15], [16] ont constaté le contraire. Comme nous l'observerons dans la section suivante, nos résultats expérimentaux sont plutôt en accord avec celui de C. R. Wie.

5.3 Localisation de la dégradation et de la relaxation

Dans cette section, nous relatons des phénomènes liés à la dégradation et à la relaxation asymétrique sous un stress électrique avec V_{DS} non-nul, phénomène qui apparaît quand la polarité de V_{DS} est changée pendant le stress électrique.

5.3.1 Procédé expérimental

Dans les analyses suivantes, les TFTs utilisés sont à base de silicium amorphe avec la structure « *bottom-gate staggered* » et avec le nitrure de silicium comme isolant de grille. Nous avons appliqué à ces TFTs un stress électrique de V_{GS} = 20V et V_{DS} = 20V pendant 7 heures, et puis nous avons changé la polarité de V_{DS} en maintenant la valeur absolue et nous avons appliqué le stress électrique pendant encore 7 heures (figure 5.3-1). À 1h, 4h et 7h de chacun des stress, nous avons caractérisé les TFTs avec V_{GS} de 20V à -2V sous V_{DS} = 0,5V. Pour simplifier la notation, appelons comme « électrode A » l'électrode utilisée comme drain pendant le « stress direct » (premières sept heures), et comme « électrode B » celle utilisée comme drain pendant le « stress inverse » (dernière sept heures). Comme l'électrode B est liée à la masse, nous avons appliqué, pour changer la polarité, une tension nulle à la grille et -20V à l'électrode A (voir figure 5.3-1 et table 5.3-1).

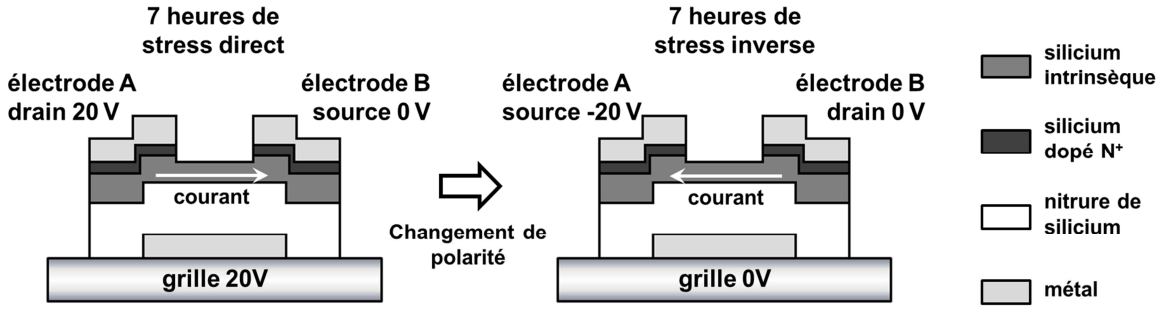

Figure 5.3-1 *Schéma du procédé expérimental de stress.*

Table 5.3-1 *Tensions appliquées aux électrodes pendant le stress électrique.*

	V_G	V_A	V_B	V_{GS}	V_{GD}	V_{DS}
7 h de stress direct	20V	20V	0V	$V_G - V_B = 20V$	$V_G - V_A = 0$	$V_A - V_B = 20V$
7 h de stress inverse	0V	-20V	0V	$V_G - V_A = 20V$	$V_G - V_B = 0V$	$V_B - V_A = 20V$

5.3.2 Résultats et discussions

L'évolution temporelle de la courbe de transfert est montrée sur la figure 5.3-2 (a), et sa deuxième dérivée sur la figure 5.3-2 (b). Nous rappelons que la valeur maximum de la deuxième dérivée de la courbe de transfert est souvent considérée comme la tension de seuil.

Sur les figures 5.3-2, nous observons un phénomène très intéressant ; la tension de seuil se décale vers une valeur plus positive pendant le stress direct, ce qui est un résultat complétement normal, mais elle commence par revenir à une valeur plus faible quand la polarité de V_{DS} est inversée, et puis elle recommence à bouger dans le sens positif. Notons que la valeur de V_{GS} a été toujours de 20V et que la relaxation a eu lieu même pendant le stress électrique.

Nous expliquons ce phénomène comme une compétition entre la dégradation et la relaxation dans des zones localisées du TFT. Lors du stress électrique avec V_{DS} non-nul, la concentration de charge n'est pas uniformément distribuée dans le canal et elle est plus grande près de la source. Lors du stress direct, l'électrode B est utilisée comme source avec V_{GS} = 20V, pendant que la différence de potentiel entre la grille et l'électrode A (drain) est nulle. Soit par le piégeage soit par la création de défaut, la dégradation est donc plus importante près de l'électrode B. Ceci est la localisation de dégradation relatée par les références [14]-[16].

Quand la polarité de V_{DS} est changée, la relaxation a lieu près de l'électrode B, qui est maintenant le drain, avec V_{GD} nul. La région près de l'électrode A continue à être dégradée, d'une façon plus importante que précédemment car elle était soumise à V_{GD} = 0V pendant le premier stress et à V_{GS} = 20 V maintenant. Le décalage de la tension de seuil vers une valeur plus faible pendant la première heure du stress inverse indique que la relaxation localisée près de l'électrode B a eu un effet plus important sur le comportement global du TFT que la dégradation localisée près de l'électrode A. Le décalage de la tension de seuil vers le sens normal (c'est-à-dire, du coté positif) pendant dernières

heures du stress inverse exprime que la dégradation est devenue plus importante que la relaxation. Ces observations sont résumées sur la figure 5.3-3.

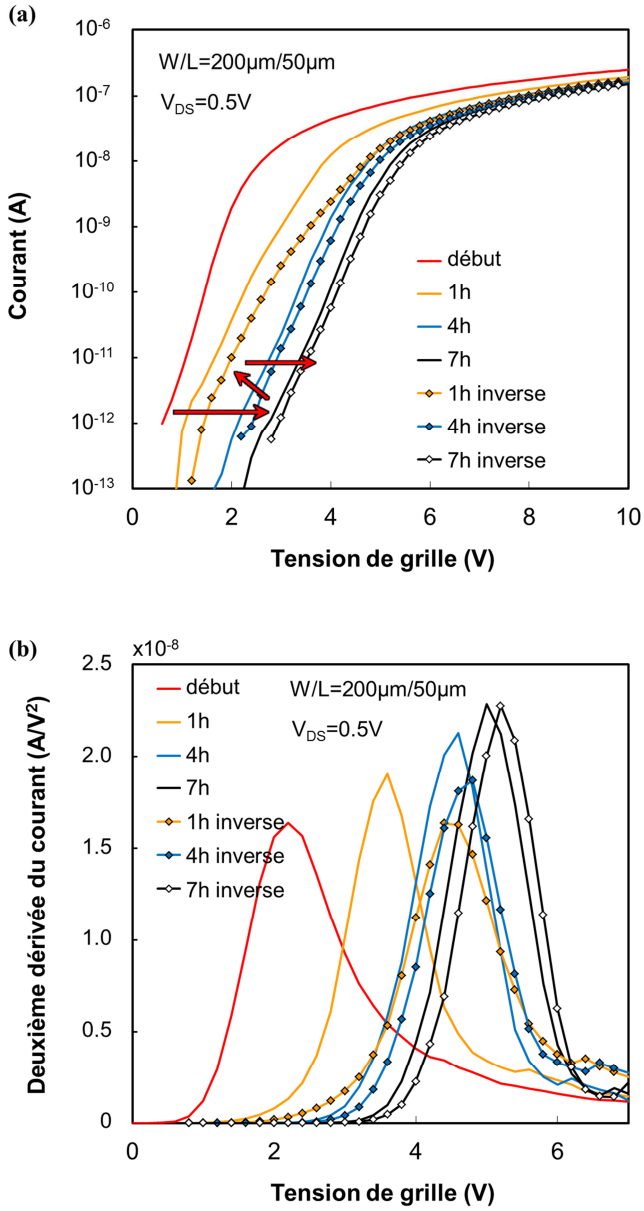

Figure 5.3-2 *L'évolution temporelle (a) de la courbe de transfert et (b) de sa deuxième dérivée par rapport à V_{GS} sous un stress électrique de V_{GS} = V_{DS} = 20V, avec un changement de la polarité de V_{DS} après 7h du stress. La caractérisation est faite sous V_{DS} = 0,5V, avec V_{GS} allant de 20V à -2V.*

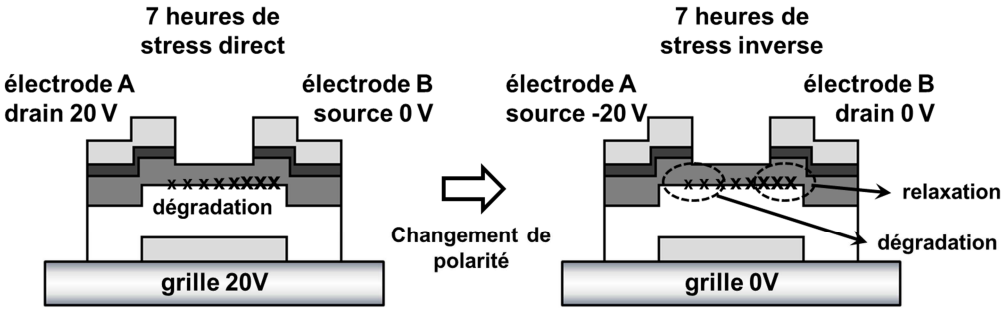

Figure 5.3-3 *Schéma de la localisation de la dégradation et de la relaxation quand la polarité de V_{DS} est changée pendant un stress électrique en mode de saturation. La taille des croix représente qualitativement le niveau de la dégradation.*

La relaxation temporaire au début du stress inverse se manifeste évidemment sur la courbe du courant en fonction du temps, montrée sur la figure 5.3-4. Cette figure présente la valeur absolue du courant pendant 14 heures de stress, avec un changement de la polarité de V_{DS} après 7 heures du stress. Premièrement, observons la courbe verte : comme la relaxation localisée est plus importante que la dégradation au début du stress inverse, le courant augmente avec le temps, ce qui est en accord avec le décalage de la tension de seuil montré sur les figures 5.3-2.

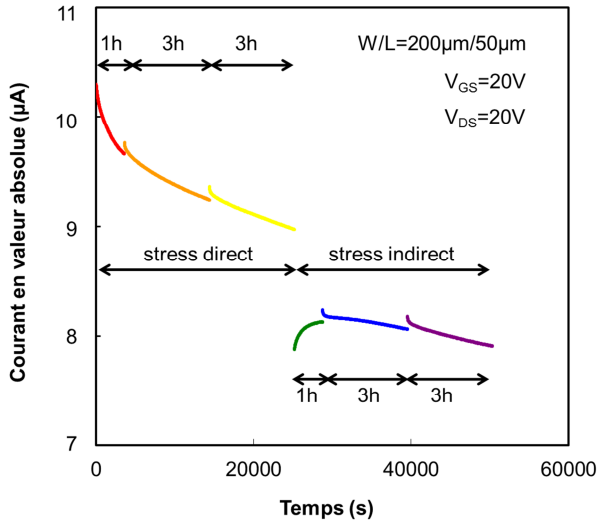

Figure 5.3-4 *Courant en fonction du temps pendant 7 heures du stress direct suivi d'autre 7 heures du stress inverse.*

Toujours sur la figure 5.3-4, nous remarquons une grande discontinuité du courant quand le stress inverse est appliqué ; l'intensité du courant diminue avec le changement de la polarité de V_{DS} à la fin du stress direct, ce qui est en accord avec les références [15] et [16]. Nous expliquons cette chute du courant en empruntant l'argument du piégeage de charges (celui de Libsch et Kanicki [4] plutôt que celui de Powell [3]). Nous précisons ici que nous n'excluons pas le mécanisme de création de défauts et que nous donnons simplement une des explications possibles.

Tout d'abord, nous écrivons la densité de charge induite (n_{ind}) à la position x dans le canal comme la somme entre la densité de charges libres (n_L), de charges piégées dans les états rapides (n_{PR}) et de charges piégées dans les états lents (n_{PL}).

$$n_{ind}(x) = n_L(x) + n_{PR}(x) + n_{PL}(x) \tag{5.3.1}$$

Nous utilisons, par abus du langage, l'expression « états rapides » pour dénoter les états localisés qui n'ont pas d'effet sur la dérive de la tension de seuil et « états lents » pour indiquer ceux qui sont responsables de la réduction du courant au cours du temps. Notons que nous ne faisons pas de distinction entre pièges à l'interface et dans le nitrure de silicium, en les représentant seulement en termes de la facilité de piégeage. Considérons que n_L et n_{PR} sont en équilibre thermique entre eux, c'est-à-dire que les charges piégées dans les états rapides sont dépiégées et les charges libres sont piégées dans les états rapides sans arrêt, maintenant ainsi un équilibre. Donc, d'une certaine façon, n_L et n_{PR} participent à la conduction. En revanche, les charges piégées dans les états lents sont difficilement dépiégées, donc elles ne participent pratiquement pas à la conduction. Au cours du stress électrique, n_{PL} augmente, c'est-à-dire, la fraction de la charge qui ne participe pas à la conduction augmente. Donc, le courant diminue. En utilisant cette approche, nous écrivons la densité de charge induite comme :

$$n_{ind}(x) = \frac{C_i}{q}\left[V_{GS} - V_{T0} - V(x)\right] \tag{5.3.2}$$

avec V_{T0} représentant la tension de seuil avant le stress. Nous notons que nous écrivons la réduction du courant en termes de la variation de n_{PL} et pas celle de V_{T0}.

Après 7 heures de stress, il y a une distribution de $n_{PL}(x)$ dans le canal, qui est plus grande près de l'électrode B. Quand la polarité de V_{DS} est changée, nous notons que n_{PL} près de l'électrode B est plus grande que la densité de charge qui devrait être là, c'est-à-dire :

$$n_{PL}(x) > \frac{C_i}{q}\left[V_{GS} - V_{T0} - V(x)\right]. \tag{5.3.3}$$

Cette situation est hors d'équilibre, donc les charges piégées dans les états lents près de l'électrode B sont dépiégées, ce qui n'est pas autre chose que la relaxation localisée.

La présence de ces charges n_{PL} dans la région où la relation (5.3.3) est observée créé un champ électrique additionnel. Notons que, si la polarité n'est pas changée, n_{PL} ne peut pas être plus grande que n_{ind} d'après (5.3.1), donc un tel champ électrique n'existe pas. Comme nous pouvons noter sur la figure 5.3-5, ce champ électrique additionnel est dans le sens contraire du champ créé par V_{DS}, en réduisant ainsi le courant. En considérant également la continuité des grandeurs n_{ind} et n_{PL} et en sachant que $n_{ind} > n_{PL}$ près de l'électrode A et $n_{ind} < n_{PL}$ près de l'électrode B, il doit avoir une région où n_{PL} est égale à n_{ind}. Cela signifie que, autour de cette région, la densité de charge libre est très limitée, ce qui abaisse la conductivité et, en conséquence, le courant. Ces deux raisonnements expliquent la chute de l'intensité du courant quand la polarité de V_{DS} est changée.

Nous notons que, à partir du moment où la polarité est changée, le dépiégeage a lieu dans ces régions, ce qui diminue le champ électrique supplémentaire et qui augmente la fraction de la charge libre. Donc le courant augmente.

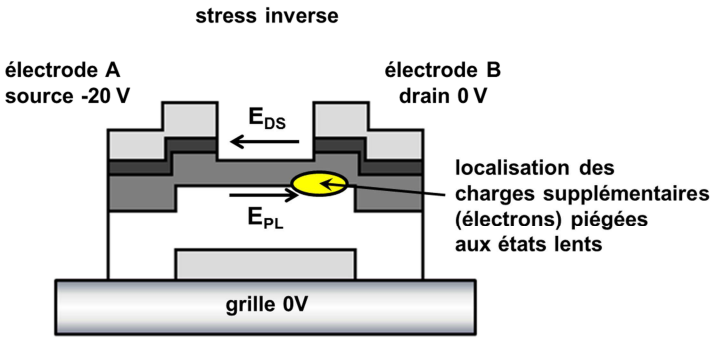

Figure 5.3-5 *Les charges piégées près de l'électrode B pendant le stress direct créent un champ électrique additionnel (E_{PL}) qui oppose le champ électrique causé par V_{DS} (E_{DS}) lors du stress inverse.*

Le dernier commentaire que nous pouvons faire sur la figure 5.3-4 concerne les petites discontinuités entre chaque courbe du courant. Quand nous arrêtons le stress pour commencer la caractérisation, une relaxation rapide a systématiquement lieu. En plus, la caractérisation est faite pendant 15 secondes, avec la valeur de V_{GS} allant jusqu'à -2 V, qui est une autre raison pour engendrer une relaxation. Par conséquent, il y a une discontinuité entre deux courbes consécutives du courant, avec la courbe antérieure commençant par une valeur du courant un peu plus élevée que la courbe ultérieure.

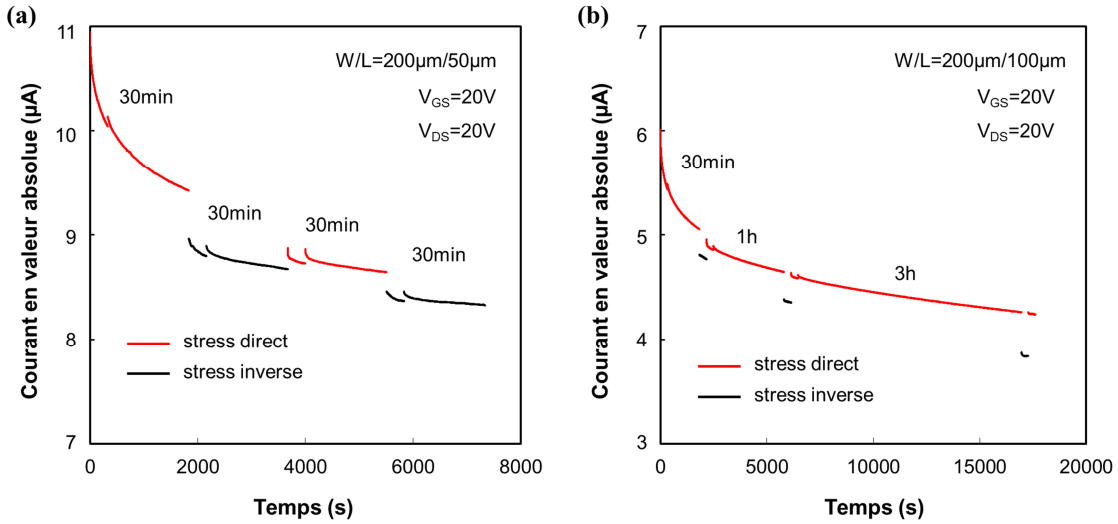

Figure 5.3-6 *Courant en fonction du temps en alternant les stress directs et inverses avec V_{GS} = V_{DS} = 20 V ; (a) alternance tous les 30 minutes, et (b) 30 minutes, 1 heure et 3 heures du stress direct entre lesquelles des stress inverses de 5 minutes.*

Avant de finaliser cette section, nous présentons une autre analyse simple sur la localisation de la dégradation. Sur la figure 5.3-6 (a), nous avons alterné le stress direct et inverse toutes les 30 minutes ; et sur la figure 5.3-6 (b), nous avons appliqué 30 minutes, 1 heure et 3 heures du stress direct,

entre lesquelles nous avons appliqué 5 minutes du stress inverse. Sur la figure (a), le niveau de dégradation est similaire près des électrodes A et B, donc les courants dans deux sens (de A à B et de B à A) divergent moins que sur la figure (b), où la dégradation est plus concentrée sur une des deux électrodes.

5.4 Conclusion

Dans ce chapitre, nous avons étudié les mécanismes responsables pour le vieillissement des TFTs : piégeage de charges et création de défauts, avec une interprétation en termes de la vitesse de ces mécanismes. La coexistence de ces deux mécanismes ainsi que la relaxation ont été abordées. La dépendance de la dégradation en V_{DS} a été également discutée, en étudiant la distribution non-uniforme de la dégradation sous un stress électrique avec V_{DS} non-nul.

Nous avons relaté des phénomènes qui mettent en évidence la localisation de la dégradation et de la relaxation dans un TFT sous un stress électrique avec V_{DS} non-nul. Nous avons constaté une relaxation temporaire des TFTs (réduction de la tension de seuil et croissance du courant avec le temps) quand la polarité de V_{DS} a été changée pendant un stress électrique en mode de saturation. Ce phénomène a été expliqué comme le résultat de la compétition entre la dégradation et la relaxation, qui, étant localisées près de deux électrodes différentes, peuvent avoir lieu simultanément dans le TFT. Nous avons observé également que l'intensité du courant dépend de la polarité de V_{DS} si la dégradation est localisée près d'une électrode, ce que nous avons explicité en utilisant l'argument du piégeage de charges.

Bibliographie du chapitre 5

[1] Y. Kuo, “Thin Film Transistors - Materials and Processes, Volume 1 - Amorphous Silicon Thin Film Transistors.”, chapter 3 “Device physics, compact modelling, and circuit applications of a-Si:H TFTs” (chapter author: A. Nathan, P. Servati, K. S. Karim, D. Striakhilev and A. Sazonov), Kluwer Academic Publishers, Boston/Dordrecht/New York/London, 2004

[2] M. J. Powell, “The Physics of amorphous-silicon thin-film transistors,” *IEEE Transactions on Electron Devices*, vol. 36, no. 12, pp. 2753-2763, Dec. 1989

[3] M. J. Powell, “Charge trapping instabilities in amorphous silicon-silicon nitride thin-film transistors,” *Appl. Phys. Lett.*, vol. 43, no. 6, pp. 597-599, Sep. 1983.

[4] F. R. Libsch and J. Kanicki, “Bias-stress-induced stretched-exponential time dependence of charge injection and trapping in amorphous thin-film transistors,” *Appl. Phys. Lett.*, vol. 62, no. 11, pp. 1286-1288, Mar. 1993

[5] A. R. Hepburn, J. M. Marshall, C. Main, M. J. Powell and C. van Berkel, “Metastable defects in amorphous-silicon thin-film transistors,” *Phys. Rev. Lett.*, vol. 56, no. 20, pp. 2215-2218, May 1986.

[6] W. B. Jackson and M. D. Moyer, “Creation of near-interface defects in hydrogenated amorphous silicon-silicon nitride heterojunctions: The role of hydrogen,” *Phys. Rev. B*, vol. 36, no. 11, pp. 6217-6220, Oct. 1987

[7] M. J. Powell, C. van Berkel, I. D. French and D. H. Nicholls, “Bias dependence of instability mechanisms in amorphous silicon thin-film transistors,” *Appl. Phys. Lett.*, Vol. 51, no. 16, pp. 1242-1244, Oct. 1987.

[8] C. van Berkel and M. J. Powell, “Resolution of amorphous silicon thin-film transistor instability mechanisms using ambipolar transistors,” *Appl. Phys. Lett.*, vol. 51, no. 14, Oct. 1987,

[9] M. J. Powell, C. van Berkel, A. R. Franklin, S. C. Deane and W. I. Milne, “Defect pool in amorphous-silicon thin-film transistors,” Phys. Rev. B, vol. 45, no. 8, pp. 4160-4170, Feb. 1992.

[10] C.-Y. Huang, J.-W. Tsai, T.-H. Teng, C.-J. Yang and H.-C. Cheng, “Turnaround phenomenon of threshold voltage shifts in amorphous silicon thin film transistors under negative bias stress,” *Jpn. J. Appl. Phys.*, vol. 39, no.10, pp. 5763-5766, Oct. 2000.

[11] W. B. Jackson, J. M. Marshall and M. D. Moyer, “Role of hydrogen in the formation of metastable defects in hydrogenated amorphous silicon,” *Phys. Rev. B*, vol. 39, no. 2, pp. 1164-1179, Jan. 1989.

[12] M. J. Powell, C. van Berkel and J. R. Hughes, “Time and temperature dependence of instability mechanisms in amorphous silicon thin-film transistors,” *Appl. Phys. Lett.*, vol. 54, no. 14, Apr. 1989.

[13] K. S. Karim, A. Nathan, M. Hack and W. I. Milne, “Drain-bias dependence of threshold voltage stability of amorphous silicon TFTs,” *IEEE Electron Device Letters*, vol. 25, no. 4, pp. 188-190, Apr. 2004

[14] R. Shringarpure, S. Venugopal, L. T. Clark, D. R. Allee and E. Bawolek, "Localization of gate bias induced threshold voltage degradation in a-Si:H TFT," *IEEE Electron Device Letters*, vol. 29, no. 1, Jan. 2008.

[15] C. R. Wie, Z. Tang and M. S. Park, "Nonuniform threshold voltage profile in a-Si:H thin film transistor stressed under both gate and drain biases," J. Appl. Phys., vol. 104, 114509, Dec. 2008.

[16] Z. Tang, M. S. Park, S. H. Jin, C. R. Wie, "Drain bias dependent bias temperature stress instability in a-Si:H TFT," Solid-State Electronics, vol. 53, pp. 225-233, Jan. 2009.

Conclusion et perspectives

Le premier but de la modélisation compacte est bien évidemment la description des comportements des composants, des TFTs dans notre cas. Quand un modèle compact est donné, la première question qui se pose, du point de vue pratique, est de savoir si l'écart entre le résultat expérimental et celui prévu par le modèle est suffisamment faible pour que la simulation puisse bien reproduire le fonctionnement des circuits conçus. Si cette première question concerne le but de la modélisation, la deuxième serait sur le comment modéliser. Une étape importante est de traduire les équations physiques d'un TFT en expressions mathématiques simples pour garantir la convergence et permettre de finaliser tous les calculs nécessaires lors d'une simulation dans une durée de temps raisonnable. En effet, la résolution des équations physiques par la méthode des éléments finis, par exemple, n'est pas adéquate pour simuler un circuit du fait du nombre exhaustif des calculs. Cette étape est assez délicate : l'introduction de ces expressions empiriques ou purement mathématiques doit être réalisée sans porter préjudice au côté prédictif du modèle (propension à redire son comportement) et en se rapprochant le plus possible aux comportements physiques du composant.

La nature approximative de la modélisation compacte fait qu'un modèle compact ne sera jamais parfait. Néanmoins il peut devenir de plus en plus réaliste avec l'insertion de nouveaux phénomènes physique ou la prise en compte du plus grand ensemble de conditions de simulation possibles. Dans ce contexte, l'étude, la compréhension et la modélisation de la physique des composants est plus que nécessaire.

Dans cette thèse, nous avons présenté les études suivantes, en abordant plusieurs points qui ne sont pas considérés dans les modèles compacts de la référence actuelle pour les TFTs à savoir le modèle dit RPI (modèle classiquement utilisé que ce soit pour les a-Si:H TFTs ou les µc-Si TFTs).

- Modèles compacts et extraction des paramètres, en proposant une nouvelle méthode d'extraction analytique spécifique pour le modèle RPI (chapitre 2).
- Résistance d'accès dans les TFTs avec les structures : « *top-gate coplanar* » et « *bottom-gate staggered* » (chapitre 3).
- Analyse et modélisation du comportement dynamique des TFTs (chapitre 4).
- Phénomène de la localisation de la dégradation et de la relaxation sous le stress électrique (chapitre 5).

Modèles compacts et extraction des paramètres

Chaque modèle exige une méthode spécifique d'extraction des paramètres. Les méthodes conventionnelles pour extraire la tension de seuil et la mobilité étant développées à partir du modèle classique du MOSFET, le procédé de l'extraction est soumis à l'ambiguïté et à la subjectivité en raison de la divergence entre ce modèle et le comportement réels des TFTs.

La méthode de la fonction *H* est une méthode spécifiquement développée pour le modèle statique RPI, qui permet d'extraire les paramètres V_T et γ par une régression linéaire. Mais comme cette méthode néglige la résistance d'accès, la subjectivité de l'extraction persiste. Nous avons proposé une version améliorée, avec une fonction auxiliaire H_J, qui permet l'extraction des deux paramètres toujours par une régression linéaire mais sans négliger la résistance d'accès. Nous avons expérimentalement constaté que les valeurs des paramètres obtenues par cette méthode sont notoirement moins sensibles au choix de l'intervalle dans laquelle la régression linéaire est faite. Ainsi le résultat de l'extraction des paramètres principaux du modèle (V_T et γ) n'est quasiment plus dépendant de celui qui fait l'extraction (choix de la plage de V_{GS}).

Modélisation statique – résistance d'accès

Tout d'abord, nous avons analysé la résistance d'accès dans le modèle RPI, en présentant l'approche de la résistance en série et l'expression de la transconductance. La résistance d'accès dans ce modèle est considérée constante, mais nos études par la simulation par éléments finis ont montré le contraire.

Dans la structure « *top-gate coplanar* », la concentration des électrons dans les deux extrémités du canal est plus faible en raison de l'effet au bord et de l'épaisseur non-uniforme de l'isolant de grille. Cela peut être modélisé comme un canal uniforme en série avec deux « queues du canal » ; la résistance de ces queues du canal constitue la résistance d'accès dans cette structure, et elle diminue avec la tension de grille. Nous avons prévu théoriquement que la transconductance d'un TFT avec une résistance d'accès qui diminue avec la tension de grille a une croissance plus marquée que celle d'un TFT avec une résistance d'accès constante, ce qui a été vérifié par des simulations. Nous avons constaté également, que la performance des TFTs avec cette structure est très peu sensible à la variation de la longueur d'*overlap* car la concentration des électrons dans la couche intrinsèque dans la région d'*overlap* n'est pas sous influence directe de la grille.

Dans le contexte des études sur la résistance d'accès, dans la structure « *bottom-gate staggered* », nous avons présenté le modèle de « *current crowding* », et nous avons introduit dans ce modèle l'approche du type transport-diffusion. En raison de la diffusion des électrons, la résistance d'accès dépend de la concentration des électrons dans le canal et donc de la tension de grille. Nous avons montré que la valeur de la résistance d'accès dépend également du courant ; la présence du courant signifie une variation du quasi-potentiel de Fermi, ce qui modifie la diffusion des électrons. La

résistance d'accès diminue avec la tension de grille, et quand la tension de grille est fixe, elle diminue avec le courant. Comme la polarité de la chute du quasi-potentiel de Fermi est opposée à la source et au drain, la résistance d'accès à ces deux électrodes n'est pas la même. La différence est négligeable quand le courant est faible, mais elle devient significative quand la chute du quasi-potentiel de Fermi devient importante ; elle augmente alors avec le courant. La longueur caractéristique d'*overlap* également dépend de la tension de grille et du courant : elle augmente avec la tension de grille et diminue avec le courant.

Modélisation dynamique

Le temps nécessaire pour charger les capacités intrinsèques d'un TFT engendre naturellement un temps de retard à l'allumage. Si ce temps est négligeable devant la fréquence des tensions de commande, l'approche quasi-statique est valable et le comportement dynamique du TFT peut être décrit directement par les équations des capacités. Mais quand ce temps n'est pas négligeable, c'est-à-dire, dans le cas non-quasi-statique, une autre modélisation est nécessaire. Nous avons comparé les mesures dynamiques des TFTs dans les cas quasi-statique et non-quasi-statique en observant la manifestation des différentes capacités intrinsèques, que ce soit sur la création du courant de conduction ou sur l'extinction du courant de chargement.

Lors de l'allumage d'un TFT, le canal se forme graduellement commençant par les régions près des électrodes source et drain. En mode linéaire, deux canaux se propagent l'un vers l'autre et le courant de conduction débute quand ils se rejoignent. En mode saturé, le drain ne participe pas à la création du canal ; le canal se propage à partir de la source et le courant de conduction apparaît quand ce canal atteint le drain. Le modèle de Burns décrit la propagation du canal dans un MOSFET en mode saturé. Nous avons modifié ce modèle pour les TFTs en introduisant l'approche du modèle RPI pour tenir en compte des défauts dans le matériau et nous avons proposé une équation globale pour la propagation du canal en mode linéaire et en mode saturé. Le paramètre γ en analyse dynamique traduit non seulement la distribution des défauts mais aussi le taux de piégeage.

Le déchargement du canal est un procédé beaucoup plus lent que le chargement car les régions près des électrodes source et drain deviennent de moins en moins conductrice. Quand le TFT fonctionne dans un cycle, le déchargement non-complet du canal diminue le temps de retard à l'allumage en raison de la conductivité plus élevée de la couche intrinsèque.

Stabilité

Quand la tension de drain n'est pas nulle, la distribution des charges dans le canal n'est pas uniforme et cela entraîne une distribution spatiale de la dégradation dans un TFT. Nous avons appliqué 14 heures de stress électrique en mode saturé aux TFTs à base de silicium amorphe, en changeant la polarité entre source et drain après 7 heures du stress. Quand la polarité a été changée, nous avons constaté que la tension de seuil a été décalée temporairement vers des valeurs plus faibles et que le

courant a commencé par augmenter jusqu'à ce qu'il diminue de nouveau, traduisant ainsi la compétition entre la relaxation, localisée près d'une des électrodes, et la dégradation près de l'autre. Également, nous avons observé que l'intensité du courant dépend de la polarité entre source et drain en raison de la dégradation localisée ; le courant est plus faible si l'électrode près de la région la plus dégradée est utilisée comme drain.

Perspectives

D'une façon globale, une fois étudiés les différents phénomènes physiques, la question cruciale est de les traduire par des expressions mathématiques simples afin de permettre l'insertion de nos études dans un modèle compact des TFTs. Cette étape oblige systématiquement l'emploi de nouveaux paramètres. Il est donc indispensable d'aborder en parallèle avec la conception des modèles des procédures expérimentales ou analytiques d'extraction des valeurs de ces paramètres. Nos études suggèrent également de préciser la structure des TFTs dans les modèles compacts. Si le premier focus de la modélisation concerne le matériau, des études sur la particularité de chaque structure employée sont nécessaires pour une simulation plus fine.

En entrant dans les détails, il est important d'exprimer la dépendance de la résistance d'accès en fonction de la tension de grille et du courant. Il n'est pas difficile de proposer une expression empirique en regardant les résultats des simulations, mais nous préférons avancer un peu plus sur le côté théorique pour finalement trouver une expression physique généraliste et puis l'adapter dans une formulation compacte. Nous proposons également de développer des méthodologies qui permettront la visualisation expérimentale de cette dépendance, soit en modifiant la méthode conventionnelle de TLM (*transmission-line method*) soit en créant un procédé novateur.

La modélisation du cas non-quasi-statique est un bon exemple pour montrer la nécessité de prendre en compte les conditions de simulation. Suite à l'augmentation de la fréquence de fonctionnement des TFTs, la description réaliste du comportement non-quasi-statique devient de plus en plus nécessaire. Nos études montrent que les modèles compacts du cas non-quasi-statique qui restent à finaliser doivent être capables de modéliser, entre autres, l'existence des deux régimes de chargement et la différence entre l'allumage et l'extinction.

Le modèle de la propagation du canal que nous avons proposé est un bon point de départ pour ce nouveau besoin. Dans ce modèle, l'interprétation du paramètre γ est toujours un sujet d'étude. Nous avons proposé une approche semi-compacte en attribuant à ce paramètre l'ensemble des effets de la distribution des défauts et du taux de piégeage, et nous croyons qu'il est possible de développer encore ce modèle en écrivant ce paramètre γ en fonction d'autres paramètres liés au matériau. Nous souhaitons également, sachant que la caractérisation dynamique est faite en général en regardant le comportement d'un inverseur et pas d'un seul TFT, pouvoir développer une méthodologie qui permette une mesure dynamique plus fine du TFT afin de comparer plus directement les modèles compacts dynamiques avec des mesures expérimentales.

Finalement, dans le cadre des études de la stabilité, il est souhaitable d'approfondir l'étude sur le phénomène de la distribution de la dégradation, en introduisant l'approche du type ligne de transmission dans la modélisation du vieillissement. Il est également souhaitable de réaliser le stress électrique avec d'autres valeurs des tensions (de grille et de drain) et de chercher à associer les résultats à la qualité des matériaux (de la couche intrinsèque et de l'isolant de grille, ainsi que l'interface entre eux deux). À court terme, nous proposons d'interpréter nos résultats avec des arguments prenant mieux en compte la création des défauts.

Annexe A : ATLAS

Dans l'annexe A, nous présentons premièrement la liste des paramètres définissant les propriétés de matériau dans les simulations par éléments finis 2D via le logiciel ATLAS. Ensuite, nous précisons les valeurs des paramètres que nous avons utilisées lors des simulations relatées dans cette thèse. Finalement, nous citons quelques détails à considérer quand nous utilisons ATLAS.

A.1 Liste des paramètres

A.1.1 *statement* « material »

Lors des simulations, nous spécifions les caractéristiques du silicium et du nitrure de silicium.

eg300	eV	spécifie le gap d'énergie à 300K
nc300	cm^{-3}	spécifie la densité d'états effective pour les électrons dans la bande de conduction à 300K
nv300	cm^{-3}	spécifie la densité d'états effective pour les trous dans la bande de conduction à 300K
material	-	attribue les paramètres par défaut indiqués par le nom du matériau entré
mun	$cm^2/V.s$	spécifie la mobilité des électrons
mup	$cm^2/V.s$	spécifie la mobilité des trous
permittivity	-	spécifie la permittivité diélectrique relative

A.1.2 *statement* « defects » – distribution des états

Les états dans la bande interdite sont modélisés par deux distributions exponentielles (queues de bande) et deux gaussiennes (états profonds). Il est techniquement possible d'utiliser d'autres types de distributions (ce que nous n'avons pas fait).

Distribution exponentielle des états « *acceptor-like* » dans la queue de bande de conduction

nta (cm^{-3}/eV), wta (eV)

$$g_{TA}(E) = \text{nta} \exp\left(\frac{E - E_C}{\text{wta}}\right) \tag{A.1.1}$$

Distribution exponentielle des états « *donor-like* » dans la queue de bande de valence

ntd (cm^{-3}/eV), wtd (eV)

$$g_{TD}(E) = \text{ntd} \exp\left(\frac{E_V - E}{\text{wtd}}\right) \tag{A.1.2}$$

Distribution gaussienne des états profonds « *acceptor-like* »

nga (cm^{-3}/eV), ega (eV), wga (eV)

$$g_{GA}(E) = \text{nga} \exp\left[-\left(\frac{E_C - \text{ega} - E}{\text{wga}}\right)^2\right] \tag{A.1.3}$$

Distribution gaussienne des états profonds « *donor-like* »

ngd (cm^{-3}/eV), egd (eV), wgd (eV)

$$g_{GD}(E) = \text{ngd} \exp\left[-\left(\frac{E_V + \text{egd} - E}{\text{wgd}}\right)^2\right] \tag{A.1.4}$$

A.1.3 *statement* « defects » – section efficace de capture

Distribution exponentielle des états « *acceptor-like* » dans la queue de bande de conduction

sigtae (cm^2, pour électrons), sigtah (cm^2, pour trous)

Distribution exponentielle des états « *donor-like* » dans la queue de bande de valence

sigtde (cm^2, pour électrons), sigtdh (cm^2, pour trous)

Distribution gaussienne des états profonds « *acceptor-like* »

siggae (cm^2, pour électrons), siggah (cm^2, pour trous)

Distribution gaussienne des états profonds « *donor-like* »

siggde (cm^2, pour électrons), siggdh (cm^2, pour trous)

A.2 Valeurs des paramètres utilisées

A.2.1 Résistance d'accès – *Top-gate staggered*

(Valeurs utilisées dans le chapitre 3, section 3.2)

```
material material=nitride permittivity=6.5
material material=silicon mun=10 mup=1.5 nc300=2.5e20 nv300=2.5e20 eg300=1.1
defects nta=6e21 ntd=6e21 wta=0.034 wtd=0.039 \
        nga=3e16 ngd=3e16 ega=0.54 egd=0.54 wga=0.06 wgd=0.06
```

A.2.2 Résistance d'accès – *Bottom-gate staggered* DOS1

(Valeurs utilisées dans le chapitre 3, section 3.3)

```
material material=nitride permittivity=6.5
material material=silicon mun=10 mup=0.5 nc300=2.5e20 nv300=2.5e20 eg300=1.9
defects nta=3.e21 ntd=5.e21 wta=0.03 wtd=0.05 \
        nga=1e16 ngd=1e16 ega=0.5 egd=0.7 wga=0.15 wgd=0.15
```

A.2.3 Résistance d'accès – *Bottom-gate staggered* DOS2

(Valeurs utilisées dans le chapitre 3, sous-section 3.3.6)

```
material material=nitride permittivity=6.5
material material=silicon mun=2.3 mup=0.1 nc300=2.5e20 nv300=2.5e20 eg300=1.9
defects nta=2.e20 ntd=2.e20 wta=0.025 wtd=0.025 \
        nga=1e17 ngd=1e17 ega=0.4 egd=0.4 wga=0.1 wgd=0.1
```

A.2.4 Analyse dynamique – Avec défauts

(Valeurs utilisées dans le chapitre 4, sections 4.3 et 4.4, sous-sections 4.5.2, 4.5.3 et 4.5.4.2 ; dans la sous-section 4.5.4.1, les paramètres section efficace de capture sont modifiés)

```
material material=nitride permittivity=6.5
material material=silicon mun=10 mup=0.5 nc300=2.5e20 nv300=2.5e20 eg300=1.9
defects nta=3.e21 ntd=5.e21 wta=0.03 wtd=0.05 \
        nga=1e16 ngd=1e16 ega=0.5 egd=0.7 wga=0.15 wgd=0.15 \
       sigtae=1.e-14 sigtah=1.e-14 sigtde=1.e-14 sigtdh=1.e-14 \
        siggae=1.e-14 siggah=1.e-14 siggde=1.e-14 siggdh=1.e-14
```

A.2.5 Analyse dynamique – Sans défaut

(Valeurs utilisées dans le chapitre 4, figures 4.5-3 et 4.5-7)

material material=nitride permittivity=6.5
material material=silicon mun=10 mup=0.5 nc300=2.5e20 nv300=2.5e20 eg300=1.9

A.3 Quelques détails

Dans cette section, nous relatons quelques détails qui doivent être pris en compte pour ne pas interpréter de manière erronée les résultats des simulations ATLAS.

A.3.1 Maillage

Lors d'une simulation par la méthode des éléments finis, l'importance du maillage est primordiale et bien connue. ATLAS ne fait pas exception ; pour qu'une simulation ATLAS soit fiable, un maillage serré est souhaitable, mais cela augmente le temps des calculs. ATLAS limite le nombre des nœuds à la valeur maximum de 20000. Donc, il est nécessaire de savoir les distribuer de manière la plus pertinente, en mettent plus de maille dans les régions où la variation des grandeurs est plus importante. La référence [1] présente les aspects qui doivent être considérés lors de la construction d'un tel maillage (voir section 4.2.1 de la référence [1] pour le maillage dans un MOSFET). Un exemple classique est le maillage serré sur l'axe vertical dans le canal.

Nous donnons ici, un autre exemple de l'effet du maillage sur les résultats de simulation. Lors des études sur la résistance d'accès dans la structure *top-gate coplanar*, le maillage sur l'axe horizontal près des électrodes source et drain exige une attention particulière. Nous rappelons que la concentration des électrons dans les deux extrémités du canal dans cette structure n'est pas uniforme et que nous appelons ces extrémités comme « queues du canal ».

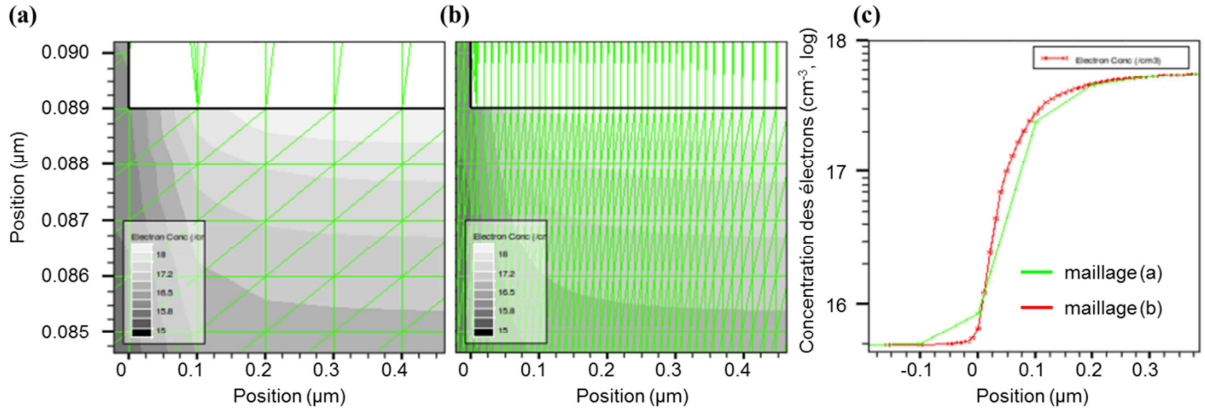

Figure A.3-1 *Deux différents maillages près de la source d'un TFT ayant la structure « top-gate coplanar » : (a) maillage plus espacé avec l'espacement horizontal minimal de 100nm, et (b) maillage plus serré avec l'espacement horizontal minimal de 10nm ; (c) la concentration des électrons dans la queue du canal obtenues par ces deux maillages.*

Les figures A.3-1 (a) et (b) montrent la concentration des électrons dans la queue du canal obtenue par deux différents maillages en faisant varier l'espacement horizontal : (a) 100nm et (b) 10nm. Comme nous pouvons l'observer sur la figure A.3-1 (c), le maillage plus espacé n'arrive pas à suivre finement la variation horizontale de la concentration des électrons. Le résultat est que la concentration des électrons obtenue par le maillage (a) est globalement plus faible que celle obtenue par le maillage (b) et, par conséquent, la résistance de la queue du canal est plus grande, ce qui diminue le courant. Ce point est illustré sur les figures A.3-2 (a) et (b), où nous avons tracé le courant et la transconductance en fonction de V_{GS} obtenus par ces deux maillages et par deux autres maillages, en variant seulement l'espacement horizontal.

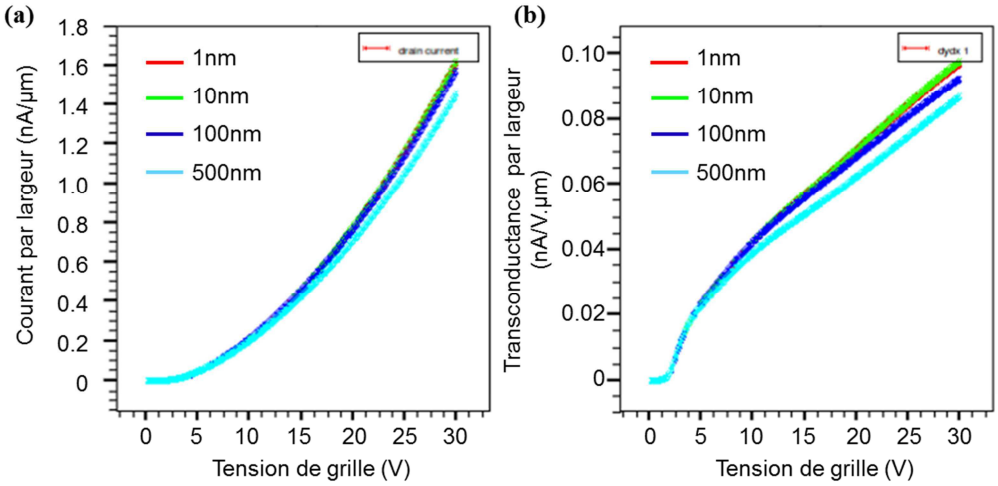

Figure A.3-2 *(a) Le courant et (b) la transconductance en fonction de V_{GS}, obtenus par des différents maillages en variant l'espacement horizontal minimum : 1, 10, 100 et 500 nm.*

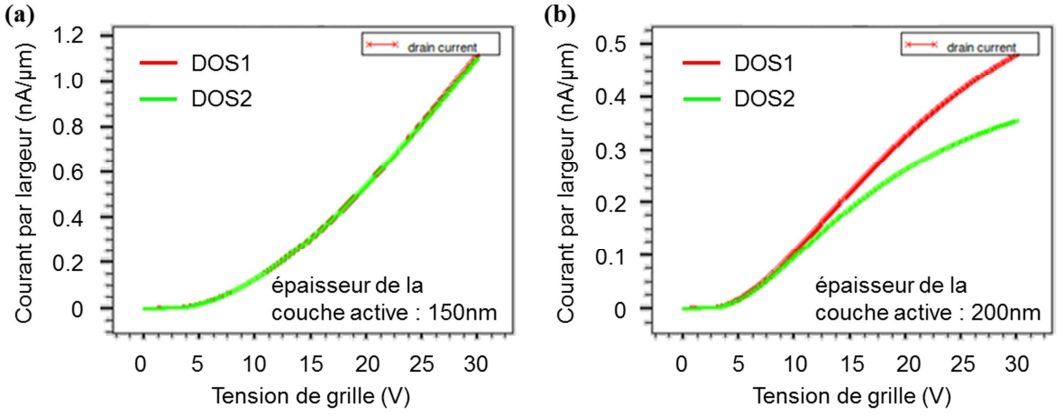

Figure *A.3-3 Simulation ATLAS de la courbe de transfert en utilisant deux différents jeux de paramètres (DOS1 et DOS2 de la table A.3-1) pour un TFT ayant la structure « bottom-gate staggered », avec (a) 150nm et (b) 200nm de l'épaisseur de la couche active.*

Table A.3-1 *Paramètres utilisés sur les simulations des figures A.3-3. Les autres paramètres que ne figurent pas sur cette table sont choisis égaux sur les deux jeux de paramètres.*

jeu de paramètres	mun	mup	eg300	nta	wta	ntd	wtd
DOS1	20	1,5	1,1	1.10^{22}	0,037	$2,8.10^{21}$	0,039
DOS2	9,8	1,5	1,1	6.10^{21}	0,037	6.10^{21}	0,039

A.3.2 Unicité des paramètres

Sur ATLAS, en variant les paramètres du matériau et de défauts (par exemple, la mobilité et la densité d'états), il est possible d'approximer une seule courbe par plusieurs jeux de paramètres ; l'unicité n'est pas assurée. Sur la figure A.3-3 (a), nous observons deux courbes de transfert obtenues par deux différents jeux de paramètres (table A.3-1). Donc estimer les paramètres réels du matériau et de défauts à partir de mesures électroniques des TFTs est un procédé questionnable, qui nécessite une méthode spécifique univoque de la caractérisation du matériau.

Notons qu'en testant sur la simulation ces jeux de paramètres dans d'autres conditions (comme en faisant varier la géométrie du transistor ou les tensions appliquées), nous pouvons souvent les distinguer. Sur la figure A.3-3 (b), nous avons tracé les courbes de transfert en utilisant les mêmes deux jeux de paramètres de la figure A.3-3 (a), mais avec l'épaisseur de la couche active différente : 150nm sur la figure (a) et 200nm sur la figure (b).

A.3.3 Problème du maillage en terme d'énergie

La question de la résolution du maillage n'est pas unique lié à une problématique spatiale. Dans les simulations ATLAS, la densité d'états dans la bande interdite, qui est décrite par des fonctions continues (exponentielles et gaussiennes), est considérée comme des niveaux d'énergie discrétisés lors du calcul de la densité des porteurs piégés (voir section 14.2.8 de la référence [1]). Par exemple, la densité des électrons piégés (n_P) est calculée, d'une façon générale, par :

$$n_P = \int_{E_V}^{E_C} g(E) \cdot f(E) dE \approx \sum_{i=0}^{numa} f(E_i) \cdot \int_{E_V}^{E_C} g(E) dE, \qquad \text{(A.3.1)}$$

où $f(E)$ est la probabilité d'occupation des pièges à l'énergie E, et g(E) est la distribution des pièges. Nous pouvons varier le nombre des points utilisés pour la densité d'états dans le *statement* **defects**, avec les paramètres **numa** (pour défauts *acceptor-like*) et **numd** (pour défauts *donor-like*).

Sur la figure A.3-4, nous avons tracé les courbes de transfert obtenues en variant le paramètre **numa** ; le résultat de la simulation est clairement dépendant du choix du « maillage d'énergie ». Cela montre que, si nous désirons transcrire la densité d'états obtenue expérimentalement dans la simulation, ces deux paramètres doivent être choisis de manière adéquate.

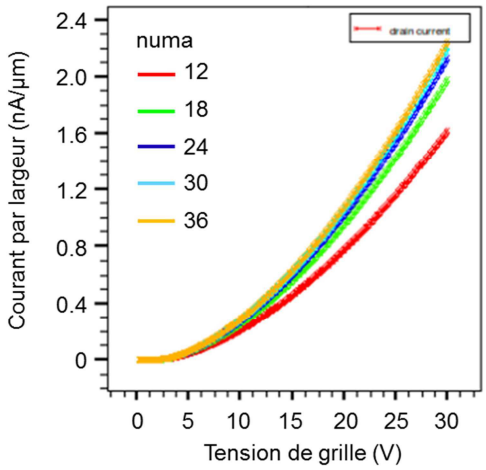

Figure A.3-4 *Simulation ATLAS de la courbe de transfert en variant le paramètre numa.*

Bibliographie de l'annexe A

[1] *ATLAS User's Manual*, Santa Clara, CA: Silvaco Inc., 2012.

Résumé

Dans le but de développer un modèle compact spécifique aux transistors en couches minces (TFT) à base de silicium amorphe ou microcristallin, nous présentons dans ce manuscrit les études que nous avons réalisées sur l'optimisation des modèles compacts et des méthodes d'extraction des paramètres et, plus spécifiquement, sur différents phénomènes présents dans la physique de ces TFTs. Pour les TFTs à base de silicium amorphe, le modèle RPI est déjà implémenté dans les outils de simulation des circuits comme SPICE. Nous proposons une nouvelle méthode plus robuste d'extraction des paramètres pour ce modèle. Cette méthode, différemment des méthodes conventionnelles, ne néglige pas la résistance d'accès, ce qui diminue considérablement la subjectivité du procédé de l'extraction. La résistance d'accès dans les différentes structures a été analysée. Pour la structure *top-gate coplanar*, nous nous sommes focalisés sur des raisons géométriques pour montrer la dépendance de la résistance d'accès en tension de grille. Pour la structure de type *bottom-gate staggered*, nous avons introduit l'approche de transport-diffusion au modèle de *current crowding*, en prouvant la dépendance en tension de grille et en courant en raison de la diffusion des électrons. Le comportement dynamique a été également finement étudié en couplant mesures expérimentales et simulations par éléments finis, en associant les capacités intrinsèques des TFTs avec le temps de retard d'allumage. Dans le cas quasi-statique, où ce temps est négligeable, la modélisation par les équations des capacités est valable ; mais dans le cas non-quasi-statique, où ce temps est perceptible sur la mesure, une autre approche est nécessaire. Nous avons observé l'évolution temporelle du canal lors de sa création ou de sa disparition et nous avons ainsi proposé un modèle qui décrit sa propagation dans un TFT. Nous avons enfin étudié le phénomène de vieillissement des TFTs et nous avons mis en évidence la localisation de la dégradation et de la relaxation dans un TFT sous un stress électrique avec la tension de drain non-nulle.

Abstract

In order to develop a compact model for amorphous or microcrystalline silicon thin-film transistors (TFT), we present in this thesis studies on compact models, parameter extraction methods and, mainly, several phenomena occurring in TFTs. For amorphous silicon TFTs, RPI model is used in circuit simulation programs such as SPICE. We have proposed a new parameter extraction method for this model. This method does not neglect the access resistance, which is different from conventional methods, and this reduces the subjectivity of the extraction process. The access resistance in two different structures has been analyzed. For the top-page coplanar structure, we have focused on geometrical reasons to show the dependence of the access resistance on the gate voltage. For the bottom-gate staggered structure, we have introduced the drift-diffusion approach into the current crowding model, proving the dependence of the access resistance on the gate voltage and on the current because of the electron diffusion. The dynamic behavior has been studied by using measurements and simulations, associating the intrinsic capacitances of TFTs with the turn-on delay time. In the quasi-static case, where this delay time is negligible, the modeling by capacitance equations is valid. However, in the non-quasi-static case, where the delay time appears on measurements, another modeling approach is necessary. We have observed the channel evolution process and we have proposed a model which describes the channel propagation in a TFT. We have studied also the aging phenomenon of TFTs and we have demonstrated the localization of the degradation and of the relaxation in a TFT under an electrical stress with non-zero drain bias.