



**HAL**  
open science

# Analyse Expérimentale et Numérique des Contraintes Thermomécaniques Induites lors des Procédés Émergents de Fabrication de Puces Électroniques au moyen des Capteurs Embarqués

Komi Atchou Ewuame

► **To cite this version:**

Komi Atchou Ewuame. Analyse Expérimentale et Numérique des Contraintes Thermomécaniques Induites lors des Procédés Émergents de Fabrication de Puces Électroniques au moyen des Capteurs Embarqués. Matériaux. Université Paris sciences et lettres, 2016. Français. NNT : 2016PSLEM006 . tel-01405347

**HAL Id: tel-01405347**

**<https://pastel.hal.science/tel-01405347>**

Submitted on 29 Nov 2016

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THESE DE DOCTORAT

de l'Université de recherche Paris Sciences et Lettres

PSL Research University

Préparée à

**MINES ParisTech**

## ANALYSE EXPERIMENTALE ET NUMERIQUE DES CONTRAINTES THERMOMECANIQUES INDUITES LORS DES PROCEDES EMERGENTS DE FABRICATION DE PUCES ELECTRONIQUES AU MOYEN DES CAPTEURS EMBARQUES

Ecole doctorale n° 364

SCIENCES FONDAMENTALES ET APPLIQUEES

Spécialité : SCIENCE ET GENIE DES MATERIAUX

Soutenue par :

**Komi Atchou EWUAME**

**Le 14 Juin 2016**

Dirigée par :

**Karim INAL**

**Pierre-Olivier BOUCHARD**

### COMPOSITION DU JURY :

Prof. Roland FORTUNIER  
Ecole Nationale d'Ingénieurs de Saint-Etienne  
Président de jury

Prof. Rafael ESTEVEZ  
Université de Grenoble SIMAP-INP  
Rapporteur 1

Prof. Patrick PONS  
CNRS LAAS  
Rapporteur 2

Ing. Pascal CHAUSSE  
CEA - Leti  
Membre invité

Prof. Karim INAL  
Université de recherche PSL  
CEMEF MINES ParisTech  
Directeur de Thèse

Prof. Pierre-Olivier BOUCHARD  
Université de recherche PSL  
CEMEF MINES ParisTech  
Co-directeur

Dr. Vincent FIORI  
STMicroelectronics  
Encadrant Entreprise









# REMERCIEMENTS

*« AKPE NA MI », ce qui veut dire « Merci à vous » en mina (un des dialectes togolais 😊).*

*Comme pour la plupart des travaux, le chemin n'a jamais été droit ni simple, mais la finition a été une belle réussite.*

*J'aimerais adresser mes premiers remerciements à Vincent FIORI, qui m'a assisté durant ces trois années de thèse. Ses compétences en microélectronique m'ont fortement aidé à réaliser ce travail.*

*J'exprime tous mes remerciements à Karim INAL qui a assuré la direction scientifique de ce travail. Sa rigueur scientifique et ses expériences en expérimentation m'ont beaucoup appris.*

*Mes remerciements vont également à Pierre-Olivier BOUCHARD. Son expertise en simulation éléments finis a été pour moi un élément important dans la réussite de ce travail.*

*Merci à Sébastien GALLOIS-GARREIGNOT, pour sa disponibilité, pour son aide tout au long de la thèse.*

*Je remercie l'ensemble des membres de jury pour leurs intérêts pour ce travail. Merci à Roland FORTUNIER d'avoir accepté de présider le jury. Merci à Rafael ESTEVEZ et à Patrick PONS d'avoir accepté d'être les rapporteurs de ce travail et merci à Pascal CHAUSSE.*

*J'adresse toute ma gratitude à tous mes ami(e)s et collègues qui m'ont aidé de loin ou de près dans la réalisation de ce travail. Je remercie toutes les personnes formidables que j'ai rencontrées à STMicroelectronics de Crolles et à MINES ParisTech de Sophia Antipolis. Merci pour vos supports et vos encouragements.*

*Mes mots de remerciements vont aux membres de la famille CREPPY pour leurs soutiens. Ils ont été pour moi, un père, une mère, des frères et sœur durant mon séjour à Grenoble. Ils m'ont gracieusement porté dans leurs cœurs et m'ont encouragé à aller de l'avant.*

*Loin des yeux mais près du cœur, n'ayant pas pu assister à la soutenance malgré son désir, ma petite chérie Christel a su me donner les mots qu'il faut pour me porter haut. Merci pour ses encouragements et ses soutiens moraux.*

*Simple mais forte, ma plus vive gratitude va à ma famille. Je remercie mes frères Komivi Jean Claude, Edoh Rodolphe et Mawuena Ezéchiel pour leurs encouragements. Je remercie également mon père Komlavi Benjamin pour son soutien et tout son apport. Mes remerciements vont particulièrement à ma mère Akofa Sylvie qui demeure un trésor précieux pour moi. Je t'envoie un océan de câlins pour une vie entière de bonheur parce que tu le mérites bien.*



# TABLES DES MATIERES

REMERCIEMENTS.....	v
TABLES DES MATIERES .....	vii
LISTE DES FIGURES .....	xi
LISTE DES TABLEAUX.....	xv
GLOSSAIRE .....	xvii
INTRODUCTION GENERALE .....	1
I. Contexte industriel .....	1
II. Approche adoptée.....	2
CHAPITRE I : ETAT DE L'ART .....	5
I. Circuit intégré .....	5
1. Description .....	5
2. Les lois de Moore .....	6
II. Procédés de fabrication et quelques problèmes associés .....	7
1. Front-End .....	7
2. Back-End.....	10
III. Contraintes et défaillances induites lors de la fabrication .....	13
1. Contraintes résiduelles.....	13
2. Défaillances dans les interconnexions .....	15
3. Strain engineering .....	16
IV. Méthodes d'évaluation des contraintes .....	18
1. Démarches expérimentales.....	18
2. Démarches numériques .....	26
V. Positionnement de la thèse.....	30
SYNTHESE I .....	31
ABSTRACT I.....	32
CHAPITRE II : CONCEPTION DU CAPTEUR DE CONTRAINTE IN-SITU.....	33
I. Structure du silicium .....	33
1. Silicium monocristallin.....	33
2. Silicium amorphe .....	34
3. Silicium polycristallin .....	35
II. La physique de la piézorésistivité dans les semi-conducteurs .....	36
III. Critères de qualité.....	37
IV. Capteur de contrainte et relations caractéristiques .....	38



1. Description .....	38
2. Relations caractéristiques.....	39
SYNTHESE II.....	48
ABSTRACT II.....	49
CHAPITRE III : CALIBRATION DES CAPTEURS .....	51
I. Conception d'une machine de flexion quatre-points .....	51
1. Méthodes de calibration.....	51
2. Conception d'une machine de flexion quatre-points dédiée à la calibration des capteurs	53
3. Mode opératoire .....	55
II. Méthodologie de calibration .....	56
1. Plaquette <100> pour n&pMOS.....	56
2. Plaquette <110> pour n&pMOS.....	58
III. Détermination des coefficients piézorésistifs : applications.....	59
1. Technologie CMOS 65nm .....	63
2. Technologie BiCMOS 55nm.....	67
3. Technologie CMOS 40nm .....	70
4. Autres tests.....	72
5. Bilan .....	74
SYNTHESE III .....	78
ABSTRACT III .....	79
CHAPITRE IV : EVALUATION DES CONTRAINTES.....	81
I. Stratégie de test et études de variabilité.....	81
II. Etudes de contraintes induites par le TSV.....	85
1. Méthode expérimentale : utilisation des capteurs.....	85
2. Approche numérique : simulation par éléments finis .....	90
3. Corrélation et discussion.....	95
4. Etude complémentaire : calcul de variations de courants de drain .....	96
III. Contraintes induites dans un empilement 3D.....	97
1. Méthode expérimentale : utilisation des capteurs.....	98
2. Méthode numérique : simulation par éléments finis .....	100
3. Corrélation et discussion.....	105
IV. Contraintes induites dans un empilement 2D.....	106
V. Sources d'erreurs liées à l'utilisation des transistors .....	108
SYNTHESE IV.....	109
ABSTRACT IV .....	111
CHAPITRE V : EXPLORATION DE NOUVELLES STRUCTURES .....	113
I. Structure et stratégie de test.....	113

II. Etude de sensibilité / calibration .....	114
1. Méthodologie .....	114
2. Résultats .....	114
III. Contraintes par simulation éléments finis.....	117
1. Description du modèle .....	117
2. Résultats : contraintes induites .....	119
IV. Impacts des contraintes sur les MOS et la structure bandgap .....	120
1. Relations caractéristiques.....	120
2. Résultats : impact des contraintes.....	121
V. Etude paramétrique : minimisation des contraintes .....	122
1. Etude paramétrique.....	122
2. Minimisation de la différence entre le coin et le centre de puce .....	123
3. Minimisation sur toute la surface de la puce .....	126
VI. Etudes de sensibilité des résistances polysilicium .....	127
1. Structure de test.....	128
2. Résultats du test.....	129
SYNTHESE V .....	131
ABSTRACT V .....	132
CONCLUSION GENERALE ET PERSPECTIVES .....	133
ANNEXES .....	137
Annexe A : Notions de tenseur de contraintes .....	137
Annexe B : Dessin CAO de la machine de flexion quatre-points .....	142
Annexe C : Calcul du déterminant de la matrice [A] avec Mathcad .....	143
Annexe D : Calcul de contrainte induite par le TSV – seconde approche .....	143
Annexe E : Contrainte TSV – Etude de sensibilité au maillage .....	145
Annexe F : Impact de l’anisotropie du silicium et de la plasticité du cuivre .....	147
1. Effet de l’anisotropie du silicium .....	147
2. Effet de la plasticité du cuivre.....	148
Annexe G : Impact de la taille de puce sur la contrainte en CMOS40 .....	150
REFERENCES BIBLIOGRAPHIQUES .....	151
RESUME GLOBAL.....	159
GENERAL ABSTRACT .....	161



# LISTE DES FIGURES

Figure 1 – Vue en coupe d’un circuit intégré du nœud technologique 90 nm [Vayrette, 2012]....	1
Figure 1. 1 – Schéma d’un transistor MOS.....	5
Figure 1. 2 – Loi de Moore et loi More than Moore [Tummala, 2006].....	7
Figure 1. 3 – Schémas montrant l’intégration 2D et 3D.....	7
Figure 1. 4 – Représentation schématique des transistors MOS et des interconnexions [Gallois-Garreignot, 2010]. .....	9
Figure 1. 5 – Schéma descriptif du procédé de fabrication [Fiori, 2010].....	10
Figure 1. 6 – Vue montrant les lignes de découpe [Gallois-Garreignot, 2010]. .....	11
Figure 1. 7 – a) Schéma d’un boîtier avec assemblage Solder Bump, b) schéma d’un Copper Pillar [Gallois-Garreignot, 2010]. .....	11
Figure 1. 8 – a) Schéma d’un boîtier avec assemblage Wire Bonding, b) schéma d’un assemblage TSV [Gallois-Garreignot, 2010]. .....	12
Figure 1. 9 – Schéma d’un boîtier avec assemblage 3D.....	12
Figure 1. 10 – Circuit Intégré [Gallois-Garreignot, 2010].....	13
Figure 1. 11 – Illustration de a) différence de paramètre de maille, b) la courbure générale lors du refroidissement d’un film collé sur un substrat avec des CTE différents (contrainte thermoélastique). .....	15
Figure 1. 12 – Vue au microscope montrant a) un monticule (hillock) [Tikka, 2009], b) la formation d’une cavité [Oshima, 2002]. .....	16
Figure 1. 13 – Strain engineering [Fiori, 2010]. .....	16
Figure 1. 14 – Schéma montrant un gain de performance sur les pMOS par orientation du silicium.....	17
Figure 1. 15 – Gain de performance sur les nMOS avec utilisation d’un film.....	17
Figure 1. 16 – Mécanisme de transfert de contrainte dans le canal d’un transistor nMOS. Grâce à l’expansion thermique pendant le recuit, une contrainte de tension est induite dans le canal [Pandey, 2011]. .....	18
Figure 1. 17 – a) Représentation schématique d’un TSV dans le silicium, b) Vue globale schématique du dispositif expérimental. Le faisceau rayon-X est focalisé en utilisant le FZP (Fresnel Zone Plate). L’angle d’incidence $\omega$ et l’angle de diffraction $2\theta$ sont montrés [Vianne, 2014]. .....	20
Figure 1. 18 – a) Représentation schématique d’un fil conducteur ; b) Vue au microscope d’un capteur de contrainte passif en serpentins [Vianne, 2014]. .....	21
Figure 1. 19 – Représentation schématique d’un effet piézoélectrique; b) structure piézoélectrique [Kolev, 2010]. .....	21
Figure 1. 20 – Schéma de puce de test et le capteur piézorésistif en rosette, b) Contrainte absolue due à la mise en boîtier dans les zones des capteurs [Chang, 2013]. .....	23
Figure 1. 21 – Variation de résistance en fonction de a) de la température et b) de la contrainte appliquée à température fixe [Chang, 2013]. .....	23
Figure 1. 22 – a) Capteur de contrainte sur du silicium (111); b) Puce encapsulée par Wire Bonding [Zou, 1999]. .....	23
Figure 1. 23 – Schémas montrant a) les positions de matrice de transistors, b) le dispositif de flexion quatre-points et c) la puce encapsulée [Ivankovic, 2012]. .....	24
Figure 1. 24 – a) Schéma du capteur de contrainte; b) Contraintes ( $\sigma_{xx}$ et $\sigma_{yy}$ ) mesurées après bumping [Zhang, 2012]. .....	24
Figure 1. 25 – Schéma de capteur de contrainte en rosette [Yong, 2013]. .....	25
Figure 1. 26 – Contrainte selon les axes x, y, et z [Han, 2014]. .....	27

Figure 1. 27 – Vue en coupe de trois zones différentes dans l’empilement 3D. a) matrice de micro-bumps avec un espacement de 40µm, b) Copper pillar à la partie supérieure de la puce fine, c) combinaison des micro-bumps et des CP [Cherman, 2014].	27
Figure 1. 28 – Modèle éléments finis de l’empilement 3D avec une matrice uniforme de micro-bumps, et b) la contrainte simulée suivant la ligne continue bleue [Cherman, 2014].	28
Figure 1. 29 – a) Composante verticale $\sigma_z$ et b) dans le plan $\sigma_x$ de la contrainte modélisée à la surface supérieure de la puce Tier1 suivant la droite reliant les centres des micro-bumps (line discontinue dans la Figure 1.16-a). Les points noirs indiquent les positions des micro-bumps [Cherman, 2014].	28
Figure 1. 30 – Représentation schématique du procédé d’amincissement de la plaquette du silicium remplie de TSV [Che, 2014].	29
Figure 1. 31 – Effet de l’épaisseur de la plaquette de silicium sur la contrainte maximale [Che, 2014].	29
Figure 2. 1 – Maille cubique conventionnelle de la structure diamant [Ashcroft, 1976].	34
Figure 2. 2 – Bandes d’énergie dans le silicium [Hogarth, 1965].	34
Figure 2. 3 – Densité d’états en échelle logarithmique dans la bande interdite du silicium amorphe ( $E_V$ : bande de valence, $E_C$ : bande de conduction) [Lu, 1984].	35
Figure 2. 4 – Représentation schématique des bandes d’énergie pour des électrons et leurs mouvements dans un solide.	37
Figure 2. 5 – Critères de qualité : a) sensibilité, b) testabilité, c) variabilité.	38
Figure 2. 6 – Représentation schématique des directions cristallographiques d’une plaquette de silicium.	39
Figure 2. 7 – Capteur de contrainte en rosette de MOS.	39
Figure 2. 8 – Représentation schématique a) d’une plaquette <100> et b) d’une plaquette <110>	42
Figure 2. 9 – Angles de rotation (angles d’Euler).	43
Figure 2. 10 – Système de coordonnées a) d’une plaquette tournée et b) d’une plaquette non tournée ; $\alpha$ : l’angle entre le canal du MOS et l’axe x.	44
Figure 2. 11 – Organigramme montrant la démarche globale de détermination des contraintes à l’aide des capteurs.	48
Figure 2. 12 – Diagram showing the overall approach for the stress evaluation using stress sensors.	49
Figure 3. 1 – Résultats de simulation de flexion quatre-points.	52
Figure 3. 2 – Machine de flexion quatre-points du CMP.	53
Figure 3. 3 – Prise de vue d’un <i>prober</i> .	54
Figure 3. 4 – Délaminateur à ST Crolles.	54
Figure 3. 5 – Nouvelle configuration de la machine de flexion quatre-points.	55
Figure 3. 6 – Machine de flexion quatre-points pour les tests de calibration à ST Crolles.	56
Figure 3. 7 – Schéma de découpe des échantillons sur a)- une plaquette <100> et b)- une plaquette <110>.	57
Figure 3. 8 – Schéma montrant la détermination des coefficients.	58
Figure 3. 9 – Schéma descriptif de la méthodologie de calibration des capteurs MOS.	59
Figure 3. 10 – Schéma représentant les niveaux de dopage (en atomes/cm <sup>3</sup> ) des MOS utilisés.	60
Figure 3. 11 – Appareil de mesure électrique : Keithley 4200.	60
Figure 3. 12 – Représentation schématique du calcul en flexion quatre-points.	61
Figure 3. 13 – Structure de test : localisation des capteurs sur la technologie CMOS 65nm.	63
Figure 3. 14 – Courant de drain en fonction de la tension de grille pour pMOS3 sur la technologie CMOS 65nm.	64
Figure 3. 15 – Variations de courants de drain en fonction de la contrainte appliquée pour différentes valeurs de la tension de grille sur la technologie CMOS 65nm.	65

Figure 3. 16 – Courbes de variations de courants de drain en valeurs médianes en fonction des contraintes appliquées sur la technologie CMOS 65nm. ....	66
Figure 3. 17 – Structure de test : localisation des capteurs sur la technologie BiCMOS55. ....	68
Figure 3. 18 – Variations de courants de drain des a)- nMOS et b)- pMOS en fonction de la tension de grille pour différents niveaux de contrainte sur la technologie BiCMOS 55nm. ....	68
Figure 3. 19 – Courbes de variations de courants de drain en fonction de la contrainte appliquée sur la technologie BiCMOS 55nm. ....	69
Figure 3. 20 – Structure de test : localisation des capteurs sur la technologie CMOS 40nm. ....	70
Figure 3. 21 – Courbes de variations de courants de drain en fonction de la contrainte appliquée sur la technologie CMOS 40nm. ....	72
Figure 3. 22 – Structure de test : localisation des MOS sur la technologie CMOS 90nm. ....	73
Figure 3. 23 – Courbes de variations de courants de drain en fonction de la contrainte appliquée sur la technologie CMOS 90nm. ....	73
Figure 3. 24 – a)- Capteur type MOS dans l'imager BSI140, b)- capteur type résistance active dans PIC25 [Vianne, 2014]. ....	74
Figure 3. 25 – Diagramme comparatif des coefficients piézorésistifs. ....	76
Figure 3. 26 – Coefficients piézorésistifs à température ambiante sur un substrat de silicium orienté (001) dopé a)- N ( $10^{-12}$ cm <sup>2</sup> /dyne) et b)- P ( $10^{-12}$ cm <sup>2</sup> /dyne) [Kanda, 1982]. ....	76
Figure 4. 1 – Equipement de mesures électriques (Prober) à ST Crolles. ....	82
Figure 4. 2 – Diagramme représentatif des valeurs moyennes, minimales et maximales des nMOS sur les 15 puces mesurées. ....	82
Figure 4. 3 – Diagramme représentatif des valeurs moyennes, minimales et maximales des pMOS sur les 15 puces mesurées. ....	83
Figure 4. 4 – Courbes montrant la dispersion des courants de drain sur deux plaquettes (W05 et W22) de la technologie CMOS28. ....	84
Figure 4. 5 – Position des MOS du capteur par rapport au TSV. ....	89
Figure 4. 6 – Comparaison entre les variations de courants de drain mesurées et celles calculées à partir de la relation (4.6). ....	90
Figure 4. 7 – a) Vue globale du modèle, b) vue moitié du modèle maillé. ....	92
Figure 4. 8 – Schématisation du comportement élasto-plastique du cuivre. ....	92
Figure 4. 9 – Contraintes a) $\sigma_{xx}$ , b) $\sigma_{yy}$ , c) $\sigma_{zz}$ et d) $\sigma_{xy}$ induites par le TSV dans la zone active du modèle. ....	94
Figure 4. 10 – Contraintes induites par le TSV dans la zone active : résultats expérimentaux et numériques. ....	95
Figure 4. 11 – Vue de haut de la nouvelle configuration de la position des capteurs MOS. ....	96
Figure 4. 12 – Variations de courant de drain induites par le TSV a) pour les nMOS dans la direction [100], b) pour les pMOS dans la direction [100], c) pour les nMOS dans la direction [110] et d) pour les pMOS dans la direction [110]. ....	97
Figure 4. 13 – Schéma représentatif d'une puce mise en boîtier avec la zone des capteurs. ....	98
Figure 4. 14 – Dispositif de mesure électrique des puces mises en boîtier. ....	98
Figure 4. 15 – Modèle maillé représentatif du BGA à homogénéiser. ....	101
Figure 4. 16 – Modèle maillé représentatif du a) UF+CP et b) UF+ $\mu$ CP à homogénéiser. ....	102
Figure 4. 17 – Modèle global maillé montrant les différentes parties ainsi que les conditions aux limites. ....	103
Figure 4. 18 – Contrainte de von Mises obtenue par simulation éléments finis sur le boîtier CMOS C65nm : a) vue globale sans la résine de moulage, b) vue agrandie montrant les différentes zones. ....	104
Figure 4. 19 – Composantes de contraintes $\sigma_{xx}$ , $\sigma_{yy}$ , $\sigma_{zz}$ et $\sigma_{xy}$ dans la zone des capteurs. ....	105
Figure 4. 20 – Diagramme comparatif des composantes de contraintes déterminées expérimentalement et par simulation. ....	106
Figure 4. 21 – Représentation schématique de l'empilement 2D. ....	107

Figure 5. 1 – a) Vue des capteurs MOS et de la structure bandgap, b) Circuit électrique de la structure bandgap.....	113
Figure 5. 2 – Représentation schématique des échantillons découpés à mesurer. ....	114
Figure 5. 3 – Dispersion de la tension de sortie en fonction de la contrainte pour différentes tensions d’entrée.....	115
Figure 5. 4 – Valeurs médianes de la tension de sortie en fonction de la contrainte appliquée..	116
Figure 5. 5 – Variation de la tension bandgap en fonction de la contrainte appliquée à la température ambiante [ <b>Fruett, 2003</b> ]. ....	116
Figure 5. 6 – Variation de la tension bandgap en fonction de la contrainte appliquée. ....	117
Figure 5. 7 – Modèle global maillé du boîtier CMOS 40 nm.....	118
Figure 5. 8 – Composantes de contraintes générées par la mise en boîtier de la puce. ....	120
Figure 5. 9 – Variations de a) mobilité nMOS, b) mobilité pMOS, et c) tension bandgap.....	121
Figure 5. 10 – Schéma montrant le centre et le coin de la puce où la différence des réponses de sortie est analysée.....	123
Figure 5. 11 – Diagramme représentant l’impact de chaque paramètre géométrique. ....	123
Figure 5. 12 – Réponses de sortie après minimisation des différences.....	125
Figure 5. 13 – Réponses de sortie après minimisation à l’échelle de la puce. ....	127
Figure 5. 14 – Structure de test pour les résistances poly-Si. ....	128
Figure 5. 15 – Résultats d’EBSD obtenus sur du poly-Si <sup>11</sup> , projection suivant la direction normale à la puce. ....	128
Figure 5. 16 – Variations de résistances a) nR et b) pR en fonction de la contrainte appliquée.	129
Figure 5. 17 – Diagramme comparatif des coefficients de sensibilité. ....	130
Figure A. 1 – Représentation schématique de la zone d’étude d’un solide ( $\Omega$ ).....	137
Figure A. 2 – Décomposition du vecteur contrainte $T$ . ....	138
Figure A. 3 - Schéma d’une particule de forme parallélépipédique montrant les composantes de contraintes.....	138
Figure A. 4 – Schéma d’une particule de forme tétraédrique.....	139
Figure A. 5 – Dessin CAO de la machine de flexion quatre-points : vue 3D de profil. ....	142
Figure A. 6 – Dessin CAO de la machine de flexion quatre-points : vue 3D détaillée de la partie supérieure. ....	142
Figure A. 7 – Prise de vue de l’interface de Mathcad montrant le calcul du déterminant de la matrice A.....	143
Figure A. 8 – Schéma représentatif de la correspondance des puces mesurées sur WoTSV et WtTSV. ....	143
Figure A. 9 – Comparaison entre les variations de courants de drain mesurées et celles calculées à partir de la relation (4.6).....	145
Figure A. 10 – Sensibilité au maillage des contraintes induites par le TSV.....	146
Figure A. 11 – Contraintes induites par le TSV dans la zone du capteur pour les deux types de maillage.....	146
Figure A. 12 – Effet de l’anisotropie du silicium sur la contrainte induite par le TSV.....	147
Figure A. 13 – Effet de la plasticité du cuivre sur la contrainte induite par le TSV. ....	149
Figure A. 14 – Contrainte de von Mises dans la zone active entre la grande et la petite puce. ...	150

# LISTE DES TABLEAUX

Tableau 1. 1 – Tableau récapitulatif des différents types de capteurs les plus utilisés pour la détermination des contraintes .....	26
Aucune entrée de table d'illustration n'a été trouvée.	
Tableau 3. 1 – Tableau comparatif des méthodes de calibration .....	51
Tableau 3. 2 – Tableau de variations de courants de drain en valeurs médianes pour différents niveaux de contrainte : capteurs CMOS 65nm.....	65
Tableau 3. 3 – Tableau des écarts type sur les variations de courants de drain : Capteurs CMOS 65nm.....	67
Tableau 3. 4 – Coefficients piézorésistifs des capteurs MOS extraits sur la technologie CMOS 65nm.....	67
Tableau 3. 5 – Tableau de variations de courants de drain pour différents niveaux de contrainte pour $V_g = \pm 0.9V$ : capteurs BiCMOS 55nm.....	69
Tableau 3. 6 – Coefficients piézorésistifs des capteurs MOS extraits sur la technologie BiCMOS 55nm.....	70
Tableau 3. 7 – Tableau de variations de courants de drain pour différents niveaux de contrainte : capteur CMOS 40nm .....	71
Tableau 3. 8 – Coefficients piézorésistifs des capteurs MOS extraits sur la technologie CMOS 40nm.....	72
Tableau 3. 9 – Tableau de variations de courants de drain pour différents niveaux de contrainte : capteur CMOS 90nm .....	73
Tableau 3. 10 – Tableau comparatif des coefficients extraits sur la technologie CMOS 90nm .....	74
Tableau 3. 11 – Tableau comparatif des coefficients piézorésistifs (en $10^{-11} \text{ MPa}^{-1}$ ) sur une plaquette (001) .....	75
Tableau 4. 1 – Valeurs des courants de drain mesurés sur 15 puces .....	83
Tableau 4. 2 – Valeurs de médiane, moyenne, écart type et coefficient de variation sur WoTSV. 88	
Tableau 4. 3 – Valeurs de médiane, moyenne, écart type et coefficient de variation sur WtTSV . 88	
Tableau 4. 4 – Variations de courants de drain à partir des mesures sur WoTSV et WtTSV.....	89
Tableau 4. 5 – Tableau récapitulatif des contraintes induites par le TSV à partir des mesures électriques.....	89
Tableau 4. 6 – Dimensions du modèle.....	91
Tableau 4. 7 – Propriétés matériaux des éléments utilisés dans l'impact du TSV.....	93
Tableau 4. 8 – Valeurs de médiane, moyenne, écart type et coefficient de variation sur Bef_Pack .....	99
Tableau 4. 9 – Valeurs de médiane, moyenne, écart type et coefficient de variation sur Aft_Pack.....	99
Tableau 4. 10 – Variations de courant de drain à partir des mesures sur Bef_Pack et Aft_Pack... ..	99
Tableau 4. 11 – Tableau récapitulatif des contraintes induites par le <i>packaging</i> à partir des mesures électriques.....	100
Tableau 4. 12 – Propriétés matériaux des éléments utilisés dans l'impact du <i>Packaging</i> .....	101
Tableau 4. 13 – Tableau comparatif des composantes de contraintes déterminées expérimentalement et par simulation .....	106
Tableau 4. 14 – Variations de courant de drain due à la mise en boîtier .....	107
Tableau 4. 15 – Contraintes induites par le <i>packaging</i> déduites à partir des mesures électriques .....	107
Tableau 5. 1 – Coefficients de sensibilité à la contrainte de la structure bandgap.....	117



Tableau 5. 2 – Tableau des dimensions des composants du modèle.....	118
Tableau 5. 3 – Tableau des propriétés matériaux.....	119
Tableau 5. 4 – Dimensions des éléments pour l'étude paramétrique .....	122
Tableau 5. 5 – Tableau des paramètres optimisés .....	124
Tableau 5. 6 – Résultats des différences des réponses de sortie à partir des valeurs optimisées .....	124
Tableau 5. 7 – Propriétés matériaux de la résine de moulage .....	125
Tableau 5. 8 – Paramètres optimaux finaux pour la minimisation des différences des réponses de sortie.....	125
Tableau 5. 9 – Valeurs des composantes de contraintes et des différences de valeurs de sortie après minimisation .....	125
Tableau 5. 10 – Paramètres optimaux finaux pour la minimisation des réponses de sortie.....	126
Tableau 5. 11 – Valeurs des composantes de contraintes et des réponses de sortie.....	126
Tableau 5. 12 – Tableau comparatif des coefficients de sensibilité.....	129
Tableau A. 1 - Bilan des forces agissant sur la particule tétraédrique .....	140
Tableau A. 2 – Variations de courant de drain à partir des mesures sur WoTSV et WtTSV .....	144
Tableau A. 3 – Tableau récapitulatif des contraintes induites par le TSV à partir des mesures .	144
Tableau A. 4 – Effet de l'anisotropie du silicium sur la contrainte induite par le TSV dans la zone du capteur .....	148
Tableau A. 5 – Effet de la plasticité du cuivre sur la contrainte induite par le TSV dans la zone du capteur.....	149

# GLOSSAIRE

## A

---

$a_{Si}$	Paramètre de maille du silicium
a-Si	Silicium amorphe
a-Si:H	Silicium amorphe hydrogéné
$a_{SiGe}$	Paramètre de maille du silicium-germanium

## B

---

BC, BV	Bande de conduction et bande de valence
BE	Back-End
BEoL	Back-End of Line
BG	Bandgap
BGA	Ball Grid Array

## C

---

CESL	Contact-Etch-Stop-Liner
CMOS	Complementary Metal Oxide Semiconductor
CMP	Chemical Mechanical Polishing
CP, $\mu$ CP	Copper Pillar et micro Copper Pillar
CTE	Coefficient of Thermal Expansion
cv	Coefficient de variation
CVD	Chemical Vapor Deposition

## D

---

DOE	Design Of Experiments
DRX	Diffraction des Rayons X

## E

---

E	Module d'Young
e	Epaisseur
$E_{BEoL\_X}$	Module d'Young de la partie des interconnexions nommée BEoL_X
$E_{BEoL\_Z}$	Module d'Young de la partie des interconnexions nommée BEoL_Z
ECD	Electro-Chemical Deposition
ect	Ecart type
$E_{Dielec\_X}$	Module d'Young du diélectrique utilisé dans BEoL_X
$E_{Dielec\_Z}$	Module d'Young du diélectrique utilisé dans BEoL_Z
$E_g$	Energie gap
$E_t$	Module tangent
EWS	Electrical Wafer Sorting ou test électrique

---

**F**

$F_{app}$	Force appliquée lors de la calibration
FE	Front-End
FEoL	Front-End of Line

---

**I**

$I_{DS}, I_d$	Courant entre le drain et la source du MOS
IMD	Inter Metal Dielectric
$I_{Mx}$	Moment d'inertie suivant l'axe x

---

**L**

Liner	Couche d'oxyde permettant d'isoler le cuivre (du TSV) du silicium
-------	---

---

**M**

MEMS	Micro-Electro-Mechanical Systems
$M_f$	Moment de flexion
MOS	Metal Oxide Semiconductor

---

**N**

$n_c$	Nombre de mobilité des porteurs de charge
-------	---

---

**P**

PMD	Pre-Metal Dielectric
Poly-Si	Silicium polycristallin
PVD	Physical Vapor Deposition

---

**Q**

q	Charge électrique d'un porteur de charge
---	--

---

**S**

SB	Solder Bump
SMT	Stress Memorization Technique

---

**T**

T, $T_0$	Température et température de référence
TSV	Through Silicon Via

---

**U**

UF	Underfill
----	-----------

---

**V**

---

---

$V_{BG}$	Tension de sortie bandgap
$V_{CCA}$	Tension d'entrée bandgap
$V_{DS}, V_d$	Différence de potentiel entre le drain et la source
$V_{GS}, V_g$	Différence de potentiel entre la grille et la source
$V_{th}$	Tension seuil

**W**

---

WB	Wire Bonding
WLCSP	Wafer Level Chip Scale Packaging

---

$\alpha_s, \alpha_f$	Coefficient de dilatation thermique d'un substrat et d'un film
$\beta$	Facteur de gain d'un MOS
$\epsilon_{rr}, \epsilon_{\theta\theta}$	Déformation radiale et tangentielle
$\mu$	Mobilité des porteurs de charge
$\nu$	Coefficient de Poisson
$\pi$	Tenseur de coefficients piézorésistifs
$\rho$	Résistivité électrique
$\sigma_{app}$	Contrainte appliquée lors de la calibration
$\sigma_{xx}, \sigma_{yy}, \sigma_{zz}, \sigma_{xy}$	Contraintes axiales ( $\sigma_{xx}, \sigma_{yy}, \sigma_{zz}$ ) et de cisaillement ( $\sigma_{xy}$ )
$(\psi, \theta, \varphi)$	Angles d'Euler



# INTRODUCTION GENERALE

## I. Contexte industriel

L'utilisation des propriétés des semi-conducteurs, notamment le silicium, a révolutionné les industries électroniques depuis 1950. Dans ces industries, la densité d'intégration évolue avec l'évolution des technologies, nécessitant une amélioration des systèmes d'intégration (intégration 3D) et de l'utilisation de nouveaux matériaux. Certains de ces matériaux entrent dans la fabrication des diélectriques, qui sont des oxydes avec des capacités isolantes fortement améliorées. Outre les oxydes, les métaux tels que le tungstène, l'aluminium et plus particulièrement le cuivre sont utilisés. L'ensemble de ces composants présents dans différentes parties de la puce confèrent à cette dernière une architecture multicouche complexe. La [Figure 1](#) illustre la géométrie de l'empilement de matériaux dans le cas d'un circuit intégré du nœud technologique 90 nm.

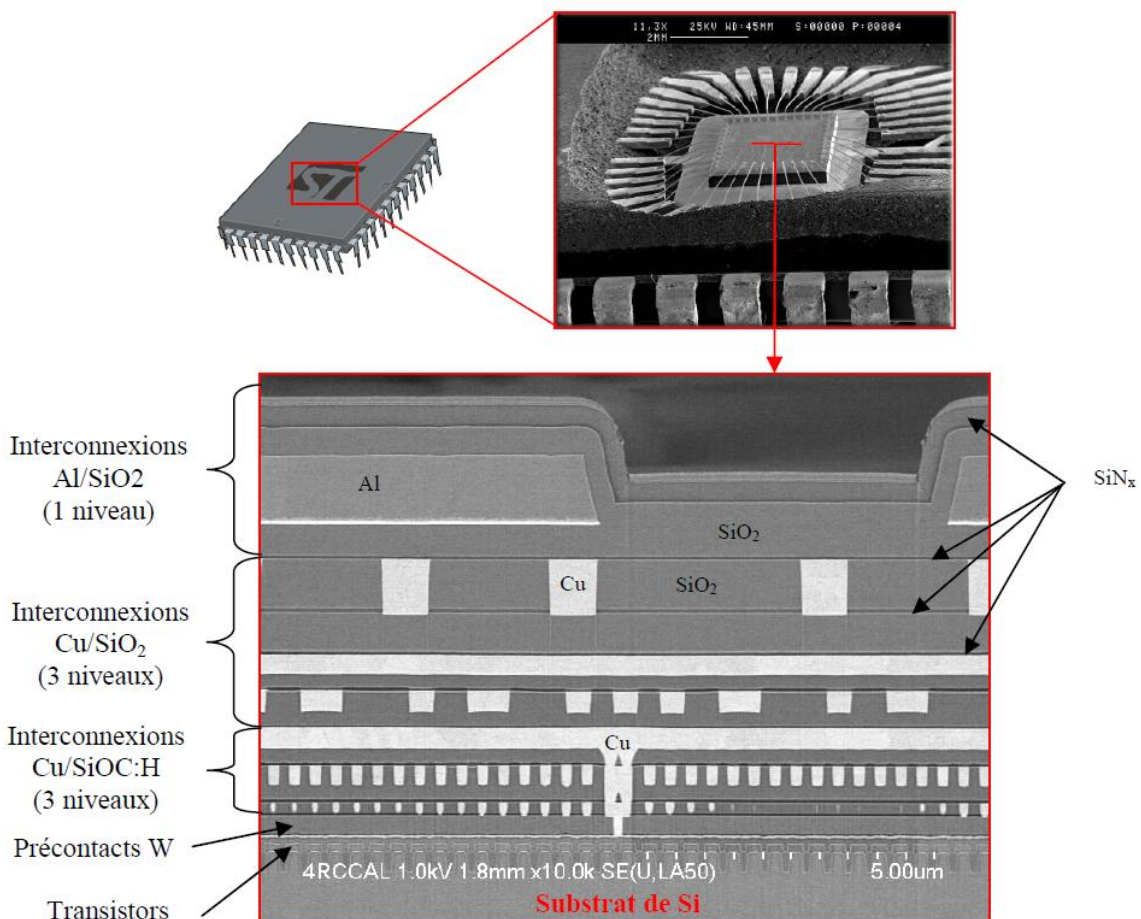


Figure 1 – Vue en coupe d'un circuit intégré du nœud technologique 90 nm [Vayrette, 2012].

Lors de la fabrication des produits électroniques à partir des plaquettes de silicium, allant du front-end jusqu'au back-end (nous aborderons cela dans le chapitre I), plusieurs

étapes sont réalisées en température ou avec différents recuits. La puce étant constituée de plusieurs matériaux ayant des coefficients de dilatation thermique différents (CTE<sup>1</sup>), toutes variations significatives de température induisent des contraintes thermomécaniques conduisant parfois à la détérioration des produits. Des tests électriques tels que l'EWS (Electrical Wafer Sort) sont réalisés sur la puce en fin de fabrication pour voir si cette dernière est opérationnelle. A l'issue de ces tests, certaines puces sont considérées comme défectives et exclues de l'assemblage ultérieur. Les contraintes contribuant à ces défaillances, leur maîtrise et/ou minimisation favoriseraient une meilleure fiabilité des puces. La solution serait d'utiliser des matériaux avec des CTE proches sans toutefois changer significativement les propriétés électriques et mécaniques souhaitées. Cette solution serait cependant difficile à mettre en place. C'est pourquoi il est avant tout primordial de mettre en œuvre des techniques permettant l'évaluation de ces contraintes. Ces techniques doivent évidemment être compatibles avec le procédé de fabrication. Elles doivent être idéalement applicables aux différentes étapes de fabrication sans endommager les produits, afin de mesurer la contribution de chaque étape et d'agir en conséquence sur cette dernière. De manière générale, les deux étapes où les mesures in-situ semblent être les plus faciles à réaliser sont la fin du front-end et du back-end, et quelques étapes intermédiaires du back-end.

Dans cette perspective, les objectifs principaux de ce travail sont :

- de mettre en place un outil non-destructif in-situ permettant une évaluation des contraintes thermomécaniques locales à différentes étapes des procédés. Le choix est essentiellement tourné vers l'utilisation des capteurs intégrables dans les puces électroniques sans compromettre la fonctionnalité du produit. Ces capteurs, dits piézorésistifs, permettront une quantification des grandeurs mécaniques à partir de la mesure des grandeurs électriques. Ils sont fabriqués et embarqués dans la partie active des puces (Front-End).
- d'évaluer par la méthode des éléments finis les contraintes thermomécaniques induites dans les puces ; de développer des outils de validation des modèles numériques prédictifs et de les étendre aux futurs nœuds technologiques (MOS plus petits).
- de mettre en place des règles de dessin issues des analyses critiques pour une minimisation des impacts mécaniques sur le fonctionnement des puces afin d'améliorer leur performance et d'augmenter leur fiabilité.

## **II. Approche adoptée**

Le chapitre 1 sera consacré à la description du circuit intégré. Ce même chapitre fera l'objet de la présentation des différentes étapes de fabrication d'une puce électronique et circuit intégré en mettant en relief les problèmes d'ordre mécanique rencontrés et les moyens mis en place dans la littérature pour l'évaluation des contraintes induites.

Dans le chapitre 2, la nécessité d'opter pour certains types de capteurs en fonction du besoin sera démontrée, sans oublier d'explicitier la physique utilisée ainsi que leurs critères de qualité. Aussi, les capteurs à base des transistors MOS utilisés sera décrit et les relations caractéristiques liant les grandeurs électriques et mécaniques seront établies. Le chapitre 3 expliquera le fonctionnement de la machine de flexion quatre-points conçue pour la calibration des capteurs développés. Ce test, permettant d'extraire les coefficients

---

<sup>1</sup> Coefficient of Thermal Expansion en anglais

piézorésistifs spécifiques aux capteurs piézorésistifs, sera effectué sur différentes technologies et types de structures.

La mise en application de ces capteurs sera abordée dans le chapitre 4, notamment l'évaluation des contraintes thermomécaniques dues à la présence de TSV<sup>2</sup>, ainsi qu'à l'encapsulation pour différentes technologies, et ce à partir des mesures électriques effectuées sur ces capteurs. Cette évaluation se fera également numériquement par la méthode des éléments finis afin de comparer mesures expérimentales et résultats de simulations. Finalement, les limitations de l'utilisation des transistors MOS comme capteurs seront présentées.

Le chapitre 5 fera l'objet d'une étude sur l'utilisation d'une nouvelle structure bandgap en comparaison avec les transistors MOS et des résistances polysilicium intégrés dans la même technologie. Cette étude laissera entrevoir la sensibilité des transistors MOS vis-à-vis de celle de la structure bandgap en fonction de la contrainte appliquée, et afin de développer un modèle numérique prédictif de l'impact du boîtier particulièrement sur ladite structure. Ce travail dédié à des structures complexes, permettra de faire un premier lien vers l'impact des contraintes mécaniques sur les performances des blocs fonctionnels des circuits.

Finalement, puisque le travail se déroule dans un contexte industriel, les travaux scientifiques réalisés dans le cadre de cette thèse seront utilisés pour définir des directives permettant de minimiser les impacts négatifs des procédés de fabrication sur les transistors fonctionnels et augmenter ainsi la performance des produits de la microélectronique.

---

<sup>2</sup> Through Silicon Via





# CHAPITRE I : ETAT DE L'ART

---

Afin de bien cerner certaines des problématiques rencontrées dans les produits de la microélectronique, la première partie de ce chapitre sera consacrée à la description d'un circuit intégré. Les différentes étapes de fabrication à partir du silicium vierge jusqu'à l'encapsulation seront présentées. Chaque étape engendre des problèmes d'ordre mécanique qui seront également explicités. Finalement, les outils développés dans la littérature pour la détermination des contraintes induites seront mis en relief.

## I. Circuit intégré

### 1. Description

Le circuit intégré aussi appelé puce électronique, est un composant électronique possédant une ou plusieurs fonctions électroniques plus ou moins complexes. Il intègre plusieurs types de composants de base dans un volume réduit, rendant le circuit facile à mettre en œuvre. Ce circuit intégré est présent dans des appareils et engins tels que l'automobile, la téléphonie, les multimédia, l'informatique, etc.

L'élément de base de la microélectronique est le transistor MOS fabriqué à partir des matériaux semi-conducteurs. Il est composé de trois parties, à savoir la grille, la source et le drain (Figure 1. 1). Sa fonction repose sur le déplacement des porteurs de charges : les électrons (dopage de type n) et les trous (dopage de type p), formant ainsi deux types de transistors. Suivant la polarisation de la grille, les mouvements des porteurs de charges forment un canal entre la source et le drain qui favorise la circulation du courant électrique et qui crée donc le signal [Bonnaud, 2006].

Les deux types de transistors sont associés pour réaliser des fonctions électriques complémentaires. C'est ce qu'on appelle CMOS<sup>3</sup>. De nos jours, les industries des semi-conducteurs développent des technologies en deçà de 28nm. Le nombre 28nm représente la longueur de la grille ( $L_g$ ) (Figure 1. 1).

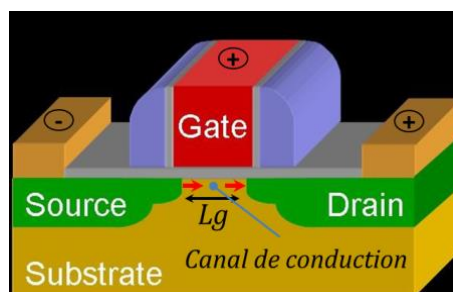


Figure 1. 1 – Schéma d'un transistor MOS.

---

<sup>3</sup> Complementary Metal Oxide Semi-conductor

## 2. Les lois de Moore

La course à l'amélioration des circuits intégrés conduit à l'augmentation des fonctionnalités des puces conjointement à l'accroissement du nombre de puces.

Pour atteindre ces objectifs, les développements technologiques suivent deux directions distinctes : la première concerne la densité des transistors, appelée la loi de Moore (Figure 1. 2), selon laquelle le nombre de transistors dans un circuit intégré double approximativement tous les deux ans. L'autre, appelée loi *More than Moore* (Figure 1. 2), prévoit une amélioration des systèmes d'intégration.

Les circuits intégrés les plus denses sont les *mémoires* et ceux les plus complexes sont les *microprocesseurs*.

Les transistors sont fabriqués sur une même surface plane d'une plaquette de silicium monocristallin, les uns à côté des autres. La plaquette est ensuite découpée en plusieurs parties constituant ainsi des puces qui sont ensuite mises en boîtier. Ce système de réalisation des circuits intégrés est appelé intégration 2D (ou planaire) (Figure 1. 3). Mais ce type d'intégration devient plus complexe lors des connexions et demande plus d'espace.

En suivant la loi de Moore, le réseau d'interconnexions devient de plus en plus dense avec une augmentation de la longueur des interconnexions. Ceci génère une amplification des effets d'interférence et une augmentation du temps de fabrication. Ajoutés à cela des problèmes liés à la dissipation d'énergie et d'intégrité du circuit [Meindl, 2003].

Si l'on considère une interconnexion comme étant un circuit composé de résistance  $R$  (les lignes métalliques) et de capacité  $C$  (correspondant à l'espace entre deux lignes, qui est généralement de l'oxyde), les délais d'interconnexion s'expriment alors par le produit  $RC$  [Fevennec, 2005]. Ainsi, plus le réseau sera dense, plus les délais seront augmentés. Ceci conduisit donc les ingénieurs en microélectronique à évoluer vers des processus d'intégration 3D (Figure 1. 3). Ceci consiste à assembler les composants électroniques les uns par-dessus les autres en établissant des connexions courtes entre eux.

Cette configuration d'intégration offre beaucoup d'avantages :

- réduction de coût de fabrication (pour avoir les mêmes fonctionnalités, on aura plus de produits 2D que de produits 3D donc plus cher),
- augmentation du rendement,
- amélioration importante des performances générales,
- faible consommation d'énergie,
- possibilité d'assembler différentes technologies CMOS dans une même puce : intégration hétérogène,
- etc.

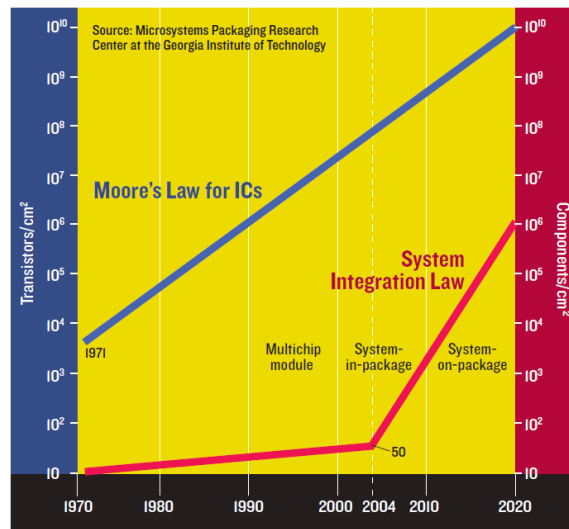


Figure 1. 2 – Loi de Moore et loi More than Moore [Tummala, 2006].

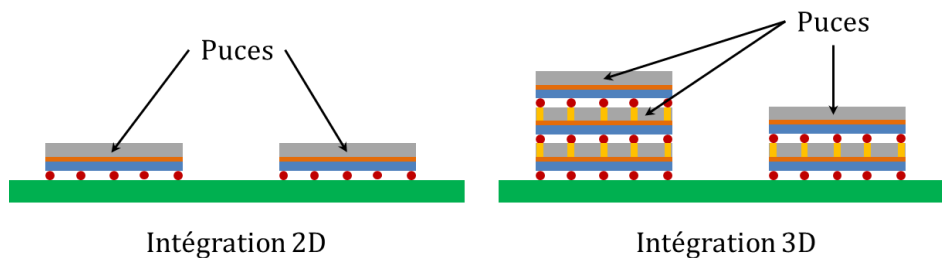


Figure 1. 3 – Schémas montrant l'intégration 2D et 3D.

Pour relier électriquement les diverses parties du circuit intégré entre elles, de nouvelles technologies ont donc vu le jour, telles que le CP (*Copper Pillar*) et le TSV (*Through Silicon Via*). Quelles sont alors les étapes de fabrication des circuits ?

## II. Procédés de fabrication et quelques problèmes associés

Les circuits intégrés sont fabriqués sur des plaquettes de silicium monocristallin généralement de 200 ou 300mm de diamètre et d'environ 750µm d'épaisseur. Ils suivent deux grandes étapes de fabrication : le Front-End (FE : opérations niveau plaquette) et le Back-End (BE : le reste des opérations). Durant ces étapes, la puce est soumise à différents chargements qui peuvent entraîner des délaminations, des fissures et même des ruptures de la puce. Les problèmes rencontrés seront donc détaillés.

### 1. Front-End

Le FE concerne les étapes de fabrication relatives aux transistors et aux interconnexions. Selon leur taille, plusieurs dizaines ou centaines de puces peuvent être produites par plaquette. Le FE est divisé en deux parties : Le *Front-End of Line* (FEoL) et le *Back-End of Line* (BEoL).

#### a. Front-End of Line

Le FEoL désigne la partie active du FE c'est-à-dire l'étape relative à la fabrication des transistors MOS et d'autres composants électriques tels que les résistances, les

capacitances, les diodes, etc. Le nombre de transistors MOS fabriqués sur des plaquettes de silicium atteint plusieurs centaines de millions.

### ***b. Back-End of Line***

Le BEoL désigne la partie passive du FE. Il permet de connecter les composants actifs entre eux. Cette étape est réalisée avec des lignes de métaux enrobées de diélectriques et empilées à différents niveaux. L'ensemble de cet empilement est nommé interconnexions. Selon la technologie, les couches IMD (Inter Metal Dielectric) s'étendent aujourd'hui de quatre à dix niveaux. Le nombre de niveaux varie aussi pour une technologie donnée en fonction de la complexité de l'application visée.

Par le passé, les interconnexions étaient fabriquées par gravure soustractive (ou gravure directe) de couche d'aluminium définie par un motif photorésistant. Mais dans la quête de la performance des circuits intégrés, l'aluminium est remplacé par du cuivre. Ceci car le cuivre a une résistivité électrique plus faible que l'aluminium, et donc permet d'augmenter la performance du circuit. La faible résistivité permet aussi de minimiser la chaleur produite par effets Joule, d'avoir d'importantes densités de courant et donc des tailles réduites. Le cuivre a une énergie d'activation plus faible que l'aluminium et est plus résistant aux problèmes d'électromigration. La nouvelle méthode utilisée est appelée *double damascene* qui consiste à graver les isolants et à les remplir avec du cuivre. L'aluminium est toujours utilisé pour les plots métalliques au-dessus des interconnexions car il s'oxyde moins facilement que le cuivre. La connexion entre transistors au premier niveau de contact est faite de tungstène pour éviter la diffusion atomique du cuivre (Figure 1. 4).

Pour les isolations électriques, deux familles d'isolants sont utilisées : organiques ( $\text{SiO}_2$  : oxyde de silicium, FSG : FluoroSiliconGlass, TEOS : TetraEthylOrthoSilicate) et inorganiques ( $\text{SiOCH}$  :  $\text{SiO}_2$  dopé en carbone). Cette dernière permet d'augmenter significativement leurs propriétés isolantes. La nouvelle génération de diélectrique contient des pores afin de réduire leur permittivité. On les appelle *Low-k* ou *ultra Low-k*.

Le premier niveau de contact dénommé PMD (*Pre-Metal Dielectric*) utilise des oxydes ( $\text{SiO}_2$ ) comme diélectrique. Les niveaux de connexions supérieurs sont numérotés  $V_x$  (couche de via) et  $M_x$  (couche de métal). Afin de protéger la partie supérieure des interconnexions, une couche dite de passivation est ajoutée en utilisant l'oxyde de silicium (500nm d'épaisseur) et le nitrure de silicium (600nm d'épaisseur).

La plaquette de silicium suit un long processus dans la salle blanche dans divers ateliers. Elle est soumise à une lumière visible ou à une radiation ultra-violet à travers un masque représentant un motif donné qui sert de base à la fabrication des composants sur la plaquette.

Il est à noter qu'un lot de plaquettes fait plusieurs allers-retours dans ces ateliers décrits ci-après (Figure 1. 5) :

- **Dépôt** : permet d'obtenir les couches de matériaux (silicium, nitrure, métaux, etc. ...) qui sont déposées durant un procédé physique ou chimique en phase gazeuse ou liquide. On distingue la méthode de dépôt chimique en phase vapeur (CVD : *Chemical Vapor Deposition* en anglais), la méthode de dépôt physique en phase vapeur (PVD :

*Physical Vapor Deposition* en anglais) et la méthode de dépôt électrochimique (ECD : *Electro-Chemical Deposition* en anglais).

- **Photolithographie** : elle permet de dessiner sur la surface du substrat la géométrie des composants. Ceci définit des zones pour les opérations suivantes.
- **Gravure** : elle permet d'enlever les matériaux. On distingue des gravures humides qui utilisent des réactifs liquides et des gravures sèches qui emploient des réactifs gazeux. Elles sont soit sélectives (une zone ciblée est enlevée) ou non sélectives (toute une couche est enlevée).
- **Traitements thermiques** (recuit) : ils consistent à placer la plaquette dans un four pour une période de temps donnée et à une température définies par les objectifs poursuivis (ex. pour favoriser la diffusion des dopants le refroidissement est lent, et rapide pour empêcher la diffusion ; la température dépend des matériaux présents. On fait aussi des recuits de stabilisation, de recristallisation).
- **Polissage** (CMP : *Chemical Mechanical Polishing*) : ce polissage est réalisé afin de réduire les épaisseurs des couches déposées ou de les aplanir.
- **Implant** : il permet d'implanter des ions spécifiques dans le silicium afin de contrôler la conductivité.
- **Test électrique** (EWS : *Electrical Wafer Sorting*) : cela consiste à réaliser des tests électriques sur des composants unitaires.

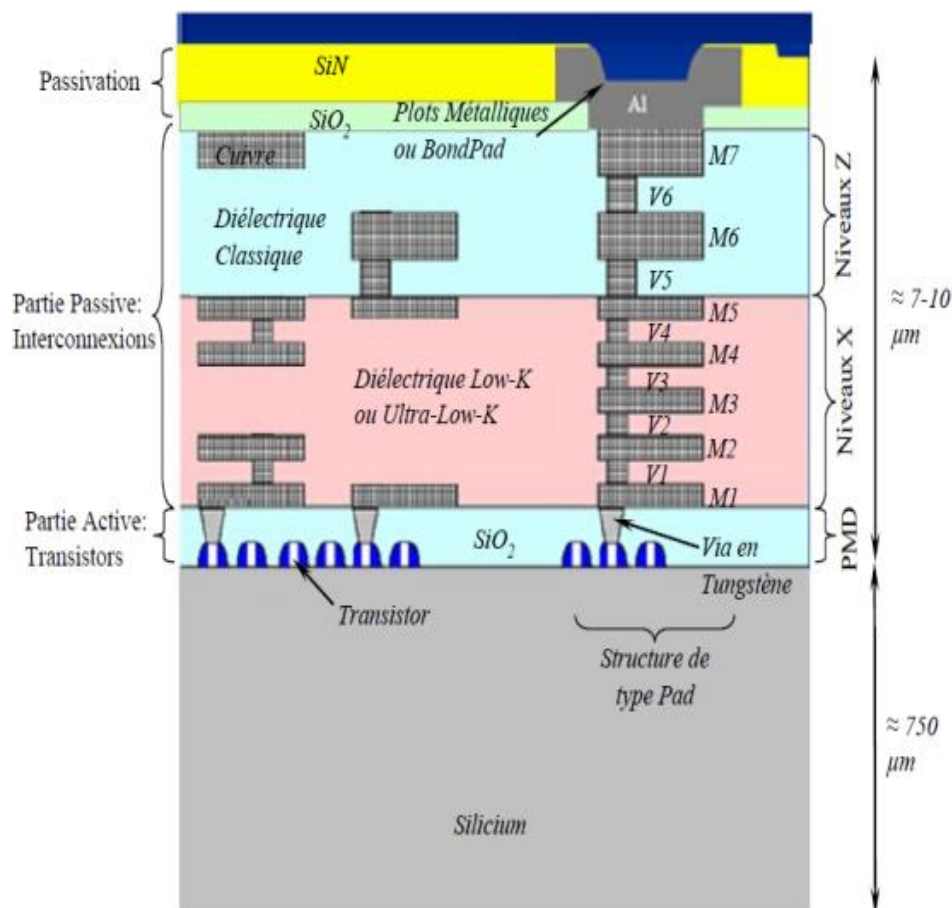


Figure 1. 4 – Représentation schématique des transistors MOS et des interconnexions [Gallois-Garreignot, 2010].

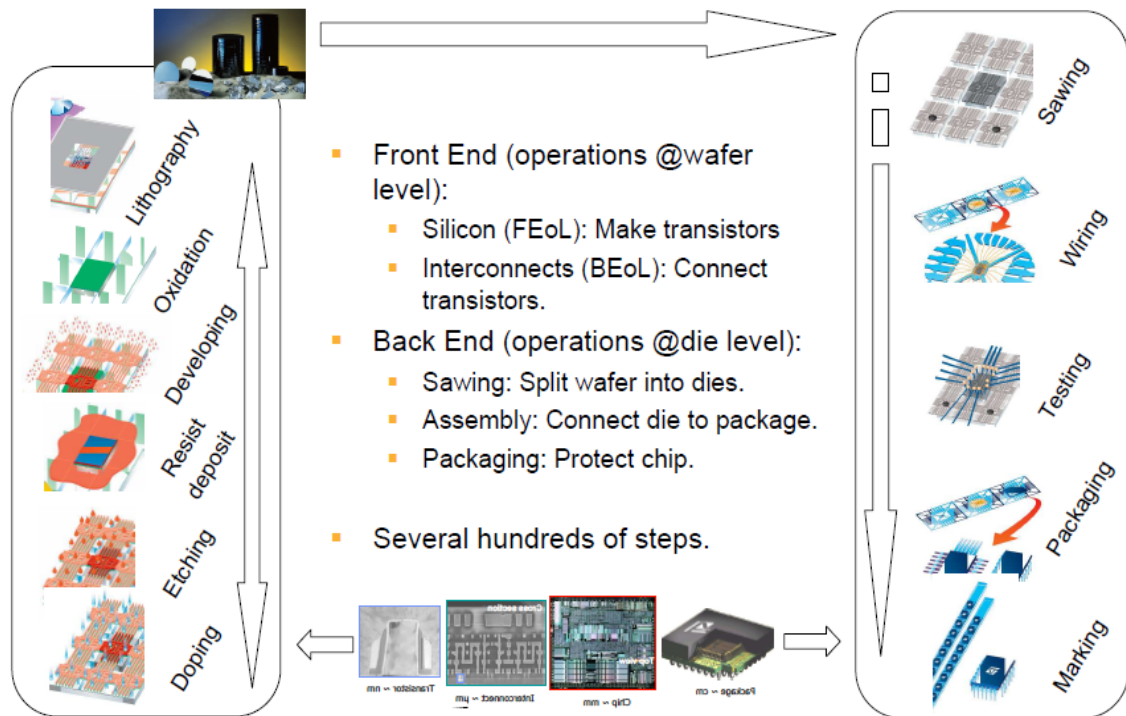


Figure 1. 5 – Schéma descriptif du procédé de fabrication [Fiori, 2010].

## 2. Back-End

Après le back-end of line (interconnexions), la puce suit encore certaines étapes:

- **Amincissement** (*Thinning* ou *Backgrinding* en anglais) : réduction de l'épaisseur de la plaquette (de 750 $\mu$ m à 100 $\mu$ m ou 50 $\mu$ m selon les applications de la puce) permettant d'avoir une puce moins volumineuse, voire flexible. Il est réalisé sur la face arrière du wafer par CMP.

Cette étape peut causer des entailles dans le substrat en réduisant ainsi la fiabilité de la puce [Wu, 2003]. Les phénomènes intervenants pendant cette étape sont complexes et non contrôlés (plasticité du silicium, relaxation des contraintes générées pendant le polissage [Belhenini, 2013], etc.). La faible épaisseur de la plaquette tend également à augmenter sa courbure. On note également des traitements plasma face arrière après amincissement.

- **Découpe** (*Sawing* ou *Dicing* en anglais) : séparation des puces de la plaquette en utilisant une scie circulaire diamantée ou à laser [Shi, 2009]. Une ligne de découpe (environ 80 $\mu$ m de large) est prévue entre les puces pour le passage de la scie (Figure 1. 6).

Les matériaux diélectriques sont fragiles [Brillet, 2007] ce qui conduit parfois à l'écaillage durant le procédé de découpe [Yang, 2008].

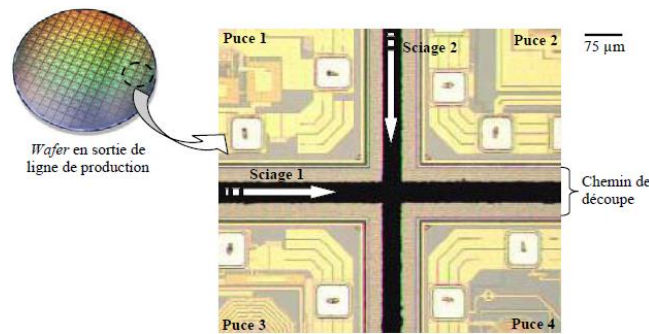


Figure 1. 6 – Vue montrant les lignes de découpe [Gallois-Garreignot, 2010].

- **Assemblage** : il consiste à connecter les puces à d'autres supports (tels que : BGA (*Ball Grid Array*), Interposer, etc.) permettant la connexion avec les modules extérieurs (circuits imprimés).

Par le passé, la connexion était effectuée principalement à l'aide des micro-fils (WB : *Wire Bonding*). Mais depuis quelques temps, de nouvelles techniques ont vu le jour notamment le *Flip Chip*. Cette méthode consiste à retourner la puce et réaliser la connexion avec le substrat à l'aide de billes (*balls* ou *bumps*). Ces billes étant positionnées sur des plots métalliques appelés *pads*.

Les techniques d'assemblage utilisées sont : *Flip Chip* (puce tournée) comportant *Solder Bump* (SB, ou procédé *Bumping*) et *Copper Pillar* (CP), et *No Flip Chip* (puce non tournée) comportant *Wire Bonding* (WB) et *Through Silicon Via* (TSV).

- *Solder Bump* (Figure 1. 7-a) : la connexion entre la puce et le BGA est réalisée à l'aide des billes métalliques, appelées *Solder Bump*, ce qui permet une importante densité de connexions.
- *Copper Pillar* (Figure 1. 7-b) : ici, les billes métalliques sont remplacées par des piliers en cuivre appelés *Copper Pillar*. Ces piliers en cuivre ont de meilleures propriétés thermiques et électriques et permettent une densité de connexion plus élevée.

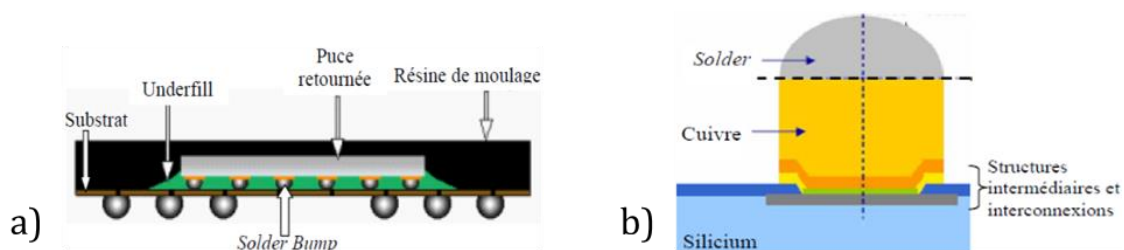


Figure 1. 7 – a) Schéma d'un boîtier avec assemblage Solder Bump, b) schéma d'un Copper Pillar [Gallois-Garreignot, 2010].

- *Wire Bonding* (Figure 1. 8-a) : la connexion puce-BGA est réalisée par des micro-câbles (généralement en or ou en cuivre).
- *Through Silicon Via* (Figure 1. 8-b) : cette technique récente permet d'avoir un encombrement faible et des interconnexions courtes. La connexion est faite à l'aide des piliers (généralement en cuivre) traversant le silicium. Ce type d'assemblage ne



permet pas une connexion directe entre la puce et le BGA. Il est associé au *Solder Bump* ou *Copper Pillar*.

Notons que le TSV est utilisé en *Flip Chip* lorsqu'il s'agit d'un assemblage 3D et en *no Flip Chip* pour un assemblage 2D.

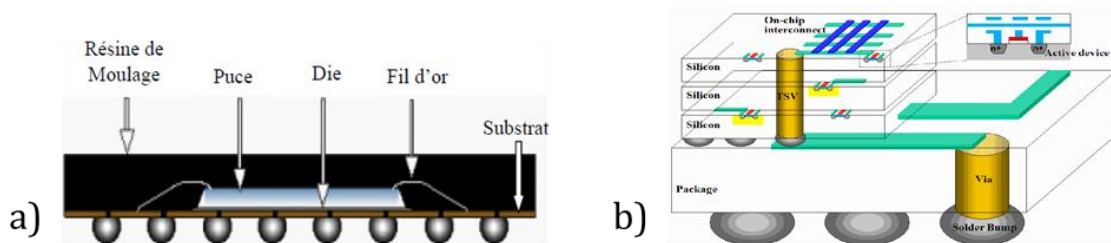


Figure 1.8 - a) Schéma d'un boîtier avec assemblage Wire Bonding, b) schéma d'un assemblage TSV [Gallois-Garreignot, 2010].

Afin d'isoler électriquement les CP et les SB, des résines sont utilisées. Ces résines appelées *Underfill* (UF), sont introduites par capillarité entre la puce et le BGA ou entre deux puces lorsqu'il s'agit de l'intégration 3D (Figure 1.9). Lors de cette étape, un recuit de polymérisation de l'*underfill* est effectué portant l'ensemble du produit à environ 165°C pendant une heure et trente minutes.

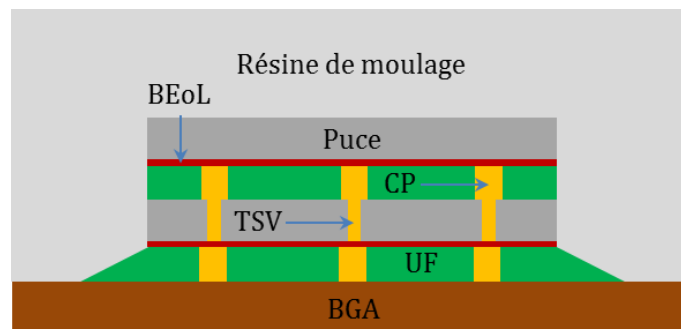


Figure 1.9 - Schéma d'un boîtier avec assemblage 3D.

Dans le cas de *Wire Bonding* (soudure thermosonique), la pression et les vibrations ultrasoniques induisent des contraintes et peuvent conduire à des fissures. La fissure apparaît aussi dans les interconnexions (pendant le *Flip Chip*) localisées sous les *Solder Bumps* [Ezawa, 2008]. Cette fissure est appelée *Ghost Bump*.

- **Encapsulation (Packaging)** : une fois l'assemblage effectué, la puce est encapsulée avec une résine de moulage (Figure 1.10). Cette étape permet de protéger la puce contre les agressions physiques externes et les effets de corrosion. L'encapsulation est effectuée à environ 175°C (selon le type de matériaux) suivie d'une polymérisation à 165°C pendant trois heures.
- **WLCSP (Wafer Level Chip Scale Packaging)** : c'est une étape où les puces sont encapsulées sans être découpées préalablement.

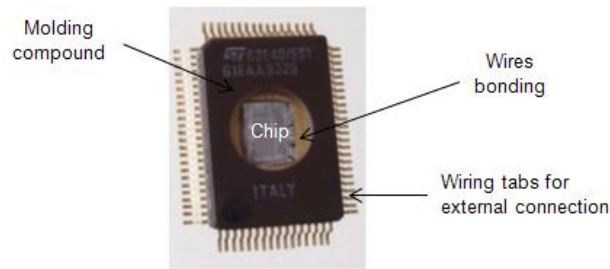


Figure 1. 10 – Circuit Intégré [Gallois-Garreignot, 2010].

L'étape d'encapsulation engendre beaucoup de défauts [Roellig, 2009], tels que : cavités dans les résines, arrachement des micro-câbles (pour *Wire Bonding*), rupture de la puce ou flexion des éléments pendant l'injection de la résine. De même lors des cycles thermiques, l'humidité absorbée tend à s'évaporer entraînant ainsi des fissures. Ce type de défaillance est appelé *popcorn*.

### III. Contraintes et défaillances induites lors de la fabrication

Toutes les étapes de fabrication énumérées ci-dessus et plus particulièrement les recuits sont susceptibles de générer des contraintes à l'intérieur de la puce.

#### 1. Contraintes résiduelles

Les contraintes résiduelles sont des contraintes mécaniques qui demeurent au sein des matériaux à température ambiante en l'absence de tout chargement externe. Elles sont définies comme étant la somme des contraintes intrinsèques et des contraintes thermomécaniques [Doerner, 1986] :  $\sigma_{\text{résiduelle}} = \sigma_{\text{intrinsèque}} + \sigma_{\text{thermomécanique}}$ .

##### a. Contraintes intrinsèques

Les contraintes intrinsèques peuvent apparaître lors des dépôts des couches minces sur le substrat. Par exemple, pour la méthode PVD, les ions ou atomes vaporisés ou pulvérisés occupent des sites qui seraient normalement plus petits qu'eux, sous l'effet du champ électrique créé entre la couche et le substrat [Knotek, 1991]. Ce qui génère des contraintes intrinsèques qui deviennent importantes en fonction de la différence de potentiel. Elles sont liées à l'interaction élastique atomique entre la couche et le substrat. Après le dépôt, les réorganisations atomiques peuvent entraîner un changement du volume de la couche et par le même effet l'apparition des contraintes.

D'un autre côté, les couches déposées peuvent être en épitaxie avec le substrat, c'est-à-dire que les rangées d'atomes du substrat se prolongent exactement en les rangées atomiques de la couche. C'est le cas par exemple des dépôts de silicium-germanium sur un substrat de silicium monocristallin (Figure 1. 11-a). Toutefois, le paramètre cristallin  $a_{\text{SiGe}} = 0.5476$  nm (pour 80% de silicium et 20% de germanium dans le composé binaire) du silicium-germanium est légèrement plus grand que le paramètre du silicium  $a_{\text{Si}} = 0.5431$  nm en raison de l'implantation des atomes de germanium. Pour que les rangées atomiques se prolongent du substrat au film, il faut donc que les plans atomiques du film se rapprochent légèrement. Les contraintes naissent justement de l'écart entre la valeur du paramètre cristallin in-situ et la valeur d'équilibre sans contrainte (à savoir  $a_{\text{Si}}$  pour le silicium et  $a_{\text{SiGe}}$  pour le silicium-germanium).

Si le film n'était pas contraint de croître en épitaxie avec le substrat, il se déformerait librement de la quantité par rapport au substrat de silicium (1.1) :

$$\boxed{\varepsilon_{rr}^{*f} = \varepsilon_{\theta\theta}^{*f} = \frac{a_{SiGe} - a_{Si}}{a_{Si}}} \quad (1.1)$$

Où  $\varepsilon_{rr}^{*f}$  et  $\varepsilon_{\theta\theta}^{*f}$  sont respectivement les déformations radiale et tangentielle libres d'épitaxie du film dues à l'épitaxie.

La déformation totale ( $\varepsilon_{rr}^f$ ) dans le film est donc la somme d'une déformation élastique ( $\varepsilon_{rr}^{ef}$ ) et de la déformation libre d'épitaxie (1.2):

$$\boxed{\varepsilon_{rr}^f = \varepsilon_{rr}^{ef} + \varepsilon_{rr}^{*f}} \quad (1.2)$$

Le substrat de silicium, quant à lui, est tel que (1.3):

$$\boxed{\varepsilon_{rr}^{*s} = 0} \quad (1.3)$$

Ces contraintes sont générées lors des dépôts, mais il y a d'autres contraintes dites thermomécaniques qui apparaissent durant les étapes d'interconnexions et d'assemblages.

### **b. Contraintes mécaniques et thermomécaniques**

Ces contraintes apparaissent lors du retour à l'ambiante des dépôts à chaud, et lors des recuits, du fait des différences des coefficients de dilatation thermique des matériaux.

En supposant un film mince homogène avec un comportement isotrope élastique déposé sur un substrat, la contrainte thermomécanique dans le film (Figure 1. 11-b) est définie par (1.4) :

$$\boxed{\sigma_{th} = \frac{E_f}{1 - \nu_f} \int_{T_0}^T [\alpha_s(T) - \alpha_f(T)]. dT} \quad (1.4)$$

où :  $\alpha_s$  (en °K<sup>-1</sup>) et  $\alpha_f$  (en °K<sup>-1</sup>) sont respectivement les CTE du substrat et du film ;  $E_f$  (en MPa) et  $\nu_f$  sont respectivement le module d'Young et le coefficient de Poisson du film;  $T$  (en °K) la température de recuit et  $T_0$  (en °K) la température de référence.

Notons que le dépôt d'un film mince sur un substrat peut occasionner une courbure (warpage en anglais) plus ou moins importante de tout l'ensemble. La contrainte générée dans le film sur la base de cette courbure, pour une épaisseur de film très inférieure à celle du substrat est évaluée à partir de la relation (1.5) :

$$\boxed{\sigma_f = \frac{1}{6} \frac{E_s}{1 - \nu_s} \left( \frac{e_s^2}{e_f} \right) \left( \frac{1}{R_f} - \frac{1}{R_i} \right)} \quad (1.5)$$

où :  $E_s$  est le module d'Young du substrat,  $\nu_s$  son coefficient de Poisson ;  $e_s$  (en m) et  $e_f$  (en m) sont les épaisseurs respectives du substrat et du film ;  $\frac{1}{R_i}$  (en  $m^{-1}$ ) et  $\frac{1}{R_f}$  (en  $m^{-1}$ ) représentent respectivement le rayon de courbure avant et après dépôt.

Lorsque le dépôt est fait en température, le rayon de courbure du film est celui obtenu avant et après le chargement en température (recuit). Mais lorsque le dépôt est à température ambiante, le rayon de courbure est celui dû au dépôt uniquement et la relation se rapproche de celle de Stoney [Stoney, 1909].

Cette formule n'est applicable qu'à un système de deux couches dont l'une est très mince. Les déformations et les rotations du système sont infinitésimales ; le film et le substrat sont supposés homogènes, isotropes et élastiques; seules les contraintes normales dans le plan sont considérées ; les contraintes déterminées sont supposées uniformes sur toute la surface du système ce qui n'est pas le cas dans la pratique [Feng, 2007]. Les contraintes locales ne peuvent donc pas être évaluées.

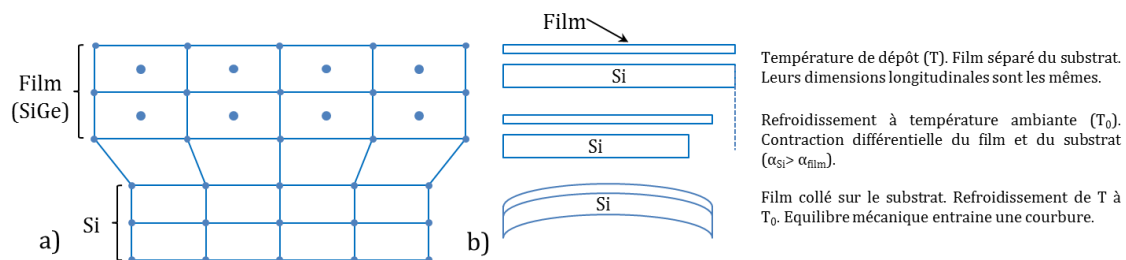


Figure 1. 11 – Illustration de a) différence de paramètre de maille, b) la courbure générale lors du refroidissement d'un film collé sur un substrat avec des CTE différents (contrainte thermoélastique).

## 2. Défaillances dans les interconnexions

L'impact le plus évident du procédé de fabrication sur les interconnexions est la courbure de la plaquette du silicium due à la différence de CTE des deux couches principales : le substrat en silicium et les interconnexions (un mélange de cuivre et d'oxyde). Si les contraintes deviennent importantes, des délaminations des couches peuvent être engendrées.

Outre cela, certains défauts dans le cuivre sont à mentionner tels que : les monticules (hillocks en anglais) (Figure 1. 12-a), les cavités (Figure 1. 12-b) et l'électro-migration.

En effet, quand on applique une différence de potentiel à une interconnexion, les électrons circulent du plus faible potentiel vers le plus haut potentiel. Les atomes de métaux commencent alors à se déplacer sous l'influence du flux d'électrons qui entre en interaction avec le réseau cristallin. Le déplacement des atomes est facilité par la présence d'imperfections dans le cristal. Les régions de discontinuités dans la structure cristalline (dislocations) ou les interfaces entre les cristaux (joints de grains) sont, par exemple, des zones privilégiées pour la diffusion des atomes de métal. La quantité de matière arrivant dans une région du cuivre est parfois soit supérieure ou inférieure à la quantité de matière la quittant, ce qui fait apparaître des défauts.

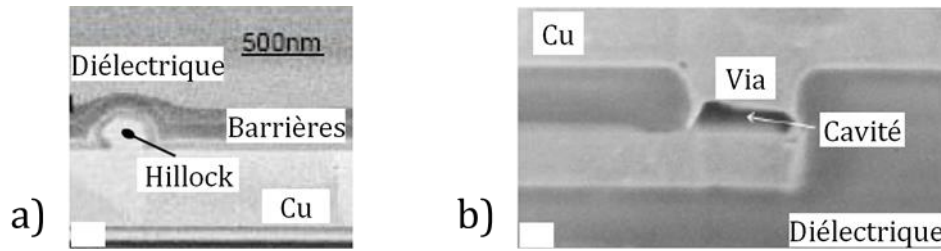


Figure 1. 12 – Vue au microscope montrant a) un monticule (hillock) [Timma, 2009] , b) la formation d'une cavité [Oshima, 2002].

Quand une interconnexion est terminée par une barrière de diffusion comme le tungstène (W) ou le tantale (Ta), le déplacement des atomes provoque une contrainte de traction au niveau de la cathode où les atomes désertent et une contrainte de compression au niveau de l'anode où les atomes s'accumulent.

Les contraintes induites durant tout le procédé de fabrication ne sont pas toutes néfastes. Certaines peuvent s'avérer utiles pour augmenter la performance des MOS. C'est ce qu'on appelle du *strain engineering* (ingénierie de déformation).

### 3. Strain engineering

Cela concerne la stratégie générale utilisée dans la fabrication des semi-conducteurs pour améliorer la performance des produits en modulant la déformation dans le canal du transistor, qui impacte la mobilité des porteurs de charge et ainsi la conductivité à travers le canal.

Les propriétés électriques du cristal sont modifiées par son état mécanique. Ce changement est dû au comportement piézorésistif du silicium.

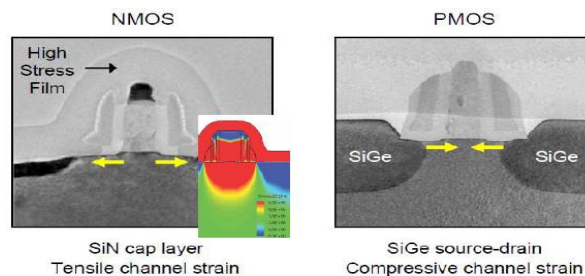


Figure 1. 13 – Strain engineering [Fiori, 2010].

Plusieurs méthodes peuvent être utilisées pour améliorer la mobilité dans le canal de conduction. Certaines sont basées sur l'orientation cristallographique du silicium.

Il est à noter que les technologies antérieures au CMOS65nm utilisent un silicium monocristallin avec les canaux des MOS orientés dans la direction [110]. Mais pour augmenter la mobilité des porteurs de charge, un silicium tourné à 45° est utilisé, c'est-à-dire que les canaux sont orientés dans la direction [100]. Ceci a permis de gagner environ +15% de mobilité sur les pMOS (Figure 1. 14).

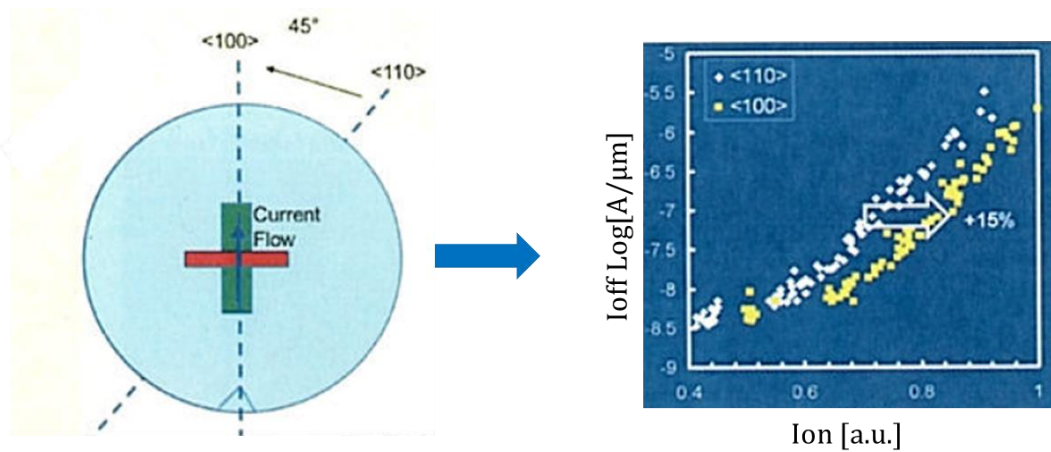


Figure 1. 14 – Schéma montrant un gain de performance sur les pMOS par orientation du silicium.

Un autre moyen est de faire un “transfert de déformation” d’un élément externe déformé appelé “stresseur” et, par le phénomène de relaxation appliquer la contrainte au-dessus du canal. Le dépôt du film SiN (Nitrure de Silicium) génère donc une déformation en traction (1.6GPa par exemple [Thomas, 2011]) dans le canal du transistor nMOS (Figure 1. 13). Cette méthode appelée technologie CESL (Contact–Etch–Stop–Liner) permet d’améliorer la mobilité des transistors nMOS (Figure 1. 15). Elle est adoptée de manière à obtenir :

- pour nMOS: contrainte longitudinale en traction + contrainte verticale en compression
- pour pMOS: contrainte longitudinale en compression + contrainte verticale en traction

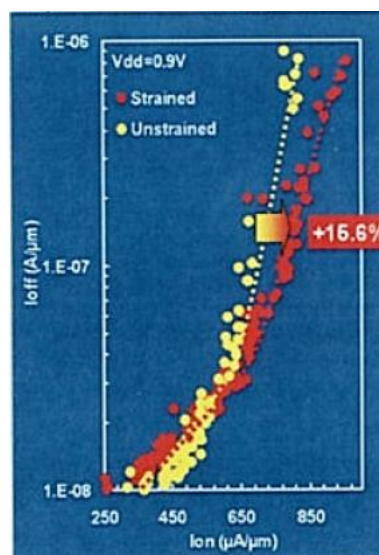


Figure 1. 15 – Gain de performance sur les nMOS avec utilisation d’un film.

Outre la technologie CESL, la technique SMT (Stress Memorization Technique) est utilisée. Elle est basée sur la différence de propriétés thermiques des matériaux présents (silicium, polysilicium, oxyde de silicium, stresseur SMT en nitrure ( $\text{Si}_3\text{N}_4$ )) qui induit des déformations pendant le recuit [Pandey, 2011]. Cette technique est favorable pour les nMOS car elle induit une contrainte longitudinale en traction (650MPa) et une contrainte verticale en compression (Figure 1. 16).

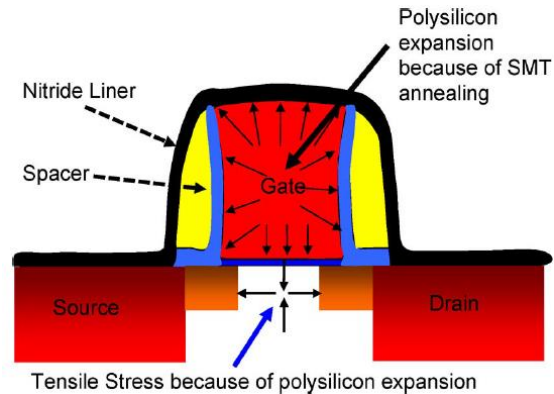


Figure 1. 16 – Mécanisme de transfert de contrainte dans le canal d'un transistor nMOS. Grâce à l'expansion thermique pendant le recuit, une contrainte de tension est induite dans le canal [Pandey, 2011].

L'utilisation des dopants permet aussi d'augmenter la performance des transistors comme le silicium dopé en germanium (SiGe) dans les poches source et drain qui crée une déformation en compression dans le canal (Figure 1. 13 pMOS).

Dans cette perspective, il est évident que la compréhension du mécanisme de transferts et la connaissance des composantes de déformation sont indispensables pour réaliser cette amélioration de performance.

Au vu de ce qui précède, on en déduit qu'il existe donc une relation entre la contrainte et la mobilité ( $\mu=f(\sigma)$ ) que nous aborderons dans les parties suivantes.

#### IV. Méthodes d'évaluation des contraintes

Dans la course à la compréhension des phénomènes mécaniques notamment les contraintes induites dans les produits de la microélectronique, différentes méthodes ont été développées tenant compte de leur taille miniaturisée.

##### 1. Démarches expérimentales

Dans le cas des couches minces, la méthode de Stoney et la diffraction des rayons X (DRX) sont largement utilisées. Mais pour des architectures complexes comme celles des puces électroniques, les méthodes les plus employées sont l'utilisation de la DRX, la spectroscopie Raman et les capteurs embarqués, [Yang, 2010 ; Kulha, 2010 ; Hsiu, 2012 ; Chang, 2013 ; Vogel, 2014 ; Vianne, 2014 ; Ewuame, 2014].

###### a. Méthodes de spectroscopie

Yang et al. [Yang, 2010] et De Wolf et al. [De Wolf, 2012] dans leurs travaux, ont utilisé la spectroscopie micro-Raman pour évaluer l'impact du TSV sur les MOS dans les circuits intégrés 3D. Ils ont montré que le décalage de fréquence Raman mesuré dépend des trois composantes normales de contrainte ( $\sigma_{xx}$ ,  $\sigma_{yy}$  et  $\sigma_{zz}$ ) [De Wolf, 2012]. Et en incluant les composantes de contrainte de cisaillement ( $\sigma_{yz}$ ,  $\sigma_{xz}$  et  $\sigma_{xy}$ ), les calculs deviennent si complexes qu'il devient impossible d'évaluer séparément chaque composante de contrainte.

En effet la fréquence Raman du silicium ( $\omega(\text{cm}^{-1})$ ) change en fonction de la déformation  $\varepsilon$  (en %). La relation entre  $\Delta\omega$  ( $\Delta\omega = \omega$  (déformation) -  $\omega_0$  (pas de déformation)) et la déformation est donnée par les valeurs propres de la matrice suivante [De Wolf, 1996] (1.6):

$$\begin{vmatrix} p\varepsilon_{11} + q(\varepsilon_{22} + \varepsilon_{33}) - \lambda & 2r\varepsilon_{12} & 2r\varepsilon_{13} \\ 2r\varepsilon_{12} & p\varepsilon_{22} + q(\varepsilon_{33} + \varepsilon_{11}) - \lambda & 2r\varepsilon_{23} \\ 2r\varepsilon_{13} & 2r\varepsilon_{23} & p\varepsilon_{33} + q(\varepsilon_{11} + \varepsilon_{22}) - \lambda \end{vmatrix} \quad (1.6)$$

Où  $p$ ,  $q$ ,  $r$  et  $\lambda$  sont des coefficients sans unités.

Cette équation est donnée pour un système d'axe  $x = [100]$ ,  $y = [010]$ ,  $z = [110]$ . Dans le cas général, si toutes les composantes du tenseur de déformation sont non nulles, cette équation ne peut pas être résolue et une modélisation est nécessaire pour obtenir des informations sur les composantes de contrainte [De Wolf, 2012]. Si l'on a une contrainte uni-axiale ou bi-axiale, la solution est directe et la relation entre le pic de fréquence Raman et la contrainte devient simplement linéaire (1.7) :

$$\begin{aligned} \text{Uni-axiale : } \Delta\omega(\text{cm}^{-1}) &= -1.93 \cdot 10^{-9} \sigma_{xx} \text{ (Pa)} \\ \text{Bi-axiale : } \Delta\omega(\text{cm}^{-1}) &= -1.93 \cdot 10^{-9} (\sigma_{xx} + \sigma_{yy}) \text{ (Pa)} \end{aligned} \quad (1.7)$$

L'équation (1.7) est souvent utilisée pour une corrélation entre les mesures Raman à proximité des TSVs et la contrainte. Cependant, l'hypothèse d'une contrainte uni-axiale ou bi-axiale n'est pas correcte pour les TSVs car la troisième composante axiale  $\sigma_{zz}$  qui agit souvent très fortement sur la fréquence Raman est négligée.

En tenant alors compte des trois composantes normales de contraintes, la relation devient (1.8) :

$$\text{Tri-axiale : } \Delta\omega(\text{cm}^{-1}) = -1.93 \cdot 10^{-9} (\sigma_{xx} + \sigma_{yy}) - 0.75 \cdot 10^{-9} \sigma_{zz} \text{ (Pa)} \quad (1.8)$$

Bien que la déformation de cisaillement soit supposée nulle pour établir cette équation, cette dernière relation est plus fiable que les équations (1.7) pour déterminer la contrainte induite par le TSV par exemple.

Pour faire face aux incompréhensions dans l'utilisation de la technique micro-Raman, Yuen et al. [Yuen, 2014] ont fourni un éclaircissement du champ de contrainte mesuré par la spectroscopie micro-Raman dans le silicium autour du TSV. Ils indiquent que :

- la fréquence Raman est principalement proportionnelle à la somme des contraintes normales dans le plan dans les zones éloignées des TSVs.
- la fréquence Raman est fortement influencée par la contrainte hors du plan et est de signe opposé à la somme des contraintes normales dans le plan dans les zones adjacentes aux vias.

Donc dans les zones intermédiaires, l'application de la relation micro-Raman n'est pas possible.



**b. Méthode de diffraction**

Vianne et al. [Vianne, 2014] se sont intéressés à la détermination de la déformation locale et l'inclinaison de maille dans le silicium au voisinage de TSVs à l'aide d'un microscope électronique à balayage aux rayons X (Figure 1. 17-a).

Les échantillons comportent des matrices de TSVs de 10µm de diamètre et de 80µm d'épaisseur avec un espacement de 40µm (Figure 1. 17-b).

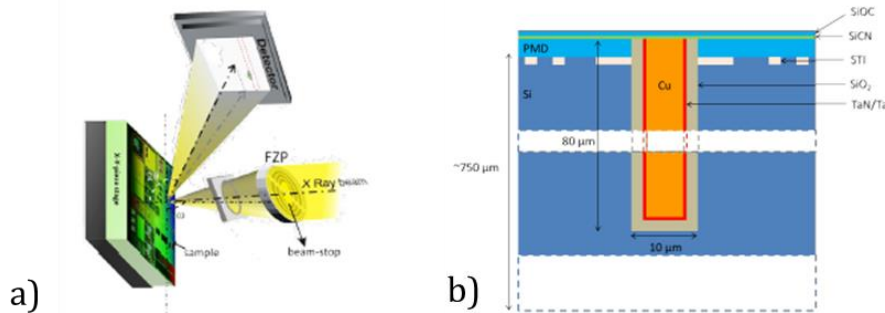


Figure 1. 17 – a) Représentation schématique d'un TSV dans le silicium, b) Vue globale schématique du dispositif expérimental. Le faisceau rayon-X est focalisé en utilisant le FZP (Fresnel Zone Plate). L'angle d'incidence  $\omega$  et l'angle de diffraction  $2\theta$  sont montrés [Vianne, 2014].

Des variations de déformation de l'ordre de  $10^{-5}$  ont été observées et les résultats montrent que le silicium est légèrement déformé à température ambiante ( $|\epsilon| < 0.06\%$ ) avec un maximum localisé à l'interface oxyde/cuivre après la finition de l'étape de remplissage du cuivre TSV.

Outre la méthode de la spectroscopie, les capteurs de contrainte sont utilisés pour la détermination des contraintes.

**c. Utilisation des capteurs**

Les capteurs de contraintes mécaniques reposent sur plusieurs lois physiques. Certains utilisent l'effet géométrique qui se traduit par une variation de la résistance électrique d'une structure lorsqu'une déformation est appliquée.

En effet, pour un conducteur filiforme homogène (Figure 1. 18-a), à une température donnée, la résistance en fonction de la résistivité (en  $\Omega.m$ ) et des dimensions géométriques est définie par (1.9):

$$R = \rho \frac{L}{S} \text{ ou } R = \rho a \text{ avec } a = \frac{L}{S} \quad (1.9)$$

où  $R$  (en  $\Omega$ ) représente la résistance du conducteur ;  $L$  (en m) et  $S$  (en  $m^2$ ) sont respectivement la longueur et la section.

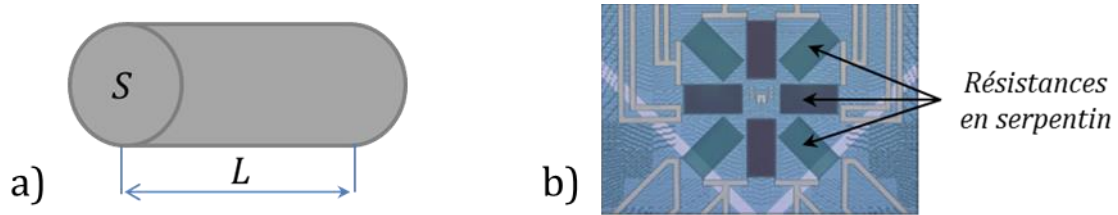


Figure 1. 18 – a) Représentation schématique d'un fil conducteur ; b) Vue au microscope d'un capteur de contrainte passif en serpentin [Vianne, 2014].

La variation de la résistance est donc (1.10):

$$\Delta R = \Delta \rho a + \rho \Delta a \quad (1.10)$$

Pour un matériau ayant une très faible variation de résistivité par rapport à la variation géométrique, la relation précédente devient (1.11):

$$\frac{\Delta R}{R} = \frac{\Delta a}{a} \quad (1.11)$$

Une mesure de la variation de la résistance permet alors de déterminer la déformation induite et de remonter à la contrainte connaissant les propriétés mécaniques du matériau. La variation de la résistance dépend donc fortement de celle des dimensions géométriques. Afin d'améliorer leur sensibilité et augmenter la valeur de la résistance, de tels capteurs sont très souvent dessinés en serpentin (Figure 1. 18-b) [Vianne, 2014] et des montages en pont de Wheatstone.

Un autre type de capteur est basé sur l'effet piézoélectrique (Figure 1. 19) [Kolev, 2010]. Il traduit une variation du potentiel électrique sous contrainte mécanique (effet direct) ou une variation du champ électrique appliquée sous déformation mécanique (effet inverse) [Newnham, 2005]. Sur la Figure 1. 19-a, l'aiguille d'un voltmètre bouge lorsqu'une contrainte est appliquée sur un matériau piézoélectrique.

La Figure 1. 19-b montre une structure (capteur) piézoélectrique avec des électrodes pour des mesures de résonance [Kolev, 2010].

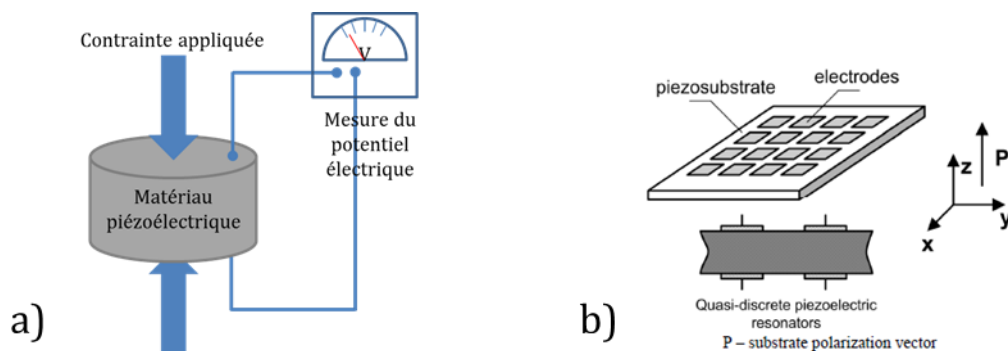


Figure 1. 19 – Représentation schématique d'un effet piézoélectrique; b) structure piézoélectrique [Kolev, 2010].

Ici, la relation qui lie les grandeurs électriques aux grandeurs mécaniques est donnée par (1.12):

$$\begin{aligned} \text{effet direct : } P &= d_1 \sigma \\ \text{effet inverse : } \varepsilon &= d_2 E \end{aligned} \quad (1.12)$$

avec  $P$ , le potentiel électrique (en V) ;  $d_1$  et  $d_2$ , les coefficients piézoélectriques (respectivement en  $\text{V.Pa}^{-1}$  et en  $\text{m.V}^{-1}$ ) ;  $\sigma$ , la contrainte mécanique (en Pa) ;  $\varepsilon$  la déformation mécanique (en %) et  $E$  le champ électrique (en  $\text{V.m}^{-1}$ ).

Finalement, étant donné que le silicium est le matériau de base dans les industries des semi-conducteurs, et cherchant à augmenter les facteurs d'amplification, les structures localisées dans la zone active des couches de silicium présentant des propriétés piézorésistives constituent un moyen très attractif pour la détermination des contraintes dans l'industrie microélectronique [Kumar, 2011 ; Zhang, 2009]. Cet effet piézorésistif se traduit par une variation de la résistivité d'un matériau lorsque ce dernier est soumis à une contrainte. La *théorie de la piézorésistivité* définit la relation (1.13) :

$$\boxed{\frac{\Delta\rho}{\rho} = \pi\Delta\sigma} \quad (1.13)$$

Où  $\pi$  (en  $\text{Pa}^{-1}$ ) est le tenseur des coefficients piézorésistifs et  $\Delta\sigma$  (en Pa) le tenseur des contraintes mécaniques appliquées. Le tenseur  $\frac{\Delta\rho}{\rho}$  est construit à partir des mesures scalaires de la résistivité dans différentes directions. Le détail de cette expression est donné dans le chapitre 2 du document où la théorie de la piézorésistivité sera présentée plus en détail.

Dans leurs travaux, Chang et al. [Chang, 2013] ont développé un capteur piézorésistif pour évaluer les contraintes dans les boîtiers à matrice de billes "plastiques". Ce capteur est composé de trois résistances orientées dans différentes directions gravées dans le silicium sur la surface supérieure à différents endroits (Figure 1. 20-a). Leurs sensibilités par rapport à la contrainte ont été déterminées. Et par une mesure de la variation de ces résistances due à la mise en boîtier de la puce, les composantes de contraintes planes ( $\sigma_x$ ,  $\sigma_y$ ) ont été évaluées par les relations (1.14):

$$\boxed{\begin{aligned} \frac{\Delta R_1}{R_{10}} &= \frac{\sigma_x}{2} (\pi_{11} + \pi_{12} + \pi_{44}) + \frac{\sigma_y}{2} (\pi_{11} + \pi_{12} - \pi_{44}) + \alpha_1 T \\ \frac{\Delta R_2}{R_{20}} &= \frac{\sigma_x}{2} (\pi_{11} + \pi_{12} - \pi_{44}) + \frac{\sigma_y}{2} (\pi_{11} + \pi_{12} + \pi_{44}) + \alpha_2 T \end{aligned}} \quad (1.14)$$

Où  $\sigma_x$  et  $\sigma_y$  sont les contraintes normales respectivement suivant ( $x$ ) et ( $y$ ) ;  $\Delta R_i/R_{i0}$  ( $i=1, 2$ ) sont des variations relatives de résistance ;  $T$  (en °K) est la différence de température relative à celle de référence  $298.15^\circ\text{K}$  ( $25^\circ\text{C}$ ) ;  $\alpha_i$  ( $i=1, 2$ ) (en  $^\circ\text{K}^{-1}$ ) sont les coefficients de température ; et  $\pi_{11}$ ,  $\pi_{12}$  et  $\pi_{44}$  (en  $\text{Pa}^{-1}$ ) sont les coefficients piézorésistifs.

Les coefficients de température et piézorésistifs sont déterminés par mesure des résistances respectivement en fonction de la température et de la contrainte appliquée (Figure 1. 21).

Seules deux composantes de contrainte sur six ont été déterminées en utilisant les résistances  $R_1$  et  $R_2$  (en  $\Omega$ ).

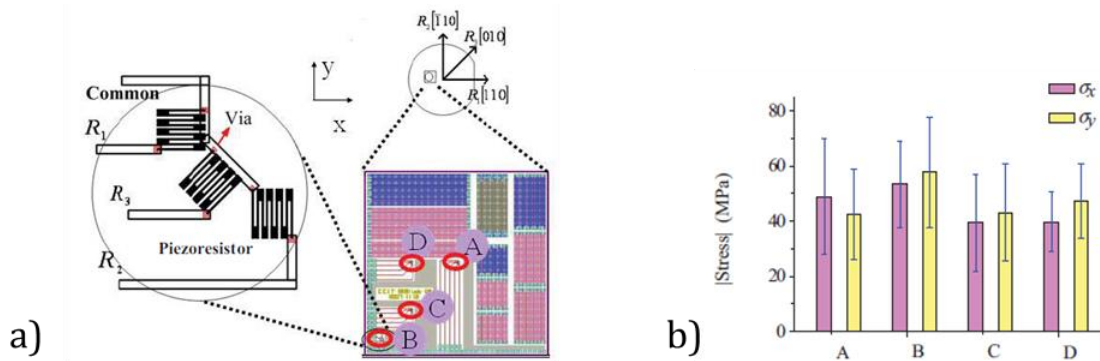


Figure 1. 20 – Schéma de puce de test et le capteur piézorésistif en rosette, b) Contrainte absolue due à la mise en boîtier dans les zones des capteurs [Chang, 2013].

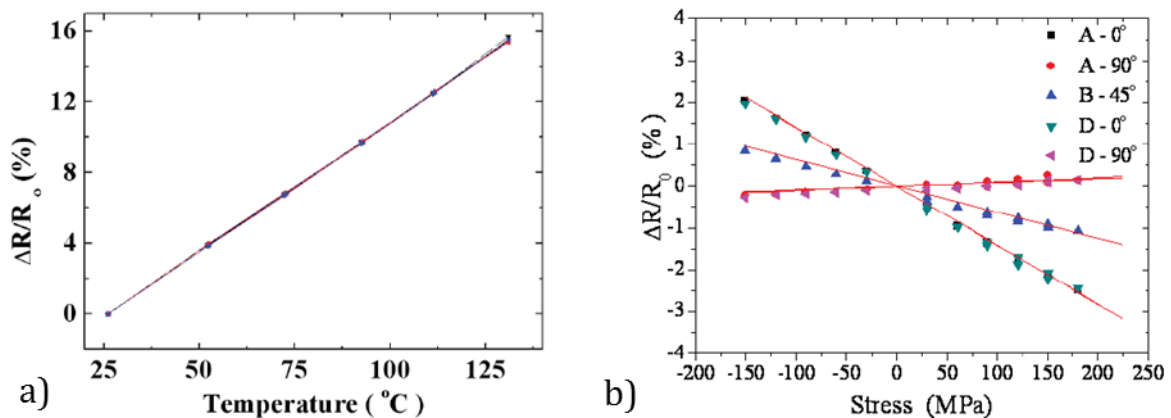


Figure 1. 21 – Variation de résistance en fonction de a) de la température et b) de la contrainte appliquée à température fixe [Chang, 2013].

Les mêmes types de résistances (Figure 1. 22) sont utilisés par Zou et *al.* [Zou, 1999] pour déterminer les contraintes dans la puce due à la mise en boîtier sur un substrat de silicium orienté (111). Pendant la phase d'encapsulation, la variation de contrainte ( $\sigma_{11} - \sigma_{22}$ ) déterminée est inférieure à 7MPa. Une valeur qui semble raisonnable car le champ de contraintes induites par un boîtier est connu pour être bi-axial. Mais la dissociation des composantes  $\sigma_{11}$  et  $\sigma_{22}$  n'est pas effectuée. Impossible donc d'estimer la valeur de chaque composante de contrainte.

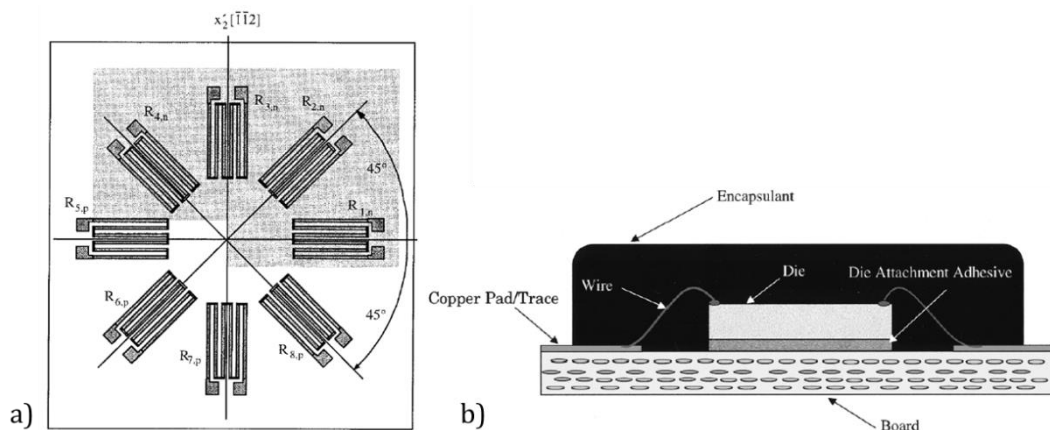


Figure 1. 22 – a) Capteur de contrainte sur du silicium (111); b) Puce encapsulée par Wire Bonding [Zou, 1999].

Dans les travaux d'Ivankovic et *al.* [Ivankovic, 2012], une matrice de transistors est utilisée comme capteurs de contrainte (Figure 1. 23-a) pour l'évaluation des contraintes induites lors de la mise en boîtier. Ces capteurs sont d'abord calibrés à l'aide d'une machine de flexion quatre-points (Figure 1. 23-b). Les mesures électriques avant et après la mise en boîtier (Figure 1. 23-c) permettent de déterminer la contrainte induite qui vaut -60MPa.

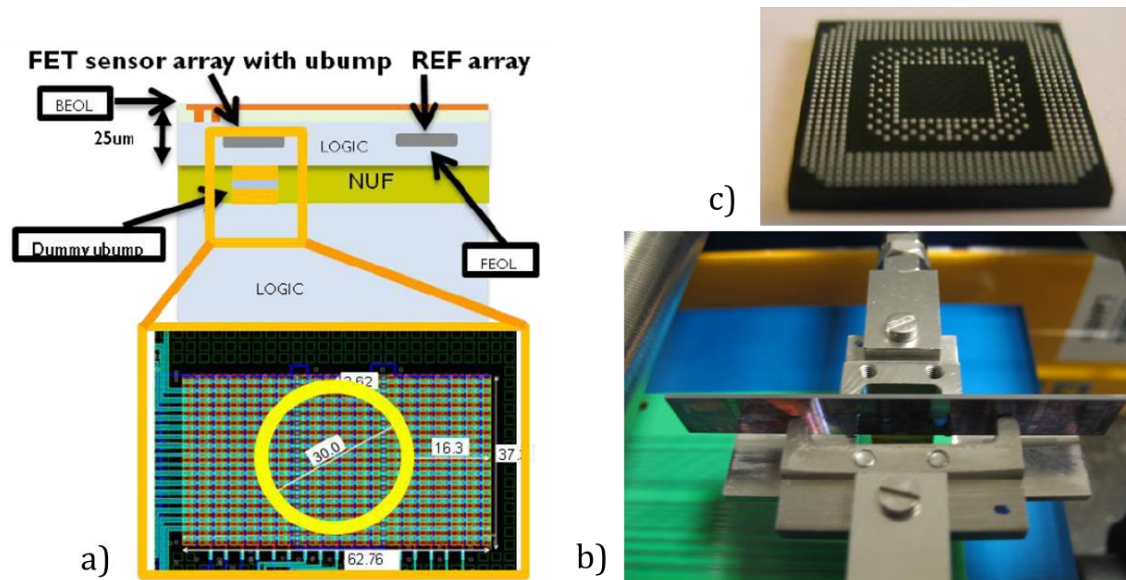


Figure 1. 23 – Schémas montrant a) les positions de matrice de transistors, b) le dispositif de flexion quatre-points et c) la puce encapsulée [Ivankovic, 2012].

Zhang et *al.* [Zhang, 2012] dans leurs études, ont utilisé des capteurs piézorésistifs à base des résistances intégrées dans le silicium (Figure 1. 24-a) pour l'évaluation de l'impact du procédé de *bumping* sur la puce. Seules deux composantes du tenseur de contraintes ont été déterminées ( $\sigma_{xx}$  et  $\sigma_{yy}$ ). Les contraintes mesurées après le procédé *bumping* sont en tension et n'excèdent pas 15.4MPa (Figure 1. 24-b) avec des erreurs très élevées.

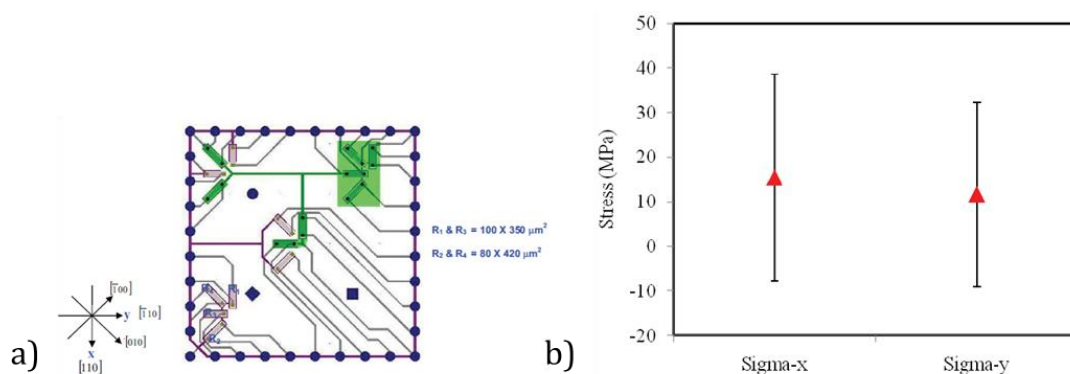


Figure 1. 24 – a) Schéma du capteur de contrainte; b) Contraintes ( $\sigma_{xx}$  et  $\sigma_{yy}$ ) mesurées après bumping [Zhang, 2012].

Des capteurs piézorésistifs ont été utilisés pour l'évaluation des contraintes dues au procédé de Wire Bonding dans les travaux de Yong et *al.* [Yong, 2013]. Deux types de résistances (2 dopées N et 2 dopées P) ont été développées (Figure 1. 25) sur une plaquette (100).

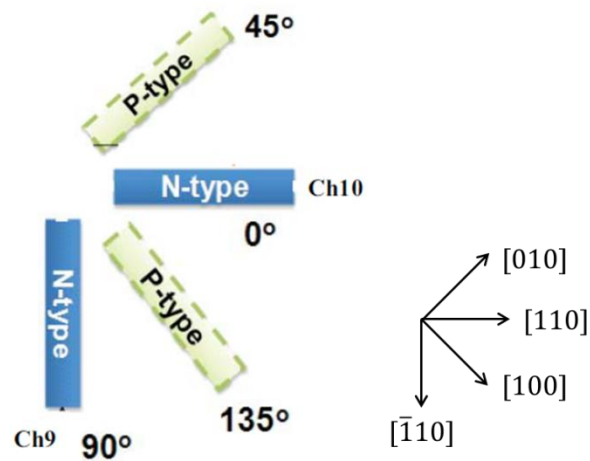


Figure 1. 25 – Schéma de capteur de contrainte en rosette [Yong, 2013].

Il est à noter que, la plupart des capteurs présentés dans la littérature (ex. [Kumar, 2011 ; Zhang, 2009]) ne permettent pas d'identifier individuellement les composantes de contrainte et de fortes hypothèses sont souvent faites sur la composante verticale ( $\sigma_{zz}$ ) et de cisaillement ( $\sigma_{xy}$ ). La même remarque est faite dans l'utilisation de la diffraction micro-Raman. De plus, la méthode de spectroscopie micro-Raman ou de la diffraction des rayons X nécessitent une préparation des échantillons et donc une découpe. L'analyse est destructive, l'échantillon est donc mis de côté et ne sert plus à rien. Par contre, avec l'utilisation des capteurs, une fois ces derniers calibrés, les coefficients obtenus peuvent être utilisés pour la même technologie pour une détermination des contraintes induites à différentes étapes de fabrication et pour différentes variantes de la puce. A cela, on peut ajouter le caractère in-situ qui permet une mesure en ligne, non destructive. Par ailleurs, les méthodes de diffraction ne peuvent pas être appliquées à des puces mises en boîtiers à cause de l'architecture multicouche et surtout de la résine de moulage qui protège tout l'ensemble et donc absorbe, au moins partiellement les rayonnements. Seule l'utilisation des capteurs de contraintes embarqués convient.

Le choix des outils expérimentaux non destructifs d'identification de la contrainte est donc limité. Et des modèles numériques de prédiction qui sont complémentaires respectant au mieux les caractéristiques dimensionnelles, matériaux et procédés de la puce sont nécessaires.

Il est à noter qu'il existe d'autres types de capteurs moins utilisés notamment capacitifs [Sundararajan, 2015], optiques [Eto, 2013] et MEMS (Micro-Electro-Mechanical Systems) [Vayrette, 2010 ; Orellana, 2014].

Le [Tableau 1. 1](#) résume les différents types de capteurs compatibles avec le procédé CMOS très souvent utilisés pour l'évaluation des contraintes dans les puces électroniques.

Tableau 1. 1 – Tableau récapitulatif des différents types de capteurs les plus utilisés pour la détermination des contraintes

	<b>MEMS</b>	<b>Résistances passives (en serpentins)</b>	<b>Résistances actives</b>	<b>MOS</b>
<b>Phénomènes physiques</b>	Variation de déformation	Variation de résistance	Variation de résistance	Variation de courant de drain
<b>Matériaux actifs</b>	Al, TiN, Cu	Al, Cu	Si	Si
<b>Encombrement</b>	30x30 $\mu\text{m}^2$ → 200x100 $\mu\text{m}^2$	100x100 $\mu\text{m}^2$	10x10 $\mu\text{m}^2$	8x8 $\mu\text{m}^2$
<b>Sensibilité pour 100MPa</b>	//	Variation de résistance ~ 0.12%	Variation de résistance ~ 9%	Variation de courant ~ 6%
<b>Directions de mesure</b>	1	4	4	4
<b>Zones d'utilisation</b>	Interconnexions	Interconnexions	Silicium – partie active	Silicium – partie active
<b>Fabrication</b>	Moins complexe	Moins complexe	Un peu plus complexe	Très complexe

## 2. Démarches numériques

Les méthodes expérimentales permettent une estimation des contraintes et déformations dans les produits en certains endroits spécifiques. Pour une prédiction de l'état de contrainte général 3D, des méthodes numériques par éléments finis ont été développées. Bon nombre de travaux de simulation relatifs aux recuits ont été faits. Mais dans ce qui suit, juste quelques études correspondant à ce qui sera étudié lors de cette thèse seront présentées.

Il est à noter que, vu le nombre important des étapes de fabrication (cycles thermiques notamment) et la configuration architecturale complexe des produits ainsi que la grande hétérogénéité des dimensions, développer un modèle numérique prenant en compte tous ces paramètres n'est pas envisageable car grand consommateur de CPU. Mais les méthodes multi-échelles peuvent permettre d'adresser ce type de simulation. Une simplification au niveau géométrique, matériau et procédé s'impose donc. C'est le cas, par exemple de la modélisation par éléments finis des contraintes induites par le TSV. Le modèle se compose généralement du silicium, d'un via (en cuivre ou en tungstène), des interconnexions homogénéisées et d'autres éléments tels que ceux montrés sur la [Figure 1. 17-b](#). Les étapes de fabrication simulées se résument donc à un recuit d'une température donnée (liée au procédé), ou en tenant compte de la température de dépôt de certains matériaux [Han, 2014].

L'étude menée par [Han, 2014] avec un via en tungstène donne des contraintes induites de l'ordre de 200MPa dans le silicium proche du TSV ([Figure 1. 26](#)).

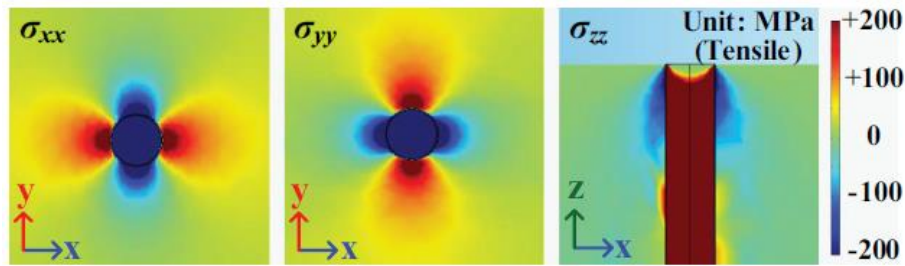


Figure 1.26 – Contrainte selon les axes x, y, et z [Han, 2014].

D'autres auteurs ([Athikulwongse, 2013 ; Ryu, 2012]) se sont aussi intéressés à la contrainte induite par le TSV, et les mêmes tendances ont été observées.

Notons que le silicium est anisotrope et la prise en compte ou non de cette anisotropie a une certaine influence sur la détermination de la contrainte. En effet, pour simplifier les études, certains auteurs considèrent le silicium comme étant élastique isotrope et les résultats obtenus s'écartent des résultats réels. De même la plasticité dans le cuivre, impacte les valeurs de contraintes obtenues. L'étude comparative de l'effet de l'anisotropie dans le silicium et de la plasticité dans le cuivre dans le cas de la contrainte induite par le TSV est présentée dans le chapitre 4.

Outre le TSV, la mise en boîtier de la puce génère aussi des contraintes. Cherman et al. [Cherman, 2014] ont étudié les variations du champ de contraintes intra-die dans un empilement 3D (Figure 1.27) en utilisant des capteurs de contrainte, la modélisation par éléments finis et les mesures par spectroscopie micro-Raman.

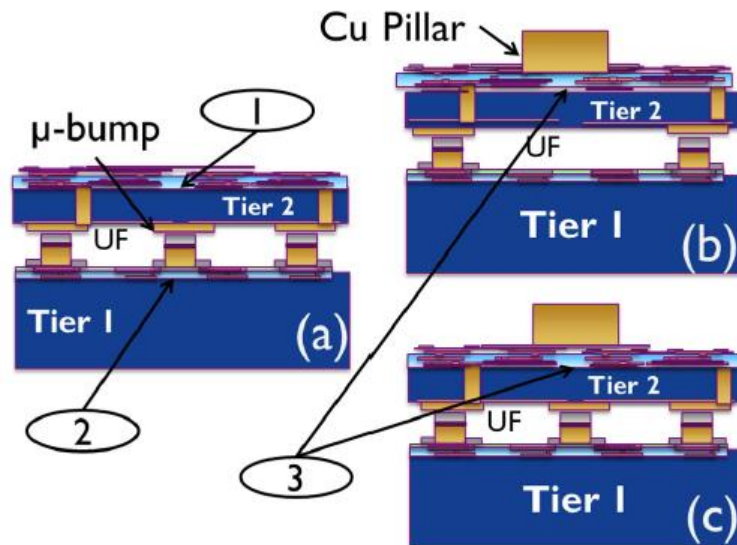


Figure 1.27 – Vue en coupe de trois zones différentes dans l'empilement 3D. a) matrice de micro-bumps avec un espacement de 40µm, b) Copper pillar à la partie supérieure de la puce fine, c) combinaison des micro-bumps et des CP [Cherman, 2014].

Ici, la configuration analysée est un refroidissement de la température supposée libre de contrainte de l'underfill (270°C) à la température ambiante. Le modèle de simulation est uniquement composé d'underfill, de silicium et des micro-bumps (Figure 1.28-a). La distribution de la composante x des contraintes dans le plan est tracée (Figure 1.28-b) le long du trait continu bleu (Figure 1.28-a).



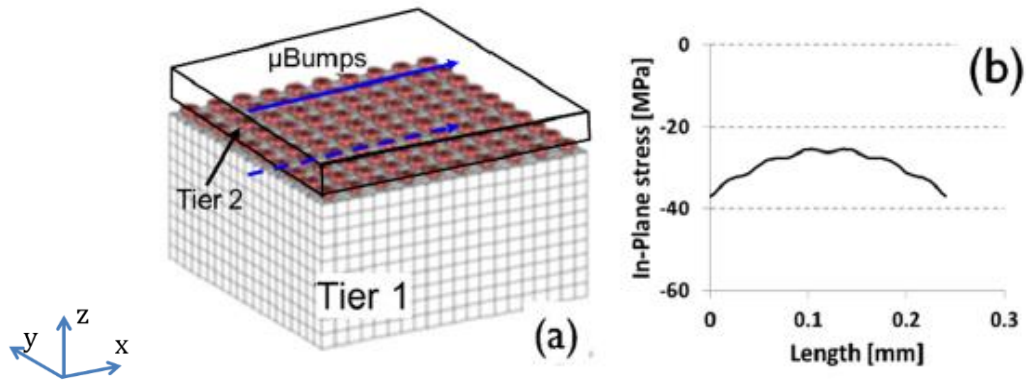


Figure 1. 28 – Modèle éléments finis de l'empilement 3D avec une matrice uniforme de micro-bumps, et b) la contrainte simulée suivant la ligne continue bleue [Cherman, 2014].

De ce que l'on peut remarquer, la valeur moyenne de la contrainte à la surface supérieure de la fine puce est inférieure à 40MPa (en valeur absolue). La composante verticale de la contrainte est négligée. Par contre suivant la ligne discontinue bleue (Figure 1. 28-a) passant sous les bumps par leurs centres, la composante verticale qui est compressive grimpe à environ 400MPa (en valeur absolue) (Figure 1. 29).

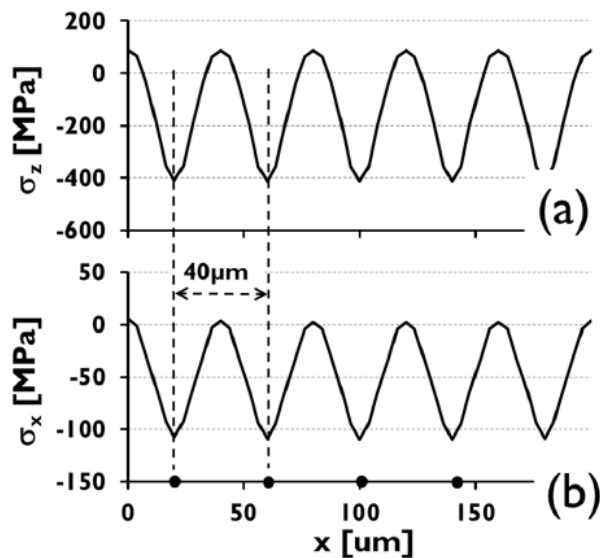


Figure 1. 29 – a) Composante verticale  $\sigma_z$  et b) dans le plan  $\sigma_x$  de la contrainte modélisée à la surface supérieure de la puce Tier1 suivant la droite reliant les centres des micro-bumps (line discontinue dans la Figure 1.16-a). Les points noirs indiquent les positions des micro-bumps [Cherman, 2014].

L'effet de l'amincissement de la plaquette de silicium remplie de TSV (Figure 1. 30) a aussi été modélisé par la méthode des éléments finis en prenant en compte les mouvements de plaque et de la meule [Che, 2014].

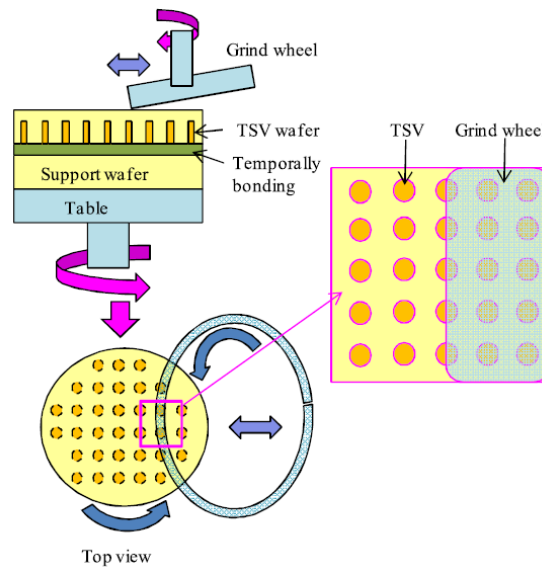


Figure 1. 30 – Représentation schématique du procédé d'amincissement de la plaquette du silicium remplie de TSV [Che, 2014].

En effet durant l'amincissement, l'épaisseur la plaquette est réduite de 750 $\mu$ m à quelques centaines de micromètres avec un polissage grossier, puis réduite à l'épaisseur voulue avec un polissage plus fin. Cette réduction d'épaisseur affecte la contrainte dans le silicium. Cette dernière est donc évaluée par simulation avec la méthode des éléments finis en fonction de différentes épaisseurs et de la rugosité de la meule utilisée. Dans cette étude, le silicium est supposé isotrope et la plasticité du cuivre n'est pas prise en compte.

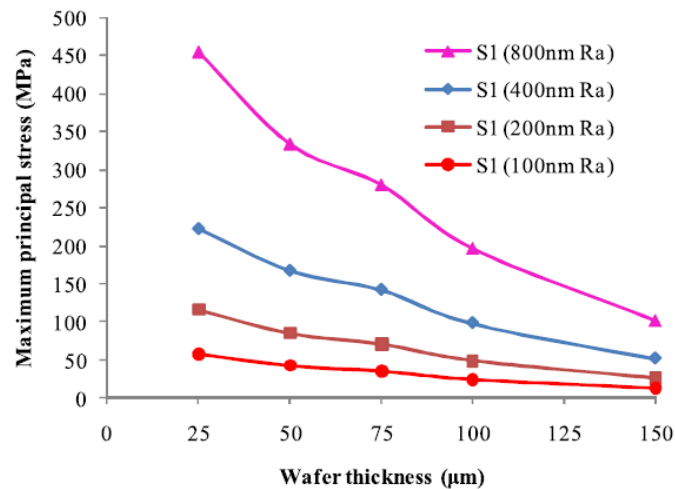


Figure 1. 31 – Effet de l'épaisseur de la plaquette de silicium sur la contrainte maximale [Che, 2014].

D'après la Figure 1. 31, il est donc montré que, lorsque l'épaisseur de la plaquette diminue, la contrainte augmente, ce qui crée un défi pour le procédé d'amincissement car la plaquette amincie est sujette à une rupture fragile due aux contraintes élevées. Cette contrainte augmente aussi en fonction de la rugosité. Il est donc recommandé pour des épaisseurs très faibles (entre 25 et 150 $\mu$ m dans ce cas) d'utiliser des meules avec de très faibles rugosités.

## **V. Positionnement de la thèse**

Il a été montré qu'il existe plusieurs méthodes pour l'évaluation des contraintes dans les produits de la microélectronique, et ces contraintes sont généralement déterminées par expérimentation et/ou par simulation.

Dans ce travail, les zones qui nous intéressent sont les zones actives (dans le silicium) où les composants tels les transistors MOS, les capacitances, les diodes et autres composants électriques sont présents. Pour donc déterminer les contraintes expérimentalement, nous opterons pour des structures qui peuvent être intégrées dans ces zones. Ce qui conduira à mettre en place des outils non destructifs et donc à développer des capteurs piézorésistifs pour l'évaluation des contraintes.

Les analyses complémentaires de simulation par éléments finis seront également faites.

Le nombre de composantes de contraintes à déterminer expérimentalement dépendra du nombre des capteurs et de leurs configurations que nous verrons dans les parties suivantes.

# SYNTHESE I

---

**E**n résumé, les méthodes générales d'évaluation des contraintes dans les produits de la microélectronique se résument à l'utilisation des capteurs piézoélectriques, des capteurs piézorésistifs, à la spectroscopie micro-Raman et à la diffraction des rayons X.

Les capteurs présentés jusqu'alors, bien que leurs utilisations ne soient pas destructives ne permettent pas d'identifier individuellement les composantes de contrainte et de fortes hypothèses sont souvent faites sur la composante verticale ( $\sigma_{zz}$ ) et de cisaillement ( $\sigma_{xy}$ ). La spectroscopie micro-Raman et la diffraction aux rayons X sont limitées aux puces sans les boîtiers à cause de l'architecture de l'ensemble et surtout de la résine de moulage qui a un fort pouvoir d'absorption des rayonnements.

Au vu de ces études précédentes, les capteurs embarqués sont plus appropriés pour une bonne estimation des contraintes et une bonne compréhension des phénomènes au sein des puces car ils sont non-destructifs. De plus, puisque l'impact des procédés de fabrication sur le fonctionnement de la puce touche directement la zone active (le silicium) de cette dernière, un capteur embarquable dans cette zone et donc piézorésistif conviendrait le mieux.

La partie suivante montre la méthode expérimentale choisie et la contribution de ce travail de thèse.

# ABSTRACT I

---

**T**he general methods of stress assessment in microelectronic products consists in the use of piezoelectric sensors, piezoresistive sensors, micro-Raman spectroscopy and X-ray diffraction.

The sensors presented until now, although based on non-destructive techniques, do not allow determining individually the stress components and some hypotheses are often made regarding the vertical ( $\sigma_{zz}$ ) and shear ( $\sigma_{xy}$ ) components.

Micro-Raman spectroscopy and X-ray diffraction are limited to the chips (without packaging) because of the architecture of the whole and mainly because of the moulding compound which has a high radiation absorption capacity.

Based on these former studies, embedded sensors, thanks to their non-destructive characteristic, are best suited for a good estimation of stresses and for a better understanding of some phenomena inside the chips. Moreover, as the impact of manufacturing processes on the integrated circuit operation targets directly the active zone (in silicon) of this latter, a sensor that can be embedded in this area, such as a piezoresistive sensor, should be the best option.

## CHAPITRE II : CONCEPTION DU CAPTEUR DE CONTRAINTE IN-SITU

---

Dans ce chapitre, les différentes structures du silicium notamment le silicium monocristallin, le silicium amorphe et le silicium polycristallin seront présentées. La physique de la piézorésistivité qui découle de ces structures sera abordée et constituera la base de la conception du capteur.

Les relations caractéristiques entre les grandeurs physiques du capteur et les contraintes mécaniques seront ensuite établies. Ces relations seront utilisées dans la suite du travail, d'une part, pour la calibration des capteurs développés et d'autre part, pour la détermination des contraintes à l'aide de ces capteurs. La démarche est montrée sous forme d'organigramme (Figure 2. 11).

### I. Structure du silicium

Le but de l'utilisation du capteur est la détermination du champ de contraintes induit lors d'un procédé de fabrication à partir des mesures électriques. Pour une meilleure analyse, le maximum de composantes de contraintes doit être déterminé.

La connaissance de la structure du silicium est primordiale afin de définir les directions dans lesquelles le capteur peut être orienté.

Comme d'autres éléments, le silicium peut exister à température ambiante sous différentes structures, dont les deux extrêmes sont respectivement l'état amorphe et l'état cristallin.

#### 1. Silicium monocristallin

Dans un cristal idéal de silicium, les atomes sont rangés selon la structure diamant [Ashcroft, 1976]. Elle est constituée de deux réseaux cubiques à faces centrées, imbriqués et décalés l'un de l'autre d'un quart de la diagonale principale avec une distance inter-atomique  $d=2.35\text{Å}$ . La liaison entre les atomes les plus proches est de caractère covalent.

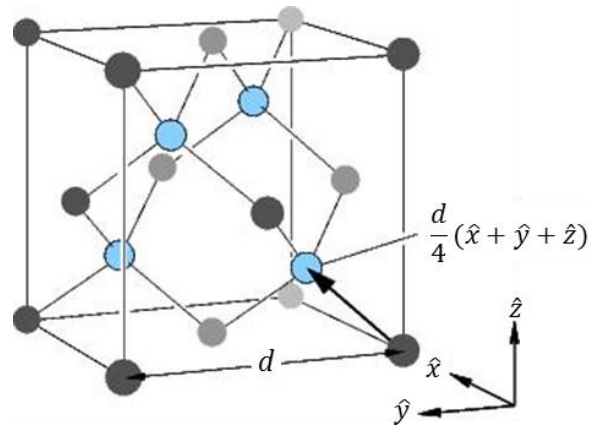


Figure 2. 1 – Maille cubique conventionnelle de la structure diamant [Ashcroft, 1976].

La Figure 2. 1 montre le réseau du silicium qui peut être considéré comme un seul réseau cubique à faces centrées dont la maille élémentaire contient deux atomes du silicium : un atome situé aux nœuds du réseau, l'autre se trouvant dans la direction  $\langle 111 \rangle$  et à une distance  $d$  d'un quart de la diagonale principale du premier atome.

Les sites en bleu correspondent à un des deux réseaux cubique faces centrées s'interpénétrant l'un par rapport à l'autre. Les quatre voisins les plus proches de chaque point forment les sommets d'un tétraèdre régulier.

Des bandes d'énergie (permises et interdites) pour les électrons sont donc créées, dues à la disposition des atomes dans le réseau [Hogarth, 1965]. La bande interdite est appelée « *gap* ». La bande permise est scindée en deux parties : la bande permise inférieure aussi appelée *bande de valence* (BV) pleine au zéro absolu et la bande permise supérieure aussi appelée *bande de conduction* (BC) vide au zéro absolu.

La bande interdite sépare les deux parties de la bande permise. Cette bande interdite est égale à  $E_g = 1,12\text{eV}$  à température ambiante (Figure 2. 2).

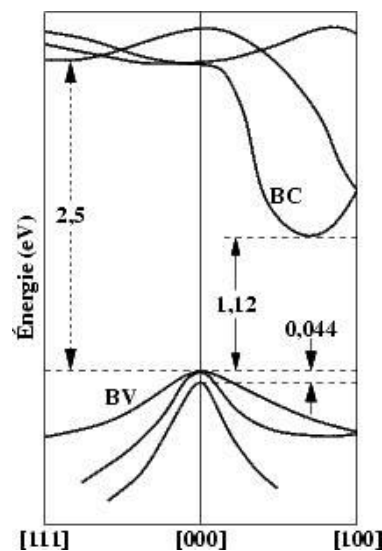


Figure 2. 2 – Bandes d'énergie dans le silicium [Hogarth, 1965].

## 2. Silicium amorphe

Dans le silicium amorphe (*a-Si*), l'arrangement des atomes n'est pas régulier.

D'après l'analyse de diffraction électronique, confirmée par diffraction des rayons X ([Bisaro, 1986 ; Brodsky, 1970]), le nombre des plus proches voisins reste quatre et la distance inter-atomique est d'environ 2,35Å.

Certaines distorsions apparaissent cependant dans le réseau. Cela est dû à une certaine distribution de la distance inter-atomique et de l'angle de liaison. Ces distorsions induisent par la suite une distribution des états électroniques donc des états localisés appelés queue de bandes (Figure 2. 3).

Ces distorsions peuvent évoluer de façon significative au point d'empêcher la formation des liaisons. Ces liaisons sont dites des liaisons pendantes.

Ce défaut introduit deux états électroniques au milieu de la bande interdite : l'un avec un électron et l'autre avec deux électrons.

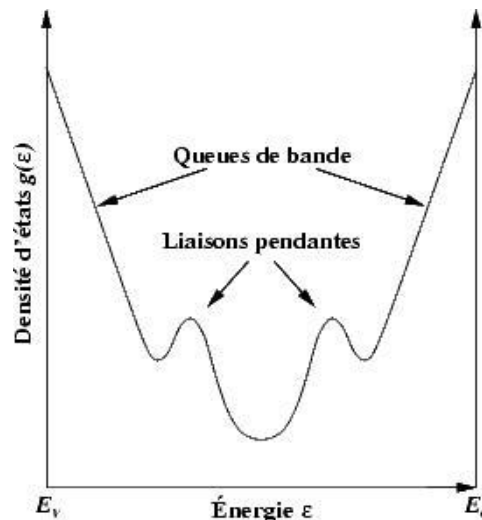


Figure 2. 3 – Densité d'états en échelle logarithmique dans la bande interdite du silicium amorphe ( $E_v$  : bande de valence,  $E_c$  : bande de conduction) [Lu, 1984].

La Figure 2. 3 illustre qualitativement la densité d'états  $g(\epsilon)$  en échelle logarithmique.

En fonction du désordre au sein du réseau, les propriétés du  $\alpha$ -Si peuvent varier. Ce phénomène se traduit par des propriétés électroniques très différentes selon la méthode et les conditions de fabrication.

Afin de diminuer la densité d'états localisés dans le gap, des atomes d'hydrogène sont incorporés dans le réseau et saturent donc des liaisons pendantes. Ce matériau est appelé *silicium amorphe hydrogéné* ou  $\alpha$ -Si:H.

### 3. Silicium polycristallin

Le silicium polycristallin est aussi appelé polysilicium. Il est souvent défini comme un état intermédiaire entre le monocristallin et l'amorphe. Il est constitué d'un ensemble de petits grains monocristallins de tailles et de formes diverses. Ces grains sont séparés entre eux par des zones désordonnées et riches en défauts appelées joints de grains.

Le grain est généralement caractérisé par sa taille et sa qualité cristalline. Cette qualité dépend donc du nombre de défauts (dislocations et macles).

Quant aux joints de grains, ses caractéristiques essentielles sont l'épaisseur et la densité de défauts.

Le silicium polycristallin est défini selon certains critères tels que :



- texture et taille des grains ;
- densités de défauts intra-granulaires et inter-granulaires ;
- rapport du volume cristallin sur le volume amorphe ;
- porosité

Ces paramètres dépendent des techniques d'obtention du silicium.

Comme pour le silicium amorphe, les caractéristiques du polysilicium introduisent des états localisés dans la bande interdite (voir [Figure 2. 3](#)).

## **II. La physique de la piézorésistivité dans les semi-conducteurs**

Le concept de « band gap » d'un semi-conducteur définit l'énergie minimum requise pour un électron pour se libérer de son état stable.

Une fois l'électron excité, il est libre de se déplacer dans le semi-conducteur et de participer à la conduction. Cependant, l'excitation d'un électron vers la bande de conduction laisse derrière lui un espace vide ([Figure 2. 4-a](#)). Un électron d'un atome voisin peut donc se déplacer vers l'espace vide. Quand ce dernier électron se déplace, il laisse aussi derrière lui un autre espace. Ce mouvement continu de l'espace laissé par un électron est appelé « trou », qui peut être illustré comme un mouvement d'une particule chargée positivement à travers la structure cristalline ([Figure 2. 4-b](#), [Figure 2. 4-c](#)). Par conséquent, l'excitation d'un électron vers la bande de conduction génère non seulement un électron mais aussi un trou dans la bande de valence. Ainsi l'électron et le trou peuvent tous les deux participer à la conduction et sont appelé « porteurs de charge ».

Le nombre des porteurs de charge peut être augmenté en incorporant dans la structure du semi-conducteur des atomes étrangers bien spécifiques. Ce processus est appelé « dopage ». Pour avoir majoritairement les porteurs de charge négative (dopage de type N), on utilise certains atomes dans la colonne V du tableau de la classification périodique des éléments, à savoir, le phosphore (P) et l'arsenic (As). Par contre pour un dopage de type P, les atomes de la troisième colonne (III) sont utilisés : le bore (B) et l'indium (In).

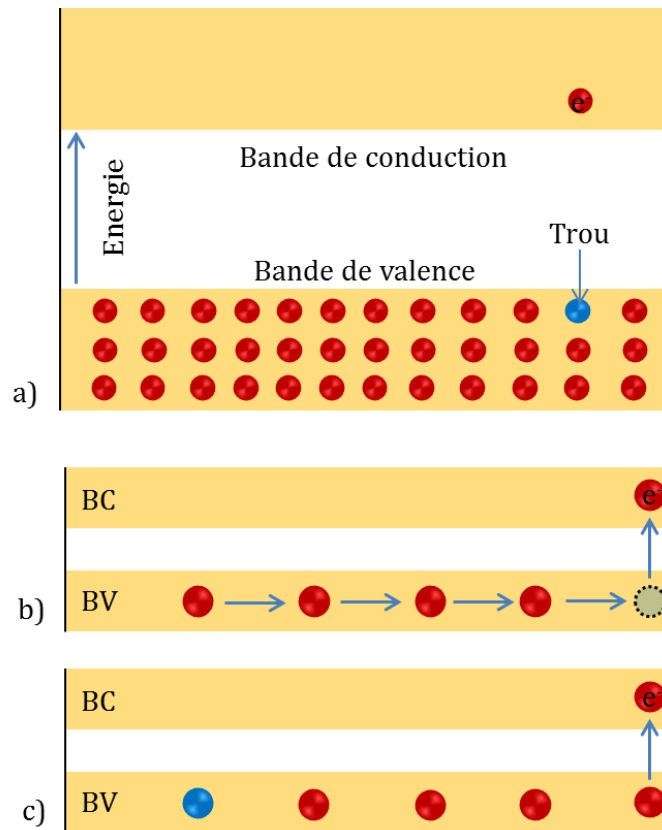


Figure 2. 4 – Représentation schématique des bandes d’énergie pour des électrons et leurs mouvements dans un solide.

L’application d’une contrainte dans une zone spécifique modifie les niveaux d’énergie. L’électron est excité et peut donc participer à la conduction ; le nombre de porteurs libres est donc modifié.

Sachant que la conductivité et la résistivité sont liées par la relation (simplifiée) :  $\rho=1/\sigma$  (avec  $\rho$ =résistivité, et  $\sigma$ =conductivité), une action sur la conduction génère donc une variation de la résistivité. Ainsi l’application d’une contrainte sur un semi-conducteur (le silicium) fait varier la résistivité de ce dernier d’où la notion de la théorie de la piézorésistivité.

Cette physique est parfois utilisée pour améliorer la performance des transistors MOS. Cela servira plus tard pour la conception des capteurs.

### III. Critères de qualité

Pour que les capteurs à intégrer dans les produits répondent de manière satisfaisante, il faut qu’ils respectent certains critères (Figure 2. 5) :

- Sensibilité : les structures à utiliser doivent être suffisamment sensibles afin de déterminer la moindre variation de contrainte dans les produits.
- Testabilité : vu la complexité de l’architecture d’une puce, les capteurs ne peuvent pas être intégrés n’importe où. La configuration doit permettre une facilité des mesures. Ceci dit, les mesures électriques ne peuvent être effectuées qu’après l’étape de “bumping” (s’il y en a) ou lorsque les plots sont faits. Ce qui limite ainsi les étapes de mesures.

- Encombrement : les puces deviennent de plus en plus petites et l'espace disponible restreint. Il est donc nécessaire de trouver une zone où les capteurs peuvent être dessinés sans compromettre la fonction même de la puce.
- Variabilité : effectuer des mesures sur des structures dont les grandeurs électriques varient entre deux tests consécutifs sans changer les paramètres de test n'est pas souhaitable. Mais dans la réalité, cette variation est omniprésente car très souvent les résistances de contact entre les pointes (qui servent de contact entre les plots et l'équipement de mesure) et les plots varient. Il est donc primordial de minimiser cette variation en agissant sur la structure elle-même au niveau de sa conception et sur les équipements de test.

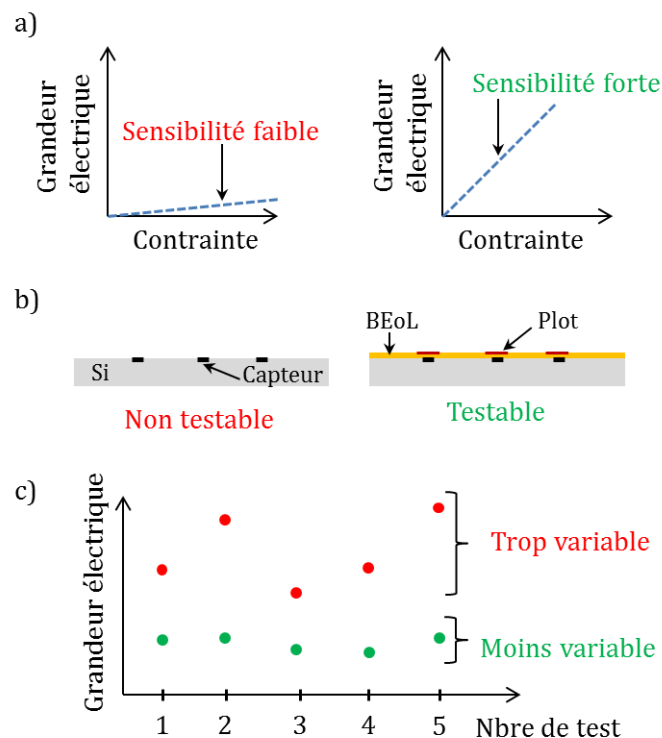


Figure 2. 5 – Critères de qualité : a) sensibilité, b) testabilité, c) variabilité.

#### IV. Capteur de contrainte et relations caractéristiques

##### 1. Description

Sur une plaquette de silicium orientée (001), c'est-à-dire que la direction cristallographique [001] est normale à la surface de la plaquette, les quatre principales directions dans le plan sont : [100], [010], [110] et [-110] (Figure 2. 6). Le comportement du matériau dans deux directions consécutives n'est pas le même, d'où la nécessité d'avoir un ensemble de structures (rosette) orientées dans chacune des directions.

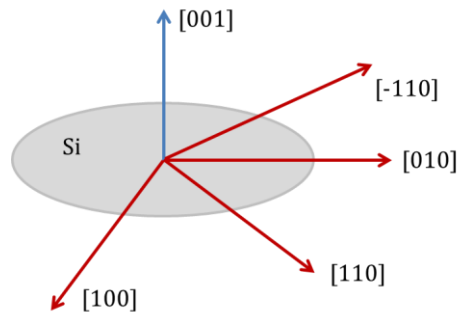


Figure 2. 6 – Représentation schématique des directions cristallographiques d'une plaquette de silicium.

Le choix des capteurs dépend du type de contrainte à déterminer. Les deux zones où les capteurs sont intégrables sont la partie active du silicium et les interconnexions. Pour une implémentation des capteurs dans le silicium, les résistances actives, les résistances en polysilicium et les transistors MOS sont utilisés. Alors que dans les interconnexions, les résistances passives sont les mieux adaptées.

Dans ce travail, nous nous intéresserons à la contrainte induite dans la partie active de la puce, i.e. dans le silicium car c'est là où sont tous les composants électriques. Le choix est donc porté sur un capteur à base de transistors MOS (Figure 2. 7).

Il s'agit ici d'un capteur planaire (déplacement des porteurs dans le plan) avec des canaux orientés dans différentes directions cristallographiques : [100], [010], [110] et [-110]. Ce capteur comporte des transistors de type N (nMOS) et P (pMOS).

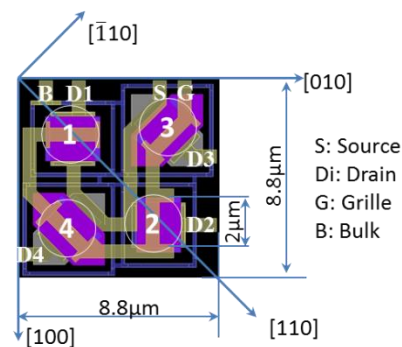


Figure 2. 7 – Capteur de contrainte en rosette de MOS.

## 2. Relations caractéristiques

### a. Piézorésistivité

La relation de la piézorésistivité vient des propriétés cristallographiques du silicium et elle est exprimée par [Smith, 1954] (2.1) :

$$\frac{\Delta\rho}{\rho^0} = \frac{\rho(\sigma^f, T^f) - \rho(\sigma^0, T^0)}{\rho(\sigma^0, T^0)} \quad (2.1)$$

A température constante, cette relation se simplifie et devient (2.2) :

$$\boxed{\frac{\Delta\rho}{\rho^0} = \frac{\rho(\sigma^f) - \rho(\sigma^0)}{\rho(\sigma^0)} = \pi(\sigma^f - \sigma^0) = \pi\Delta\sigma} \quad (2.2)$$

Où  $\pi$  (en Pa<sup>-1</sup>) est le tenseur des coefficients piézorésistifs et  $\Delta\sigma$  (en Pa) le tenseur de la variation de contrainte mécanique ;  $\sigma^0$  (respectivement  $\sigma^f$ ) est le tenseur de contrainte initial (respectivement final) ;  $T^0$  est la température initiale (en °K) et  $T^f$  la température finale (en °K).

Le tenseur  $\frac{\Delta\rho}{\rho^0}$  est construit à partir des valeurs scalaires de la résistivité qui sont mesurables seulement dans des directions spécifiques ce qui justifie aussi l'utilisation de plusieurs transistors orientés distinctement.

De la formule (1.7) :  $\Delta R = \Delta\rho a + \rho \Delta a$ , en supposant que la variation géométrique ( $\Delta a$ ) est négligeable devant celle de la résistivité ( $\Delta\rho$ ), on peut écrire (2.3) :

$$\boxed{\Delta R = \Delta\rho a \Rightarrow \frac{\Delta R}{R} = \frac{\Delta\rho}{\rho}} \quad (2.3)$$

D'autre part, la résistivité du silicium est fonction de la mobilité des porteurs de charge (électrons et trous) et est définie par [Mescheder, 2004] (2.4) :

$$\boxed{\rho = \frac{1}{qn_c\mu}} \quad (2.4)$$

$q$ ,  $n_c$  et  $\mu$  représentent respectivement la charge électrique (en C), le nombre et la mobilité des porteurs de charge.

La variation de la résistivité est donnée par (2.5):

$$\boxed{\Delta\rho = -\frac{1}{qn} \frac{\Delta\mu}{\mu^2} \Rightarrow \frac{\Delta\rho}{\rho} = -\frac{1}{qn} \frac{\Delta\mu}{\mu^2} \frac{qn\mu}{1}} \quad (2.5)$$

Finalement :

$$\boxed{\frac{\Delta\rho}{\rho} = -\frac{\Delta\mu}{\mu}} \quad (2.6)$$

De façon générale, les transistors MOS ont trois modes de fonctionnement : faible, modéré et fort modes d'inversion. Le mode d'inversion modérée est appelé régime linéaire ( $V_{GS} > V_{th}$  et  $V_{DS} < (V_{GS} - V_{th})$ ), le mode d'inversion forte est appelé régime de saturation ( $V_{GS} > V_{th}$  et  $V_{DS} > (V_{GS} - V_{th})$ ) [Hoffmann, 2004].

En régime linéaire, le courant de drain est défini par (2.7) :

$$I_{DS} = \beta V_{DS} (V_{GS} - V_{th} - \frac{1}{2} V_{DS}) \quad (2.7)$$

Avec  $I_{DS}$  le courant de drain (en A),  $\beta$  le facteur de gain,  $V_{DS}$  le potentiel électrique entre le drain et la source (en V),  $V_{GS}$  le potentiel électrique entre la grille et la source (en V) et  $V_{th}$  la tension seuil (en V).

En supposant que  $V_{GS} - V_{th} - \frac{1}{2} V_{DS} \geq 0$  et  $V_{DS}$  négligeable, la variation du courant de drain est donnée par (2.8) :

$$\frac{\Delta I_{DS}}{I_{DS}} = \frac{\Delta \mu}{\mu} \quad (2.8)$$

En régime de saturation, le courant de drain est exprimé par (2.9) :

$$I_{DS} = \frac{1}{2} \beta (V_{GS} - V_{th})^2 \quad (2.9)$$

La même démarche que précédemment permet d'obtenir également l'équation (2.8).

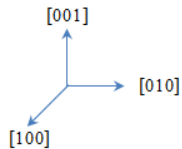
Les relations montrent donc que, que ce soit en régime linéaire ou saturé, la variation du courant de drain et la variation de la mobilité sont les mêmes.

En conclusion, des relations (2.3), (2.6) et (2.8), on peut écrire (2.10):

$$\frac{\Delta R}{R} = - \frac{\Delta I_{DS}}{I_{DS}} = - \frac{\Delta \mu}{\mu} = \frac{\Delta \rho}{\rho} = \pi \Delta \sigma \quad (2.10)$$

Dans la suite des travaux, les courants de drain seront mesurés.

Dans le monocristal cubique du silicium, les trois composantes piézorésistives indépendantes ( $\pi_{11}$ ,  $\pi_{12}$  et  $\pi_{44}$ ) sont généralement exprimées sous forme de matrice réduite (6x6) dans le système de coordonnées du cristal (x, y, z) ( $\equiv$  ([100], [010], [001])) (2.11) :



$$[\pi] = \begin{bmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{bmatrix} \quad (2.11)$$

Ces coefficients dépendent de la quantité et du type de dopage (N ou P) [Kanda, 1982] et aussi du modèle de transistor. Par conséquent leur détermination systématique pour chaque type de capteur est nécessaire.

Si la contrainte appliquée est décrite dans le système de coordonnées du cristal du silicium, les termes de la relation (2.10) peuvent être écrits :

$$-\frac{\Delta I_{DS}}{I_{DS}} = -\frac{\Delta I_d}{I_d^0} = \pi \Delta \sigma .$$

$$\text{Avec } -\frac{\Delta I_d}{I_d^0} = -\frac{1}{I_d^0} \begin{bmatrix} \Delta I_{d1} \\ \Delta I_{d2} \\ \Delta I_{d3} \\ \Delta I_{d4} \\ \Delta I_{d5} \\ \Delta I_{d6} \end{bmatrix} ; \Delta \sigma = \begin{bmatrix} \Delta \sigma_{11} \\ \Delta \sigma_{22} \\ \Delta \sigma_{33} \\ \Delta \sigma_{23} \\ \Delta \sigma_{13} \\ \Delta \sigma_{12} \end{bmatrix}, \text{ et } \pi \text{ donné par (2.11)}$$

Il est à noter que généralement, pour la fabrication des puces, un substrat (001) est utilisé avec deux configurations :

- soit le canal des MOS est orienté dans la direction [100], on parle de plaquette <100> (plaquette non tournée Figure 2. 8-a)
- soit il est orienté dans la direction [110] et on parle de plaquette <110> (plaquette tournée Figure 2. 8-b). L'entaille permet de repérer l'axe x.

Ces deux configurations sont utilisées car le comportement des nMOS et pMOS diffère d'une direction à une autre.

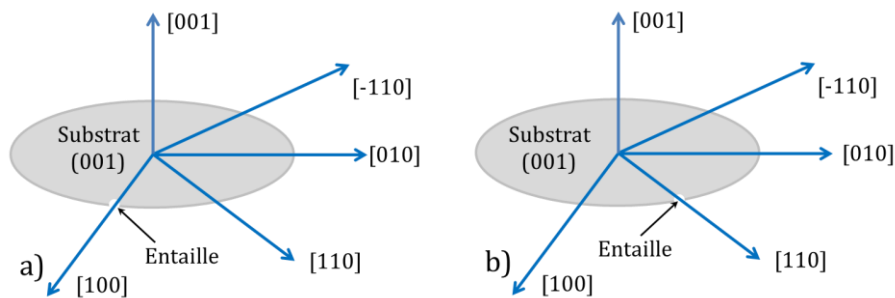


Figure 2. 8 – Représentation schématique a) d'une plaquette <100> et b) d'une plaquette <110>

Etant donné que les MOS ont des canaux orientés dans différentes directions cristallographiques, cherchons l'expression de la matrice des coefficients piézorésistifs dans un repère quelconque par rapport aux axes [100], [010], [001]. Pour déterminer ces coefficients sur une plaquette différente du standard (Figure 2. 8-a), certaines rotations matricielles sont obligatoires.

Pour des rotations quelconques (Figure 2. 9), les matrices de rotations sont (2.12) :

$$R_1 = \begin{bmatrix} \cos\psi & -\sin\psi & 0 \\ \sin\psi & \cos\psi & 0 \\ 0 & 0 & 1 \end{bmatrix}, R_2 = \begin{bmatrix} \cos\theta & 0 & \sin\theta \\ 0 & 1 & 0 \\ -\sin\theta & 0 & \cos\theta \end{bmatrix}, R_3 = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \cos\varphi & -\sin\varphi \\ 0 & \sin\varphi & \cos\varphi \end{bmatrix} \quad (2.12)$$

Avec (x,y,z), (u,v,w) et (x',y',z') respectivement le système de coordonnées initial, intermédiaire et final après rotation ;  $\psi$ ,  $\theta$  et  $\varphi$  les angles de rotation respectivement autour des axes z, u et z'.

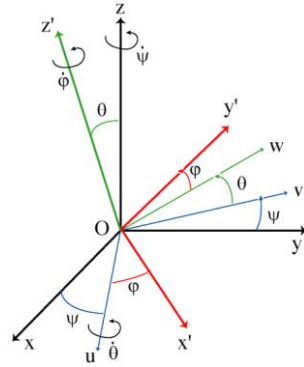


Figure 2. 9 – Angles de rotation (angles d'Euler).

La matrice de transition d'un système de coordonnées du cristal à un autre système après rotations d'angles  $(\psi, \theta, \varphi)$  est donc (2.13) :

$$t = R_3 * R_2 * R_1 = \begin{bmatrix} l_1 & m_1 & n_1 \\ l_2 & m_2 & n_2 \\ l_3 & m_3 & n_3 \end{bmatrix} \quad (2.13)$$

Où :

$$\begin{aligned} l_1 &= \cos(\theta) \cos(\psi) ; l_2 = \sin(\varphi) \sin(\theta) \cos(\psi) + \cos(\varphi) \sin(\psi) \\ l_3 &= -\cos(\varphi) \sin(\theta) \cos(\psi) + \sin(\varphi) \sin(\psi) \\ m_1 &= \cos(\theta) \sin(\psi) ; m_2 = -\sin(\varphi) \sin(\theta) \cos(\psi) + \cos(\varphi) \cos(\psi) \\ m_3 &= \cos(\varphi) \sin(\theta) \sin(\psi) + \sin(\varphi) \cos(\psi) \\ n_1 &= \sin(\theta) ; n_2 = -\sin(\varphi) \cos(\theta) ; n_3 = \cos(\varphi) \cos(\theta) \end{aligned}$$

La matrice globale de transformation (6x6) est montrée par (2.14) (Suhling, 2001):

$$[T] = \begin{bmatrix} l_1^2 & m_1^2 & n_1^2 & 2m_1n_1 & 2l_1n_1 & 2l_1m_1 \\ l_2^2 & m_2^2 & n_2^2 & 2m_2n_2 & 2l_2n_2 & 2l_2m_2 \\ l_3^2 & m_3^2 & n_3^2 & 2m_3n_3 & 2l_3n_3 & 2l_3m_3 \\ l_2l_3 & m_2m_3 & n_2n_3 & m_2n_3 + m_3n_2 & l_2n_3 + l_3n_2 & l_2m_3 + l_3m_2 \\ l_1l_3 & m_1m_3 & n_1n_3 & m_1n_3 + m_3n_1 & l_1n_3 + l_3n_1 & l_1m_3 + l_3m_1 \\ l_1l_2 & m_1m_2 & n_1n_2 & m_1n_2 + m_2n_1 & l_1n_2 + l_2n_1 & l_1m_2 + l_2m_1 \end{bmatrix} \quad (2.14)$$

La matrice  $[\pi']$  des coefficients piézorésistifs dans le nouveau système de coordonnées est donc définie par (2.15) :

$$[\pi'] = [T] [\pi] [T]^{-1} \quad (2.15)$$

Où  $[T]^{-1}$  est la matrice inverse de la matrice  $[T]$ .

Pour une rotation de  $45^\circ$  autour de l'axe z, on obtient dans le système de coordonnées  $([110], [\bar{1}10], [001])$  la relation (2.16) :



$$[\pi'_{45^\circ}] = \begin{bmatrix} \frac{1}{2}(\pi_{11} + \pi_{12} + \pi_{44}) & \frac{1}{2}(\pi_{11} + \pi_{12} - \pi_{44}) & \pi_{12} & 0 & 0 & 0 \\ \frac{1}{2}(\pi_{11} + \pi_{12} - \pi_{44}) & \frac{1}{2}(\pi_{11} + \pi_{12} + \pi_{44}) & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{11} - \pi_{12} \end{bmatrix} \quad (2.16)$$

L'extraction des coefficients piézorésistifs est indispensable pour l'évaluation des contraintes dans les puces. Le processus d'extraction est appelé calibration et il sera détaillé dans le chapitre 3 du document. Une fois les coefficients obtenus et les mesures électriques effectuées, les contraintes peuvent être déterminées.

Notons que, dans la suite,  $I_{di}$  représente le courant de drain du MOS  $i$ ,  $I_{di}^0$  la valeur initiale ; l'indice du courant de drain correspond à l'indice du MOS dans la rosette.

Puisqu'il y a deux types de plaquette, le système de coordonnées n'est pas le même. Pour une plaquette non tournée, l'axe x et l'axe y sont respectivement les mêmes que les directions  $[110]$  et  $[\bar{1}10]$  (Figure 2. 10-b). Alors que pour une plaquette tournée, l'axe x et l'axe y sont respectivement les mêmes que les directions  $[100]$  et  $[010]$  (Figure 2. 10-a).

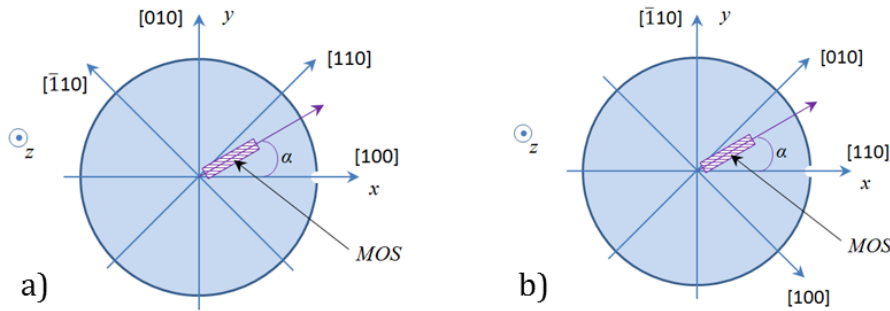


Figure 2. 10 – Système de coordonnées a) d'une plaquette tournée et b) d'une plaquette non tournée ;  $\alpha$ : l'angle entre le canal du MOS et l'axe x.

La notion de tenseurs de contraintes est décrite en [Annexe A](#).

**b. Equations caractéristiques contraintes-piézorésistivité**

Soit  $[\sigma]$  le tenseur de contrainte dans le système de coordonnées d'origine. Pour une rotation ( $\alpha$ ) autour de l'axe z (afin de tenir compte des mesures pour différentes orientations des transistors), le tenseur de contrainte  $[\sigma']$  dans le nouveau système de coordonnées est défini par (2.17) :

$$[\sigma'] = [t] [\sigma] [t]^{-1} \quad (2.17)$$

Où  $[t]^{-1}$  est la matrice inverse de la matrice  $[t]$  définie dans (2.13).

La matrice  $[\sigma']$  est alors donnée par (2.18) :

$$[\sigma'] = \begin{bmatrix} \sigma'_{xx} \\ \sigma'_{yy} \\ \sigma'_{zz} \\ \sigma'_{yz} \\ \sigma'_{xz} \\ \sigma'_{xy} \end{bmatrix} = \begin{bmatrix} \sigma'_{11} \\ \sigma'_{22} \\ \sigma'_{33} \\ \sigma'_{23} \\ \sigma'_{13} \\ \sigma'_{12} \end{bmatrix} = \begin{bmatrix} \cos^2(\alpha)\sigma_{11} + \sin^2(\alpha)\sigma_{22} - \sin(2\alpha)\sigma_{12} \\ \sin^2(\alpha)\sigma_{11} + \cos^2(\alpha)\sigma_{22} + \sin(2\alpha)\sigma_{12} \\ \sigma_{33} \\ \sin(\alpha)\sigma_{13} + \cos(\alpha)\sigma_{23} \\ \cos(\alpha)\sigma_{13} - \sin(\alpha)\sigma_{23} \\ \frac{1}{2}\sin(2\alpha)(\sigma_{11} - \sigma_{22}) + \cos(2\alpha)\sigma_{12} \end{bmatrix} \quad (2.18)$$

La même rotation ( $\psi$ ) pour la matrice piézorésistive en utilisant l'équation (2.15) donne (2.19) :

$$[\pi'] = \begin{bmatrix} \pi'_{11} & \pi'_{12} & \pi'_{13} & 0 & 0 & 0 \\ \pi'_{12} & \pi'_{11} & \pi'_{13} & 0 & 0 & 0 \\ \pi'_{13} & \pi'_{12} & \pi'_{33} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi'_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi'_{55} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi'_{66} \end{bmatrix} \quad (2.19)$$

Le calcul est fait avec le logiciel MathCAD et donne les résultats suivants :

$$\pi'_{11} = \pi_{11} (\cos^4\psi + \sin^4\psi) + \pi_{12} (2\sin^2\psi \cos^2\psi) + \pi_{44} (2\sin^2\psi \cos^2\psi)$$

$$\pi'_{12} = \pi_{11} (2\sin^2\psi \cos^2\psi) + \pi_{12} (\cos^4\psi + \sin^4\psi) - \pi_{44} (2\sin^2\psi \cos^2\psi)$$

$$\pi'_{13} = \pi_{12}; \pi'_{33} = \pi_{11}; \pi'_{44} = \pi_{44}; \pi'_{55} = \pi_{44}$$

$$\pi'_{66} = \sin^2(2\psi) (\pi_{11} - \pi_{12}) + \pi_{44} \cos^2(2\psi)$$

Pour une plaquette <100>,  $\psi=\alpha$  et la variation du courant de drain est :

$$-\frac{\Delta I_{di}}{I_{di}^0} = [\pi'^{<100>}][\sigma'] = \pi'_{11}^{<100>} \sigma'_{xx} + \pi'_{12}^{<100>} \sigma'_{yy} + \pi'_{13}^{<100>} \sigma'_{zz}$$

On a donc :

- $\alpha=0$  :

$$-\frac{\Delta I_{d1}}{I_{d1}^0} = \pi_{11} \sigma_{xx} + \pi_{12} \sigma_{yy} + \pi_{12} \sigma_{zz}$$

- $\alpha = 90^\circ$  :

$$-\frac{\Delta I_{d2}}{I_{d2}^0} = \pi_{11} \sigma_{yy} + \pi_{12} \sigma_{xx} + \pi_{12} \sigma_{zz}$$

- $\alpha = 45^\circ$  :

$$-\frac{\Delta I_{d3}}{I_{d3}^0} = \frac{1}{2} (\pi_{11} + \pi_{12} + \pi_{44}) \left( \frac{1}{2} (\sigma_{xx} + \sigma_{yy}) - \sigma_{xy} \right) + \frac{1}{2} (\pi_{11} + \pi_{12} - \pi_{44}) \left( \frac{1}{2} (\sigma_{xx} + \sigma_{yy}) + \sigma_{xy} \right) + \pi_{12} \sigma_{zz}$$

- $\alpha = -45^\circ$  :

$$-\frac{\Delta I_{d4}}{I_{d4}^0} = \frac{1}{2} (\pi_{11} + \pi_{12} + \pi_{44}) \left( \frac{1}{2} (\sigma_{xx} + \sigma_{yy}) + \sigma_{xy} \right) + \frac{1}{2} (\pi_{11} + \pi_{12} - \pi_{44}) \left( \frac{1}{2} (\sigma_{xx} + \sigma_{yy}) - \sigma_{xy} \right) + \pi_{12} \sigma_{zz}$$

Pour une plaquette  $\langle 110 \rangle$ ,  $\psi = \alpha + 45^\circ$  et la variation du courant de drain est :

$$-\frac{\Delta I_{di}}{I_{di}^0} = [\pi'^{\langle 110 \rangle}] [\sigma'] = \pi'_{11}^{\langle 110 \rangle} \sigma'_{xx} + \pi'_{12}^{\langle 110 \rangle} \sigma'_{yy} + \pi'_{13}^{\langle 110 \rangle} \sigma'_{zz}$$

On a donc :

- $\alpha = 0^\circ, \psi = 45^\circ$  :

$$-\frac{\Delta I_{d1}}{I_{d1}^0} = \frac{1}{2} (\pi_{11} + \pi_{12} + \pi_{44}) \sigma_{xx} + \frac{1}{2} (\pi_{11} + \pi_{12} - \pi_{44}) \sigma_{yy} + \pi_{12} \sigma_{zz}$$

- $\alpha = 90^\circ, \psi = 135^\circ$  :

$$-\frac{\Delta I_{d2}}{I_{d2}^0} = \frac{1}{2} (\pi_{11} + \pi_{12} + \pi_{44}) \sigma_{yy} + \frac{1}{2} (\pi_{11} + \pi_{12} - \pi_{44}) \sigma_{xx} + \pi_{12} \sigma_{zz}$$

- $\alpha = 45^\circ, \psi = 90^\circ$  :

$$-\frac{\Delta I_{d3}}{I_{d3}^0} = \pi_{11} \left( \frac{1}{2} (\sigma_{xx} + \sigma_{yy}) - \sigma_{xy} \right) + \pi_{12} \left( \frac{1}{2} (\sigma_{xx} + \sigma_{yy}) + \sigma_{xy} \right) + \pi_{12} \sigma_{zz}$$

- $\alpha = -45^\circ, \psi = 0^\circ$  :

$$-\frac{\Delta I_{d4}}{I_{d4}^0} = \pi_{11} \left( \frac{1}{2} (\sigma_{xx} + \sigma_{yy}) + \sigma_{xy} \right) + \pi_{12} \left( \frac{1}{2} (\sigma_{xx} + \sigma_{yy}) - \sigma_{xy} \right) + \pi_{12} \sigma_{zz}$$

En d'autres termes (2.20) :

$$\begin{cases} a_1 \sigma_{xx} + b_1 \sigma_{yy} + c_1 \sigma_{zz} + d_1 \sigma_{xy} = -\frac{\Delta I_{d1}}{I_{d1}^0} \\ a_2 \sigma_{xx} + b_2 \sigma_{yy} + c_2 \sigma_{zz} + d_2 \sigma_{xy} = -\frac{\Delta I_{d2}}{I_{d2}^0} \\ a_3 \sigma_{xx} + b_3 \sigma_{yy} + c_3 \sigma_{zz} + d_3 \sigma_{xy} = -\frac{\Delta I_{d3}}{I_{d3}^0} \\ a_4 \sigma_{xx} + b_4 \sigma_{yy} + c_4 \sigma_{zz} + d_4 \sigma_{xy} = -\frac{\Delta I_{d4}}{I_{d4}^0} \end{cases} \quad (2.20)$$

Avec :

- plaquette <100>

$$a_1 = \pi_{11}; a_2 = \pi_{12}; a_3 = \frac{1}{2}(\pi_{11} + \pi_{12}); a_4 = \frac{1}{2}(\pi_{11} + \pi_{12})$$

$$b_1 = \pi_{12}; b_2 = \pi_{11}; b_3 = \frac{1}{2}(\pi_{11} + \pi_{12}); b_4 = \frac{1}{2}(\pi_{11} + \pi_{12})$$

$$c_1 = c_2 = c_3 = c_4 = \pi_{12}; d_1 = 0; d_2 = 0; d_3 = \pi_{44}; d_4 = -\pi_{44}$$

- plaquette <110>

$$a_1 = \frac{1}{2}(\pi_{11} + \pi_{12} + \pi_{44}); a_2 = \frac{1}{2}(\pi_{11} + \pi_{12} - \pi_{44}); a_3 = \frac{1}{2}(\pi_{11} + \pi_{12})$$

$$a_4 = \frac{1}{2}(\pi_{11} + \pi_{12}); b_1 = \frac{1}{2}(\pi_{11} + \pi_{12} - \pi_{44}); b_2 = \frac{1}{2}(\pi_{11} + \pi_{12} + \pi_{44})$$

$$b_3 = \frac{1}{2}(\pi_{11} + \pi_{12}); b_4 = \frac{1}{2}(\pi_{11} + \pi_{12})$$

$$c_1 = c_2 = c_3 = c_4 = \pi_{12}; d_1 = 0; d_2 = 0; d_3 = (\pi_{11} - \pi_{12}); d_4 = -(\pi_{11} - \pi_{12})$$

Les relations décrites ici sont les mêmes pour les MOS de type N que pour les MOS de type P.

## SYNTHESE II

---

**D**e façon générale, les semi-conducteurs, à l’instar du silicium, ont un comportement piézorésistif. Ceci a servi de base pour la conception d’un capteur MOS rosette pour la détermination des contraintes induites dans la partie active des produits.

Les relations caractéristiques liant les grandeurs piézorésistives, les grandeurs électriques et celles mécaniques ont été établies suivant deux types de plaquettes.

La connaissance de deux des trois grandeurs permet d’évaluer la troisième grâce au système d’équations (2.20).

L’organigramme de la [Figure 2. 11](#) décrit la démarche globale adoptée par la suite.

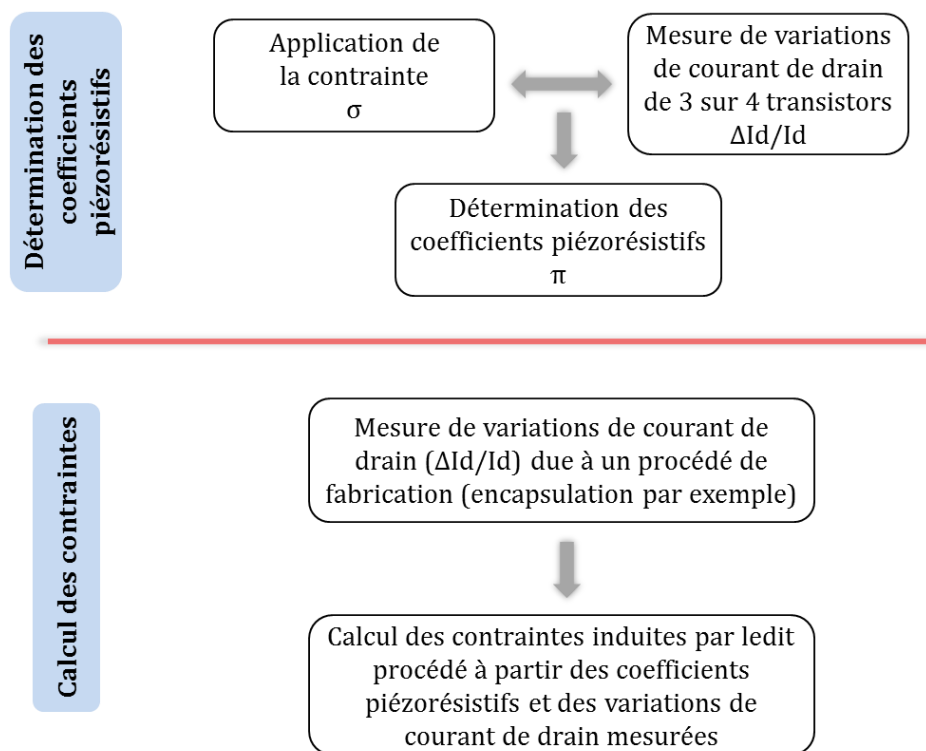


Figure 2. 11 – Organigramme montrant la démarche globale de détermination des contraintes à l’aide des capteurs.

La partie suivante fera donc l’objet de la détermination des coefficients piézorésistifs propres aux capteurs embarqués dans les puces.

## ABSTRACT II

---

Generally speaking, semi-conductors, such as silicon, have a piezoresistive behavior. This enabled developing MOS rosette sensors for stress assessment in the active part of the products.

The characteristic relations between piezoresistive, electrical and mechanical quantities have been established according to two types of wafers.

Through equation (2.31), the third quantity can be determined knowing the two others.

Figure 2. 12 shows the global approach adopted in the following.

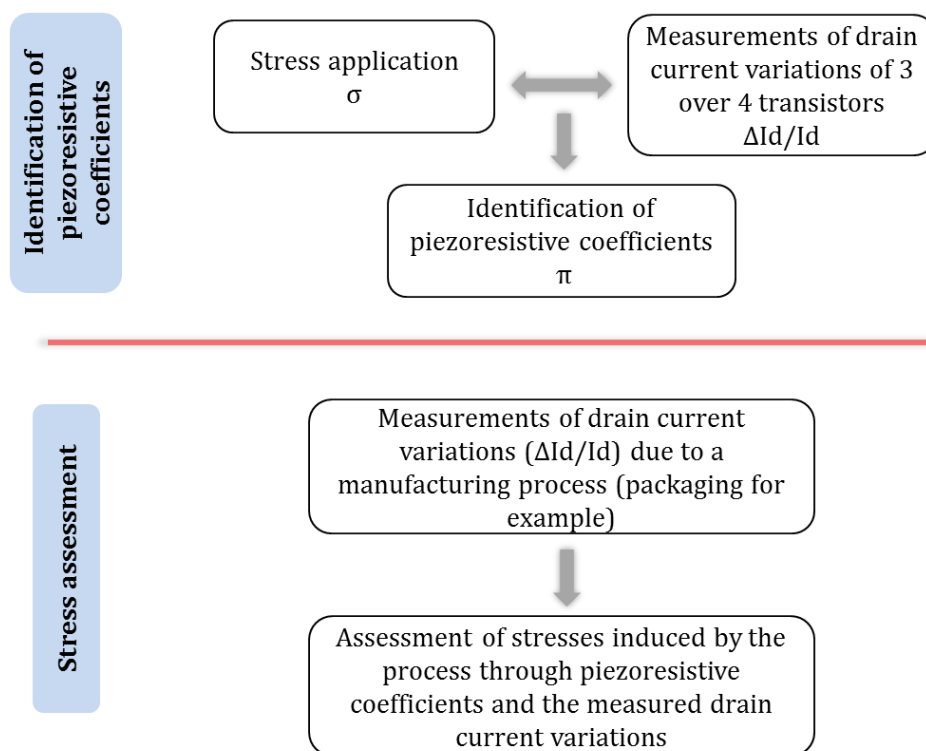


Figure 2. 12 – Diagram showing the overall approach for the stress evaluation using stress sensors

The next chapter will be focused on the determination of the piezoresistive coefficients specific to sensors embedded into chips.



# CHAPITRE III : CALIBRATION DES CAPTEURS

Il est montré dans le chapitre 2 qu'il est indispensable de procéder à la calibration des capteurs. Cela passe par l'application d'une contrainte à l'aide d'un dispositif mécanique dédié et la mesure électrique. Dans le cadre de cette thèse, une machine est conçue et fabriquée pour le test de calibration.

Dans ce chapitre, cette machine sera présentée ainsi que la méthode d'extraction des coefficients piézorésistifs. Les résultats de calibration permettront par la suite d'évaluer les contraintes mécaniques à des étapes de fabrication et l'impact de ces contraintes sur les performances des dispositifs. Les études seront focalisées sur différentes technologies dont nous disposons : CMOS65, BiCMOS55 et CMOS40.

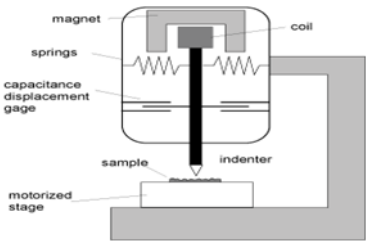
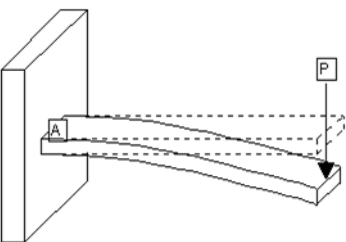
## I. Conception d'une machine de flexion quatre-points

### 1. Méthodes de calibration

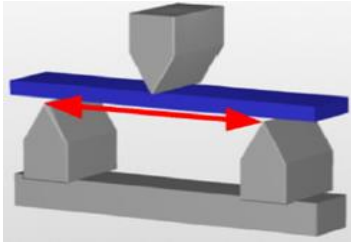
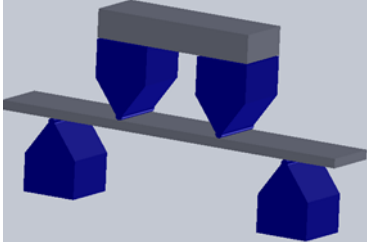
Parmi les méthodes de calibration, on peut citer : la nano-indentation, le test de flexion simple (en porte-à-faux), le test de flexion trois-points et le test de flexion quatre-points. Chaque méthode présentant des avantages et des limites (voir [Tableau 3. 1](#)).

D'après la relation (2.10), la détermination des coefficients piézorésistifs résulte de la connaissance de la contrainte appliquée et du courant mesuré. La relation étant linéaire et les coefficients uniques, la contrainte doit être constante donc uniforme dans la zone des capteurs.

Tableau 3. 1 – Tableau comparatif des méthodes de calibration

<p><b>Nano-indentation</b> [Doelle, 2006]</p>	<p>C'est une variante des tests de dureté appliquée sur de petits volumes. La pointe (nano-indenteur) exerce une force perpendiculaire à la surface de l'échantillon. Cela ne permet d'extraire que le coefficient vertical <math>\pi_{12}</math>.</p>	
<p><b>Flexion simple</b> [Bouchalkha, 2005]</p>	<p>Cela consiste à fléchir un échantillon (une lamelle de silicium dans ce cas) en encastrant une extrémité et en appliquant une charge à l'autre extrémité. Mais la contrainte induite dans l'échantillon n'est pas uniforme. Donc un gradient de contrainte apparaît dans la zone des capteurs, ce qui met en question la précision du calcul.</p>	



<p><b>Flexion trois - points</b> [Tzeng, 2012]</p>	<p>L'échantillon est placé sur deux supports à ses deux extrémités et une charge est appliquée de préférence au milieu. La contrainte n'est pas non plus uniforme entre les deux supports. Même remarque sur le gradient de contrainte que précédemment.</p>	
<p><b>Flexion quatre - points</b> [Tian, 2009]</p>	<p>Le principe est le même que pour la flexion trois-points, sauf qu'ici le chargement est appliqué suivant deux appuis de manière symétrique. Entre les supports intérieurs, la contrainte est uniforme.</p>	

Du tableau ci-dessus, la flexion quatre-points permet d'avoir un moment fléchissant constant entre les appuis intérieurs et un effort tranchant nul. La flexion est donc pure et par conséquent une contrainte constante est générée. Pour la détermination de l'ensemble des coefficients, la méthode de flexion quatre-points est donc la mieux adaptée.

Les résultats de simulation (Figure 3. 1) ont permis de vérifier l'uniformité et le caractère uni-axial de la contrainte appliquée dans l'échantillon.

On remarque que, dans les zones proches des appuis, la contrainte n'est ni uniforme ni uni-axiale. Il est donc primordial de découper et de positionner l'échantillon de manière à ce que les structures à mesurer se retrouvent au centre de l'échantillon. La largeur de l'échantillon n'impacte pas cette distribution de contrainte, par contre il est nécessaire que les appuis soient suffisamment éloignés les uns des autres pour avoir une large zone de contrainte uniforme uni-axiale.

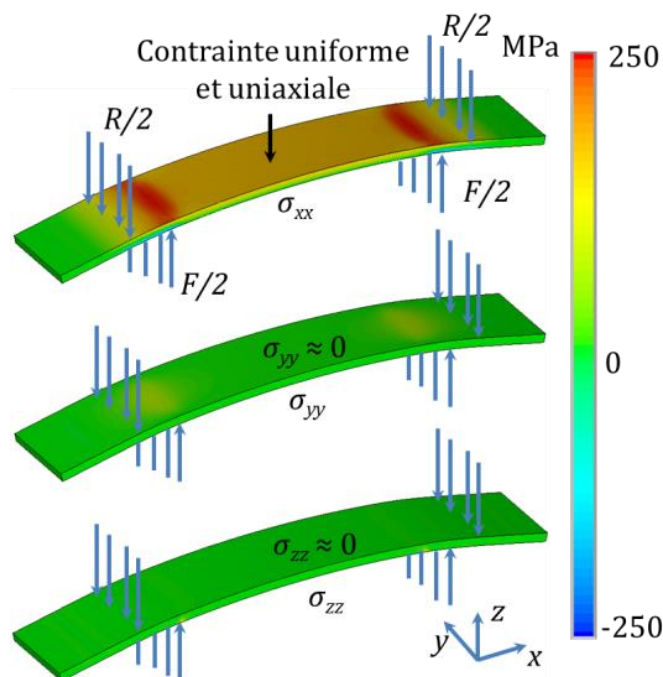


Figure 3. 1 – Résultats de simulation de flexion quatre-points.

## 2. Conception d'une machine de flexion quatre-points dédiée à la calibration des capteurs

Sur le site de ST Crolles, il n'y a aucune machine de flexion quatre-points dédiée à la calibration. Nous avons donc été amenés, dans le cadre de cette thèse, à en concevoir et à en fabriquer une. Les deux fonctions principales de cette machine sont :

- la calibration des capteurs ;
- la détermination de la sensibilité des différentes structures électriques en fonction de la contrainte, et donc la prédiction de l'impact de la contrainte sur les structures : c'est du *strain engineering*.

Pour éviter de partir de zéro dans la conception, et de gagner du temps, les regards se sont tournés vers d'autres dispositifs de flexion quatre-points existants.

- a- Le Centre Microélectronique de Provence (CMP) à Gardanne dispose avec ST Rousset d'un équipement de flexion quatre-points (Figure 3. 2-a) utilisé pour les tests de calibration.

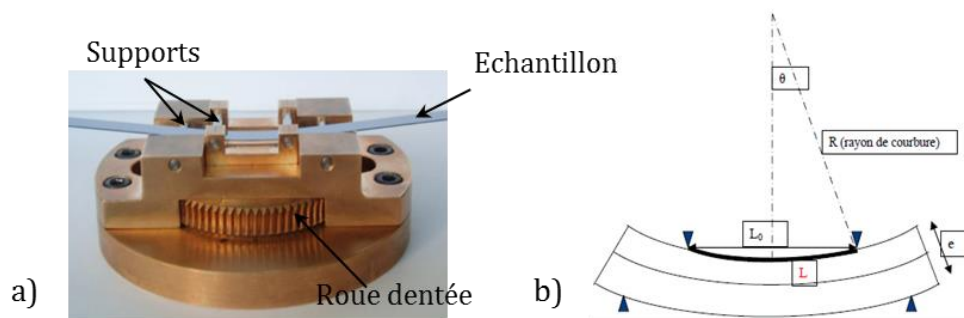


Figure 3. 2 – Machine de flexion quatre-points du CMP.

Le mode de fonctionnement est le suivant :

- suivant le type de contrainte (tension ou compression) à appliquer, l'échantillon est tout d'abord placé sur les supports externes (en position basse) avec les supports internes en position haute comme sur la Figure 3. 2 ; ou sur les supports internes (en position basse) avec les supports externes en position haute ;
- le chargement est ensuite effectué en tournant la roue dentée à la main ;
- la contrainte appliquée est déterminée à partir de la relation (3.1) :

$$\sigma = E \cdot (L - L_0) / L \text{ ou } \sigma = E \cdot (-e/2R) \quad (3.1)$$

où  $\sigma$  (en Pa) représente la contrainte appliquée,  $E$  (en Pa) le module d'Young de l'échantillon ;  $L_0$  (en m) et  $L$  (en m) représentent respectivement la longueur de la partie de l'échantillon en contact avec les supports internes avant et après chargement ;  $e$  (en m) l'épaisseur de l'échantillon et  $R$  (en m) le rayon de courbure de l'échantillon après chargement (Figure 3. 2-b) ;

- des deux expressions de la relation (3.1), la seconde est utilisée car il est plus pratique de mesurer le rayon de courbure qui se fait à l'aide d'une caméra ;

- une fois l'échantillon sous contrainte, l'ensemble du dispositif est placé sous un "prober" (Figure 3. 3) pour les mesures électriques.

La calibration se fait généralement avec plusieurs niveaux de contraintes. L'opérateur est donc amené à répéter les étapes (chargement à la main, mesure de rayon de courbure, mesures électriques) autant de fois qu'il y a de niveaux de contrainte à appliquer.

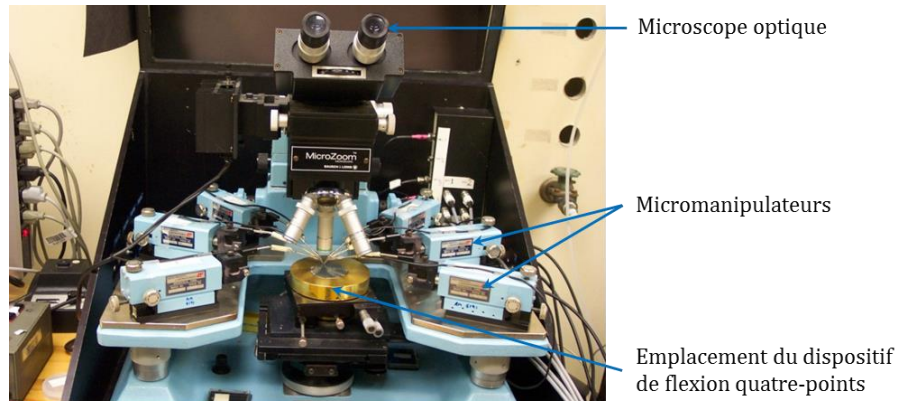


Figure 3. 3 – Prise de vue d'un *prober*.

- b- L'équipe de caractérisation physique à ST Crolles dispose d'une machine de flexion quatre-points (Figure 3. 4) destinée aux tests de délamination pour la mesure de l'énergie d'adhésion.

Le servomoteur applique un chargement par déplacement d'un piston. La cellule de force permet de mesurer la force appliquée, et le déplacement du piston est mesuré via un logiciel. Ces valeurs sont directement lues sur un écran. Cette méthode est plus précise et plus pratique d'utilisation avec ses deux éléments essentiels : le servomoteur et la cellule de force.

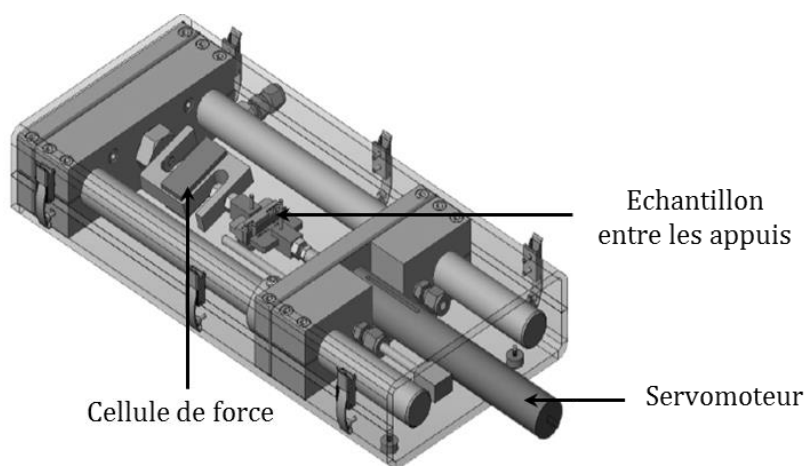


Figure 3. 4 – Délaminateur à ST Crolles.

La nouvelle machine sera donc basée sur ce modèle et doit respecter certains critères :

- la fonction initiale doit être maintenue,
- le modèle doit être simple,

- le coût de fabrication doit être maîtrisé,
- le dispositif doit offrir la possibilité de varier la distance entre les supports en tenant compte de la longueur des échantillons,
- le dispositif doit permettre d'appliquer des contraintes de tension et de compression dans les échantillons,
- la machine doit être équipée d'un plateau sur lequel les micromanipulateurs peuvent être installés pour les mesures électriques,
- la machine doit être rigide.

La nouvelle configuration du dispositif final est donc représentée sur la [Figure 3. 5](#). Le dessin CAO de la machine est représenté en [Annexe B](#).

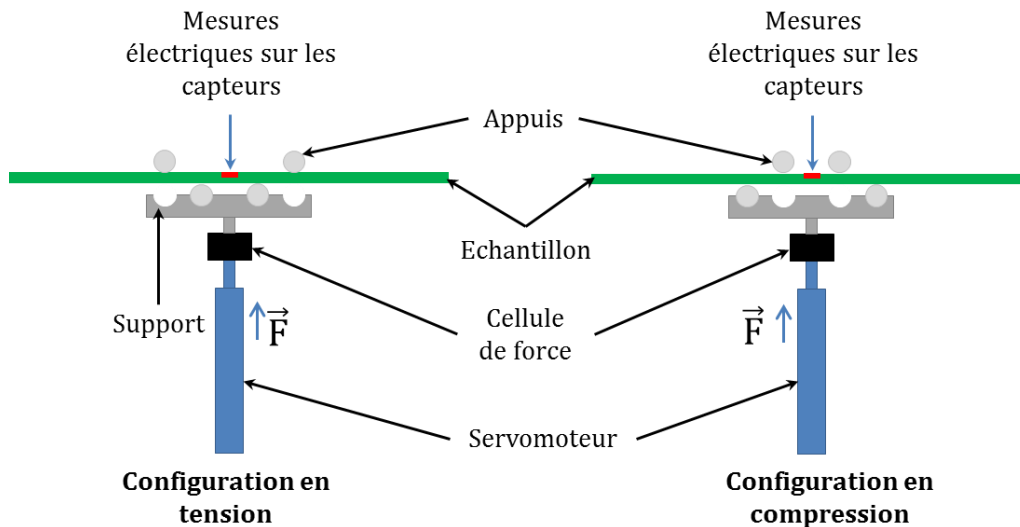


Figure 3. 5 – Nouvelle configuration de la machine de flexion quatre-points.

### 3. Mode opératoire

L'échantillon est placé sur les appuis inférieurs. La mise en marche du servomoteur permet d'appliquer le chargement. Le piston du servomoteur pousse l'ensemble (cellule de force, supports et appuis inférieurs, échantillon) contre les appuis supérieurs qui sont fixes. L'échantillon est donc sous contrainte. La contrainte en tension aussi bien qu'en compression peut être appliquée en changeant les positions des appuis supérieurs comme inférieurs.

La machine de flexion quatre-points fabriquée pour la calibration des capteurs embarqués dans des structures est représentée sur la [Figure 3. 6](#).

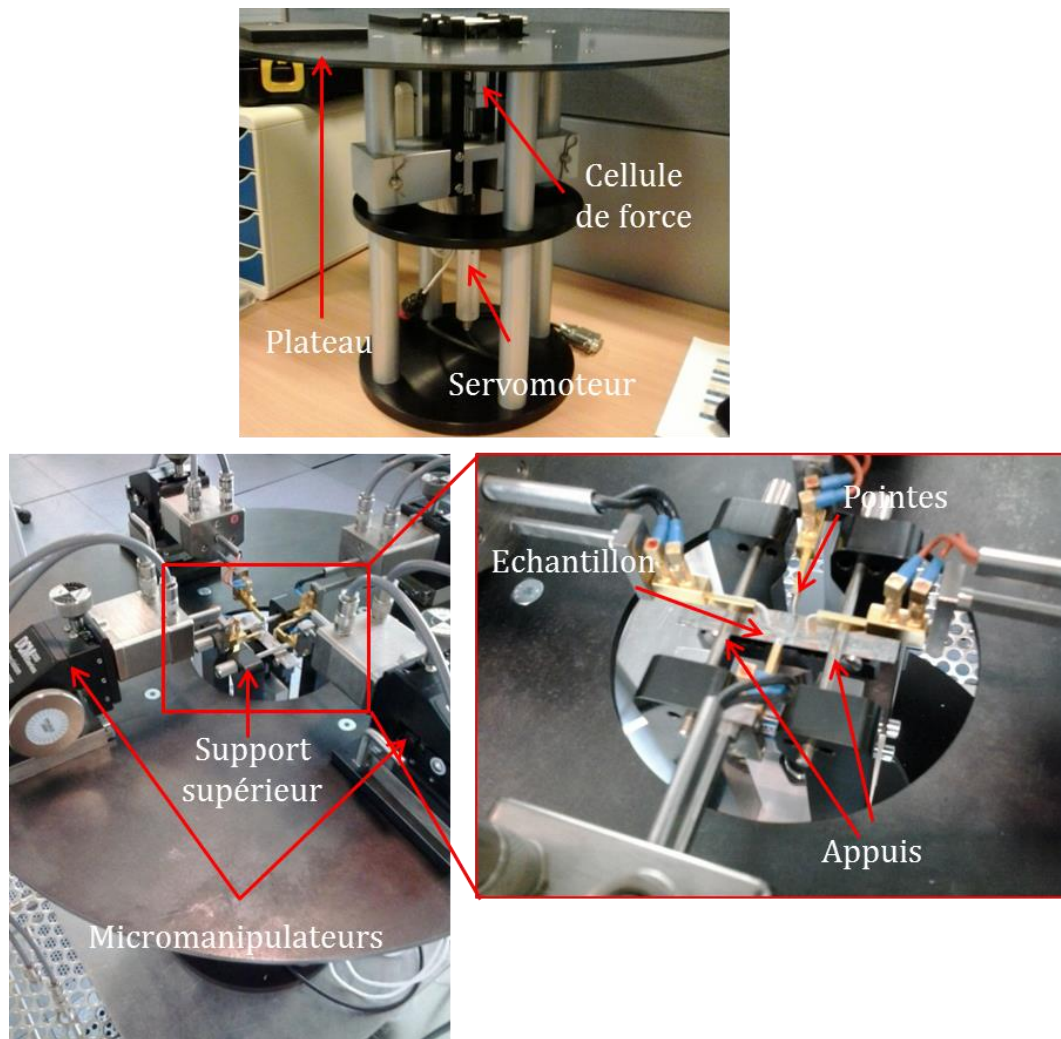


Figure 3. 6 – Machine de flexion quatre-points pour les tests de calibration à ST Crolles.

## II. Méthodologie de calibration

La calibration des capteurs consiste à déterminer la sensibilité des grandeurs électriques (par exemple le courant de drain dans le cas des capteurs MOS) par rapport à la contrainte appliquée. Des lamelles ayant des orientations cristallographiques différentes sont nécessaires afin de déterminer les trois coefficients.

Par convention, tel que mentionné dans le chapitre 2, notons  $I_{di}$  le courant de drain du MOS  $i$ ,  $I_{di}^0$  la valeur initiale ; et l'indice du courant de drain correspond à l'indice du MOS dans la rosette (Figure 2. 7).

Le MOS1 (respectivement MOS2, MOS3 et MOS4) a son canal orienté dans la direction [100] (respectivement [010], [010] et  $[\bar{1}10]$ ).

La méthodologie pour les deux types de plaquettes (Figure 2. 10) se présente comme suit.

### 1. Plaquette <100> pour n&pMOS

L'échantillon est d'abord découpé dans la direction [100] (Figure 3. 7-a).

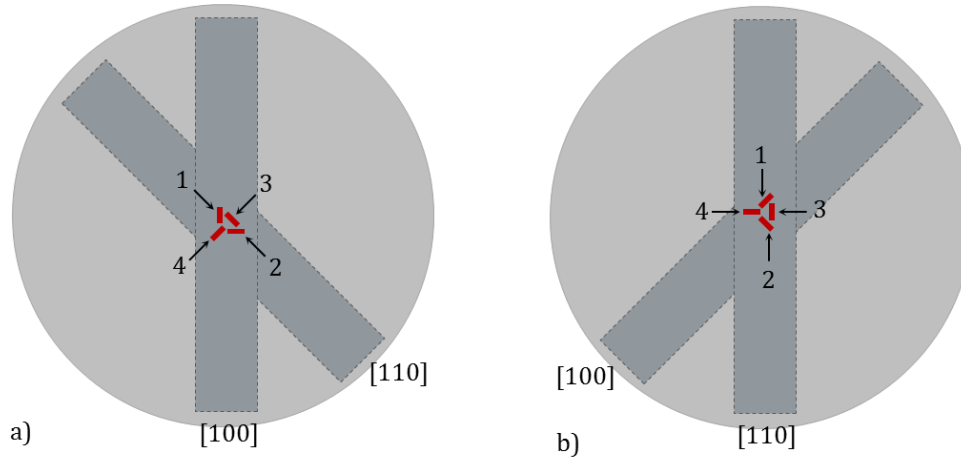


Figure 3. 7 – Schéma de découpe des échantillons sur a)- une plaquette <100> et b)- une plaquette <110>.

Des incréments de contrainte uniforme uni-axiale (notée  $\sigma^i$ ) sont appliqués dans cette direction et les courants de drain sur deux MOS du capteur (MOS1 et MOS2) sont mesurés. Les courbes de la variation du courant de drain en fonction de la contrainte appliquée sont obtenues (3.2) :

$$\begin{aligned} \text{MOS1} : \left( 0, -\frac{\Delta I_{d1}^1}{I_{d1}^0}, -\frac{\Delta I_{d1}^2}{I_{d1}^0}, -\frac{\Delta I_{d1}^3}{I_{d1}^0}, \dots \right) &= f(0, \sigma^1, \sigma^2, \sigma^3, \dots) \\ \text{MOS2} : \left( 0, -\frac{\Delta I_{d2}^1}{I_{d2}^0}, -\frac{\Delta I_{d2}^2}{I_{d2}^0}, -\frac{\Delta I_{d2}^3}{I_{d2}^0}, \dots \right) &= f(0, \sigma^1, \sigma^2, \sigma^3, \dots) \end{aligned} \quad (3.2)$$

A partir des relations (2.2) et (2.10), les coefficients piézorésistifs  $\pi_{11}$  et  $\pi_{12}$  peuvent être déterminés. Ils correspondent respectivement aux pentes des droites de tendances (Figure 3. 8) des courbes relatives aux MOS1 et MOS2. Ces pentes sont notées  $a_1$  et  $a_2$ . Un autre échantillon est découpé dans la direction [110] et les mesures sont faites sur le MOS3 (3.3) :

$$\text{MOS3} : \left( 0, -\frac{\Delta I_{d3}^1}{I_{d3}^0}, -\frac{\Delta I_{d3}^2}{I_{d3}^0}, -\frac{\Delta I_{d3}^3}{I_{d3}^0}, \dots \right) = f(0, \sigma^1, \sigma^2, \sigma^3, \dots) \quad (3.3)$$

La pente de la droite de tendance de la courbe relative au MOS3 est notée  $a_3$ .

A partir des relations (2.10) et (2.16), le coefficient  $\pi_{44}$  est déterminé suivant la relation (3.4) :

$$\begin{aligned} a_3 = \frac{1}{2} (\pi_{11} + \pi_{12} + \pi_{44}) \Rightarrow \pi_{44} &= 2a_3 - \pi_{11} - \pi_{12} \\ \text{Soit : } \pi_{11} = a_1, \pi_{12} = a_2 \text{ et } \pi_{44} &= 2a_3 - a_1 - a_2 \end{aligned} \quad (3.4)$$

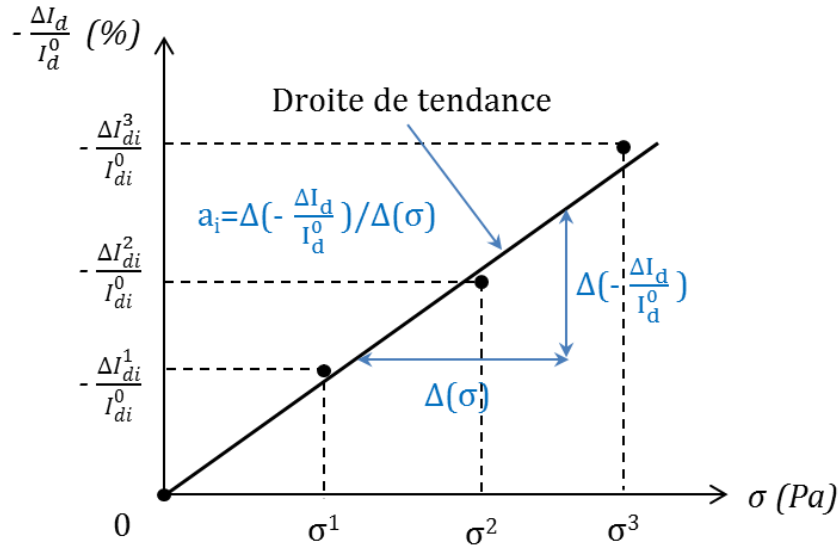


Figure 3. 8 – Schéma montrant la détermination des coefficients.

## 2. Plaquette <110> pour n&pMOS

Pour ce type de plaquette, la méthodologie est la même que précédemment, sauf qu'ici, le premier échantillon découpé est dans la direction [110] (Figure 3. 7-b). Les MOS3 et MOS4 sont donc mesurés. On obtient les courbes :

$$\begin{aligned} \text{MOS3} : \left( 0, -\frac{\Delta I_{d3}^1}{I_{d3}^0}, -\frac{\Delta I_{d3}^2}{I_{d3}^0}, -\frac{\Delta I_{d3}^3}{I_{d3}^0}, \dots \right) &= f(0, \sigma^1, \sigma^2, \sigma^3, \dots) \\ \text{MOS4} : \left( 0, -\frac{\Delta I_{d4}^1}{I_{d4}^0}, -\frac{\Delta I_{d4}^2}{I_{d4}^0}, -\frac{\Delta I_{d4}^3}{I_{d4}^0}, \dots \right) &= f(0, \sigma^1, \sigma^2, \sigma^3, \dots) \end{aligned} \quad (3.5)$$

Les pentes des courbes sont donc :

$$b_3 = \frac{1}{2} (\pi_{11} + \pi_{12} + \pi_{44}) \text{ et } b_4 = \frac{1}{2} (\pi_{11} + \pi_{12} - \pi_{44}) \quad (3.6)$$

En combinant les deux expressions, on a :

$$b_3 - b_4 = \frac{1}{2} (\pi_{44} + \pi_{44}) \rightarrow \pi_{44} = b_3 - b_4 \quad (3.7)$$

On découpe ensuite un deuxième échantillon dans la direction [100] et on fait les mesures seulement sur le MOS1. Le coefficient  $\pi_{11}$  est donc déterminé :  $\pi_{11} = b_1$ .

A partir de la relation (3.6), on détermine le coefficient  $\pi_{12}$  (3.8) :

$$\begin{aligned} \pi_{12} &= 2b_3 - \pi_{11} - \pi_{44} \\ \text{Soit : } \pi_{44} &= b_3 - b_4, \pi_{11} = b_1 \text{ et } \pi_{12} = b_3 + b_4 - b_1 \end{aligned} \quad (3.8)$$

Sur la plaquette <100>, on peut découper l'échantillon dans la direction [110] et faire les mesures sur les MOS3 et MOS4. Les relations liées à ces MOS sont les mêmes que celles décrites pour la plaquette <110>. Le plus important, est de pouvoir identifier les MOS en

tenant compte des directions de découpe dans le but d'établir des relations permettant de déterminer les trois coefficients.

L'organigramme de la Figure 3. 9 présente un récapitulatif de la méthodologie de calibration.

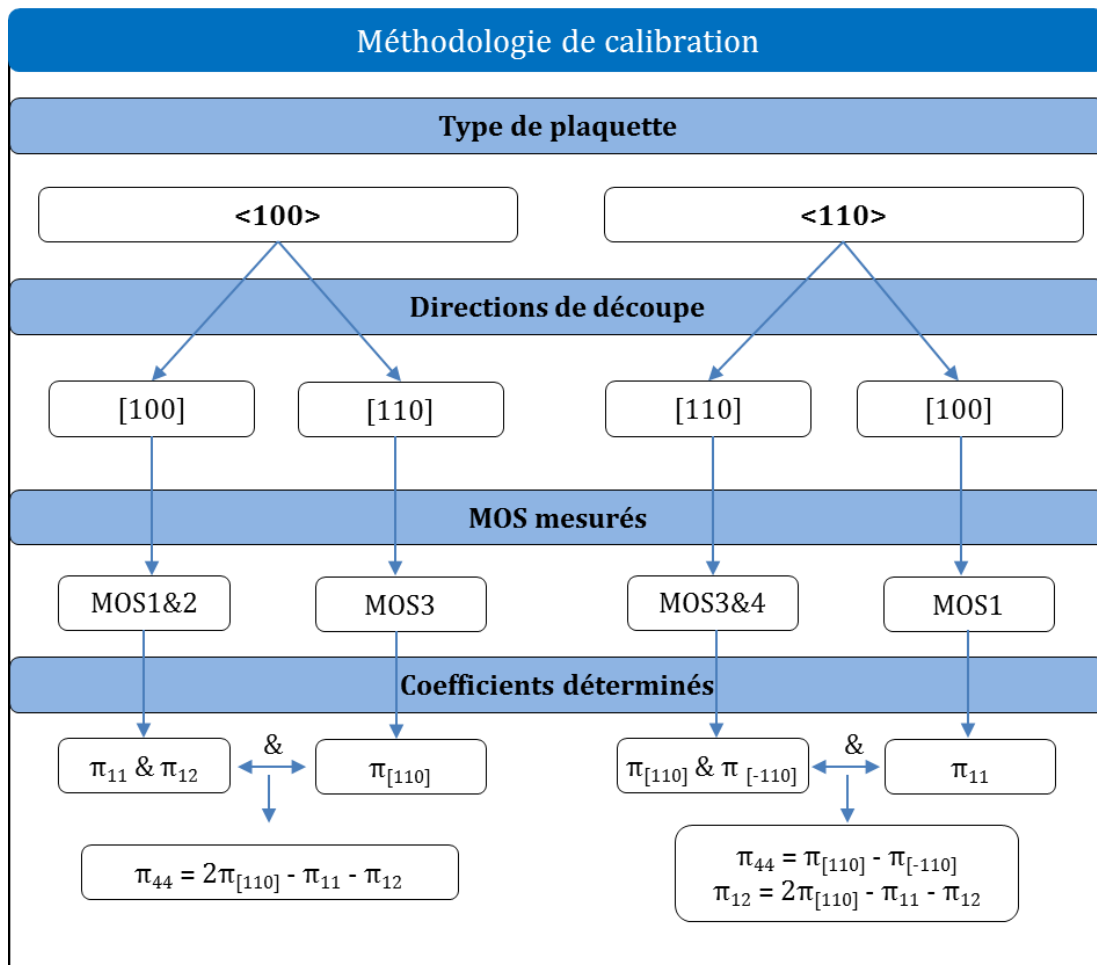


Figure 3. 9 – Schéma descriptif de la méthodologie de calibration des capteurs MOS.

### III. Détermination des coefficients piézorésistifs : applications

La méthodologie de calibration est appliquée à des capteurs MOS intégrés dans différentes technologies (profils de dopage, dimensions différents) étudiées dans ce travail.

Pour tous les capteurs MOS, les paramètres électriques sont définis de la façon suivante :

- la tension drain-source ( $V_{DS}$  ou  $V_d$ ) est fixée à 50mV pour les nMOS et -50mV pour les pMOS ;
- la valeur maximale de la tension grille-source ( $V_{GS}$  ou  $V_g$ ) est de 1.2V pour les nMOS et -1.2V pour les pMOS ;
- le “bulk” est mis à la masse ;
- le courant drain-source ( $I_{DS}$  ou  $I_d$ ) est mesuré.

Il est à noter que la valeur maximale de la tension  $V_g$  est comprise entre 0.4V (valeur approximative de la tension seuil) et 1.2V selon la technologie. Ces valeurs permettent de



rester dans la zone de fonctionnement linéaire du transistor, d'avoir une mobilité suffisante des porteurs de charges et donc d'obtenir une sensibilité par rapport à la contrainte sans endommager la structure.

Les ordres de grandeur des niveaux de dopage dans les transistors MOS utilisés sont représentés sur la Figure 3. 10 dans les différentes parties du MOS.

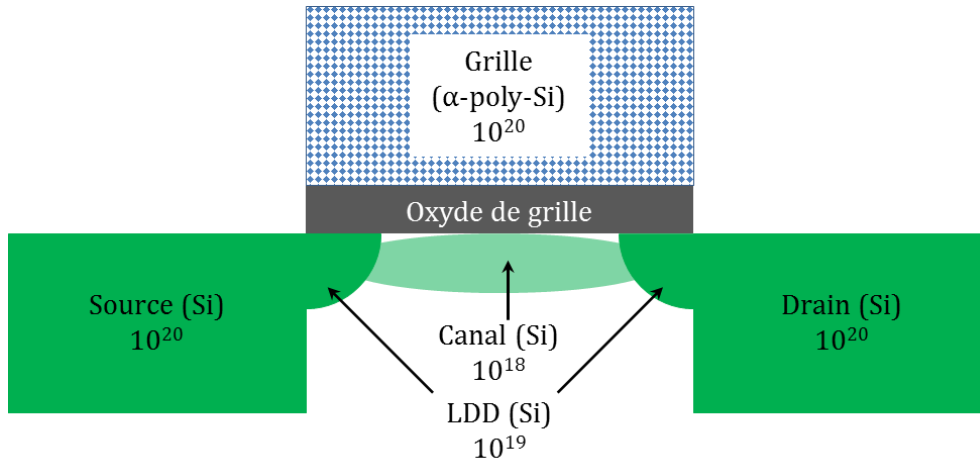


Figure 3. 10 – Schéma représentant les niveaux de dopage (en atomes/cm<sup>3</sup>) des MOS utilisés.

Pour les mesures électriques, un équipement (Keithley 4200) dédié aux faibles courants est utilisé (Figure 3. 11).



Figure 3. 11 – Appareil de mesure électrique : Keithley 4200.

Les contacts électriques sont effectués à l'aide des pointes fixées sur des micromanipulateurs (Figure 3. 6) qui viennent adresser des pads (Figure 3. 13).

Les échantillons découpés ont une largeur de 10mm et 14mm, une épaisseur de 0.76mm et une longueur supérieure à 50mm.

La contrainte induite en un point M lors d'une flexion est donnée par la relation (3.9) :

$$\sigma = \frac{M_f}{I_{Mx}} z \quad (3.9)$$

$\sigma$  (en MPa) est la contrainte induite ;  $M_f$  (en N.mm) le moment de flexion ;  $I_{Mx}$  ( $\text{mm}^4$ ) le moment d'inertie suivant l'axe  $x$  et  $z$  (en mm) la côte.

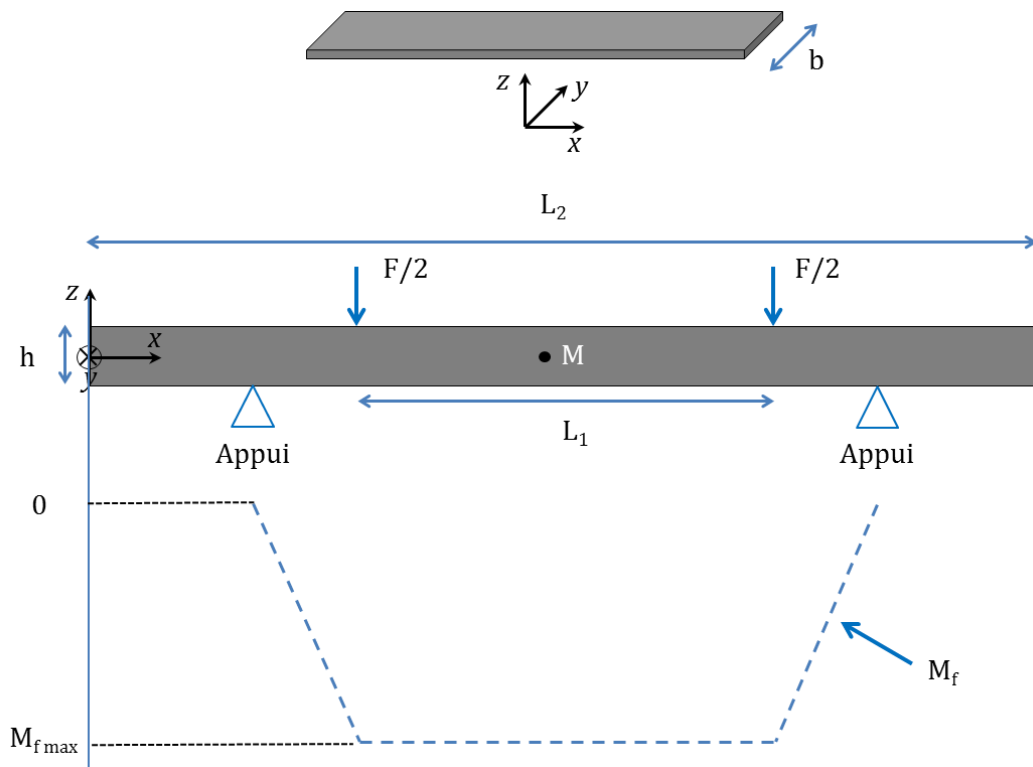


Figure 3. 12 – Représentation schématique du calcul en flexion quatre-points.

Tel que montré sur la [Figure 3. 12](#), dans la zone délimitée par les droites d'application de la force, le moment de flexion est constant.

Pour une section rectangulaire le moment d'inertie est exprimé par (3.10) :

$$I_{Mx} = \frac{1}{12}bh^3 \quad (3.10)$$

Où  $b$  (en mm) et  $h$  (en mm) représentent respectivement la largeur et l'épaisseur de l'échantillon.

A la surface supérieure de l'échantillon,  $z=h/2$ , l'expression de la contrainte devient (3.11) :

$$\sigma = M_f \frac{6}{bh^2} \quad (3.11)$$

Le moment de flexion est défini par (3.12) :

$$M_f = \frac{F}{2} \frac{(L_2 - L_1)}{2} \quad (3.12)$$

Où  $L_1$  (en mm) et  $L_2$  (en mm) représentent respectivement la distance entre les supports inférieurs et les supports supérieurs.

La contrainte appliquée dans l'échantillon s'écrit finalement (3.13) :

$$\sigma_{app} = \frac{3}{2} \frac{(L_2 - L_1)}{bh^2} F_{app} \quad (3.13)$$

Où  $\sigma_{app}$  (en MPa) représente la contrainte appliquée allant généralement de -100MPa à 100MPa et  $F_{app}$  (en N) représente la force appliquée par le servomoteur.

### Incertitudes de mesures d'ordre électrique

La difficulté dans le test de calibration réside dans la précision des mesures des courants. En effet, la précision des mesures dépend principalement du contact électrique entre les pointes et les pads. Ce point essentiel est contrôlé en vérifiant que la pression appliquée lors de la pose des pointes est suffisante pour obtenir une résistance de contact constante (entre 1 $\Omega$  et 2 $\Omega$  sur quelques k $\Omega$  de résistance drain-source) sans endommager la structure des pads. Cette résistance de contact est donc négligeable (<2‰) devant celle du canal drain-source. Par conséquent, l'erreur générale est estimée à partir des écarts type des droites de tendance des courbes de calibration et des spécificités des équipements de mesures.

### Incertitudes de mesures d'ordre mécanique

Tous les équipements mécaniques utilisés pour l'application de la force et pour les mesures dimensionnelles ont des incertitudes qui peuvent jouer sur les résultats finaux de calibration. Les valeurs d'incertitudes (fournies par les fabricants) sont données comme suit :

- Cellule de force pour la mesure de force : 0.02%
- Pied à coulisse pour la mesure des dimensions des échantillons : 0.3%
- Incertitudes liées aux distances entre les supports sur l'équipement de flexion : d'après les normes des cotations fonctionnelles, pour un indice de tolérance (IT13) donné par le fabricant, l'écart dimensionnel pour une distance comprise entre
  - o 18mm et 30mm est de 0.33mm
  - o 30mm et 50mm est de 0.39mm

D'après la relation (3.13), l'incertitude globale de mesure de contrainte serait :

$$\Delta\sigma/\sigma = \Delta F/F + \Delta L_2/(L_2 - L_1) + \Delta L_1/(L_2 - L_1) + \Delta b/b + 2\Delta h/h \quad (3.14)$$

Sachant que pour les tests de calibration, les distances retenues sont de  $L_1=25\text{mm}$  et  $L_2=45\text{mm}$ . Les écarts sont donc :  $\Delta L_1 = 0.33\text{mm}$  et  $\Delta L_2 = 0.39\text{mm}$ .

On aura finalement :  $\Delta\sigma/\sigma = 0.02 + 0.39 \cdot 100 / (45 - 25) + 0.33 \cdot 100 / (45 - 25) + 0.3 + 2 \cdot 0.3$

Soit  $\Delta\sigma/\sigma = 4.52\%$ .

## 1. Technologie CMOS 65nm

Pour cette technologie, une plaquette <100> est utilisée. Les capteurs nMOS et pMOS en rosette sont placés proche d'un TSV dont la structure est présentée sur la Figure 3. 13. Les MOS ont une taille de  $2 \times 2 \mu\text{m}^2$  et seront utilisés dans le but d'évaluer la contrainte induite par le TSV. Les résultats seront détaillés dans le chapitre 4.

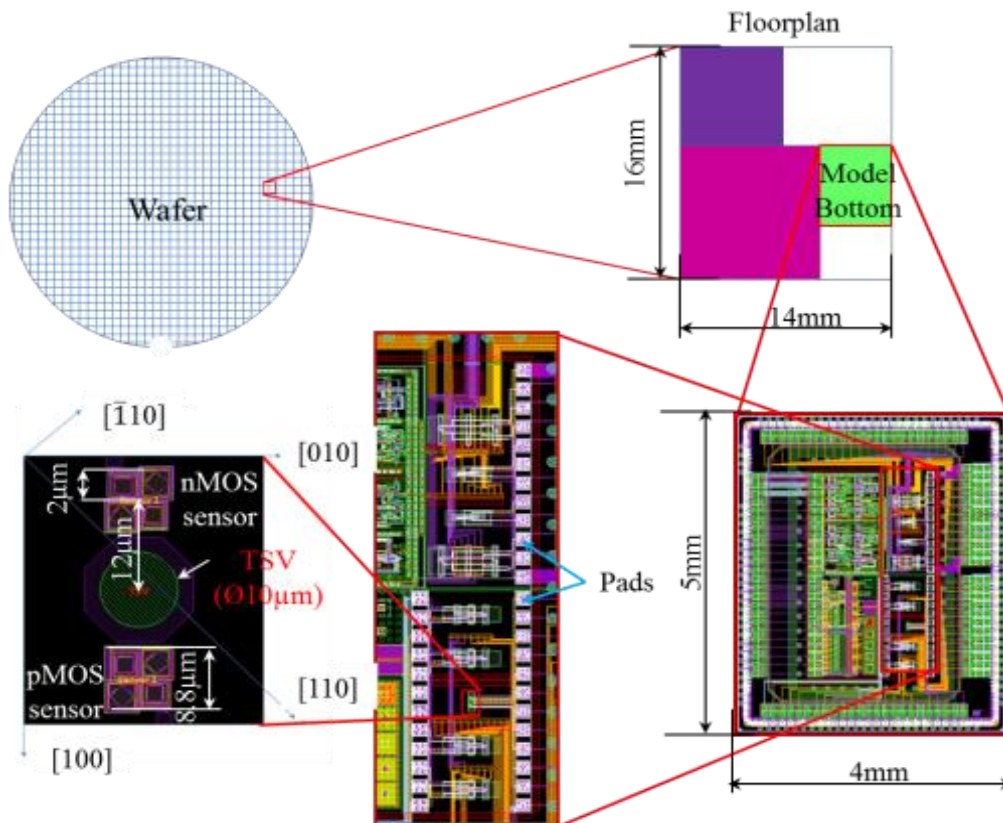


Figure 3. 13 – Structure de test : localisation des capteurs sur la technologie CMOS 65nm.

Durant ce test de calibration, nous avons remarqué qu'à partir d'une certaine valeur de la tension de grille, (c'est-à-dire à 0.9V) et pour certains niveaux de contraintes (environ 50MPa), les courants de drain des transistors pMOS commencent à avoir un comportement inattendu (Figure 3. 14) dont la cause reste pour l'heure inconnue.

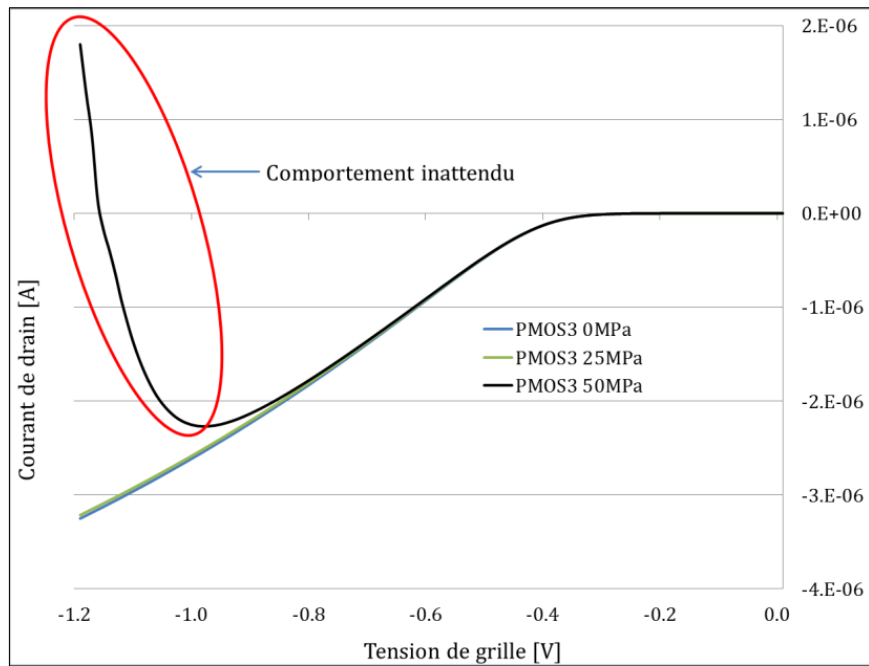


Figure 3. 14 – Courant de drain en fonction de la tension de grille pour pMOS3 sur la technologie CMOS 65nm.

Vu la tendance inhabituelle de la courbe, les valeurs de la tension de grille à prendre en compte dans la détermination des coefficients piézorésistifs sont : 0.4V, 0.5V, 0.6V, 0.7V et 0.8V.

Sachant que dans la pratique, seule une valeur comprise entre 0.4V (valeur seuil) et 1.2V est prise en compte selon les technologies. L'idée dans cette première analyse est de voir l'impact de la tension de grille sur les coefficients.

La calibration est d'abord effectuée en tension sur les nMOS et pMOS. Pour vérifier la linéarité des courbes, un chargement en compression est effectué sur les pMOS.

Sur la [Figure 3. 15](#) sont tracées les variations de courant de drain en fonction de la contrainte appliquée pour différentes valeurs de la tension de grille. Le but étant ici de déterminer la dispersion de ces variations pour des tensions de grille différentes.

Certaines valeurs aberrantes ont été supprimées, souvent dues à MOS endommagé ou à un problème de contact électrique. On remarque une bonne tendance de linéarité des variations et une assez faible dispersion (cf [Tableau 3. 3](#)), ce qui témoigne de la pertinence de la mesure.

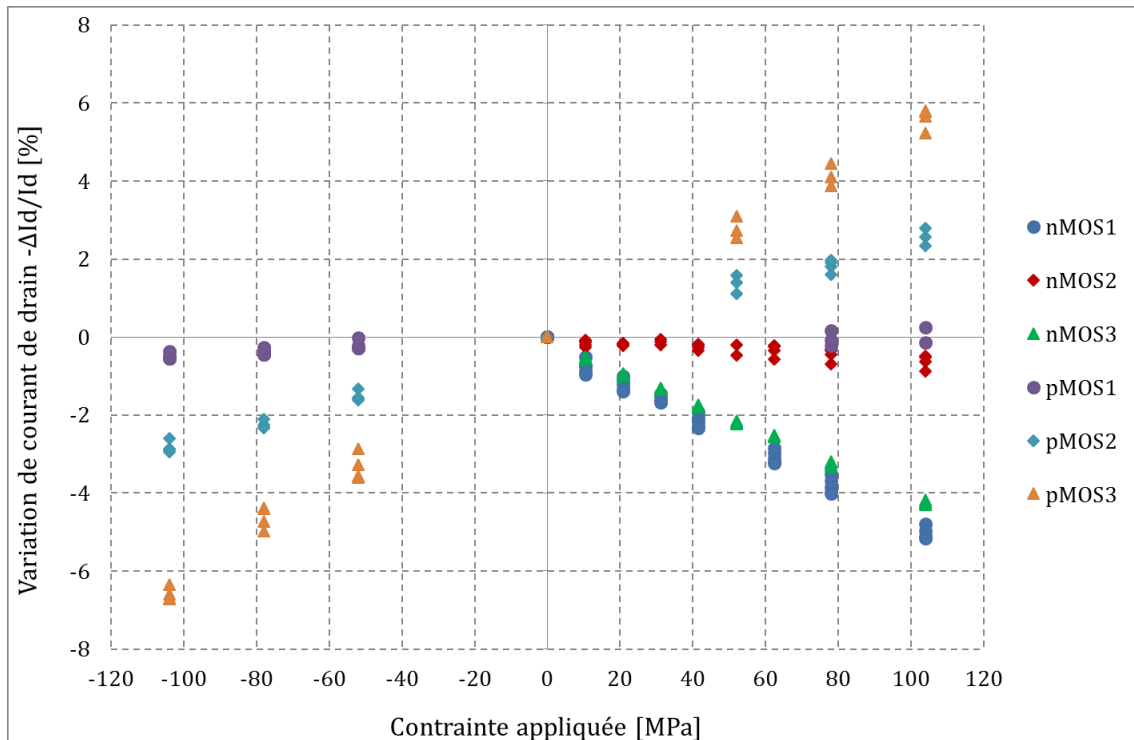


Figure 3. 15 – Variations de courants de drain en fonction de la contrainte appliquée pour différentes valeurs de la tension de grille sur la technologie CMOS 65nm.

Les valeurs médianes des variations de courants de drain pour l'ensemble des tensions de grille et pour chaque niveau de contrainte ont été déterminées et résumées dans le [Tableau 3. 2.](#)

Tableau 3. 2 – Tableau de variations de courants de drain en valeurs médianes pour différents niveaux de contrainte : capteurs CMOS 65nm

Niveaux de contrainte [MPa]	Variations de courants de drain [%]					
	nMOS1	nMOS2	nMOS3	pMOS1	pMOS2	pMOS3
-104	//	//	//	-0.51	-2.89	-6.65
-78	//	//	//	-0.40	-2.29	-4.57
-52	//	//	//	-0.25	-1.56	-3.57
0	0	0	0	0	0	0
10	0.73	0.15	0.54	//	//	//
21	1.21	0.20	0.96	//	//	//
31	1.61	0.12	1.33	//	//	//
42	2.17	0.22	1.78	//	//	//
52	//	0.34	2.19	//	1.40	2.74
62	3.11	0.23	2.54	//	//	//
78	3.84	0.34	3.26	-0.08	1.86	4.10
104	5.05	0.51	4.26	0.05	2.56	5.72

Dans le [Tableau 3. 2](#), les zones en double “slash” verts (//) représentent les contraintes non appliquées, et celles en double “slash” rouges (//) sont celles qui donnent des valeurs aberrantes.

Les courbes des variations de courants de drain en valeurs médianes en fonction des contraintes appliquées sont tracées sur la [Figure 3. 16](#).

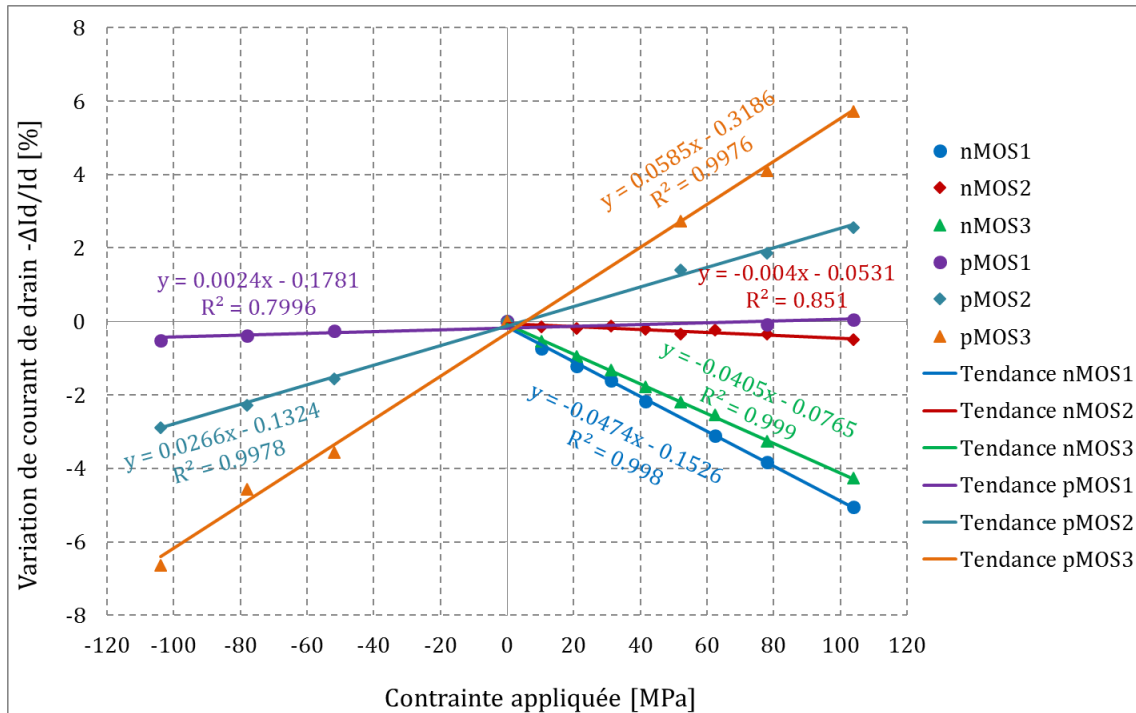


Figure 3. 16 – Courbes de variations de courants de drain en valeurs médianes en fonction des contraintes appliquées sur la technologie CMOS 65nm.

On peut remarquer que les points pour chaque type de MOS (n&p) sont plus ou moins alignés et que les droites de tendance passent près de l’origine des axes, ce qui justifie la fiabilité du dispositif expérimental. On remarque une décroissance des courbes des nMOS et une croissance de celles des pMOS. On peut aussi remarquer que le coefficient de régression ( $R^2$ ) le plus élevé est de 0.999 correspondant à la courbe des nMOS3 et celui le plus faible est de 0.7996 correspondant à la courbe des pMOS1. On peut en conclure que les coefficients sont correctement identifiés.

Pour chaque type de MOS et pour chaque niveau de contrainte, les écarts type sont calculés et représentés dans le [Tableau 3. 3](#).

On remarque que pour l’ensemble des MOS, la valeur maximale de ces écarts type est de 0.32% correspondant à celles des pMOS3. Mais comparée aux variations dudit MOS, elle reste faible.

Tableau 3. 3 – Tableau des écarts type sur les variations de courants de drain : Capteurs CMOS 65nm

Niveaux de contrainte [MPa]	Ecart type sur les variations de courants de drain [%]					
	nMOS1	nMOS2	nMOS3	pMOS1	pMOS2	pMOS3
-104	//	//	//	0.08	0.15	0.17
-78	//	//	//	0.08	0.11	0.29
-52	//	//	//	0.13	0.13	0.32
0	0	0	0	0	0	0
10	0.17	0.07	0.02	//	//	//
21	0.16	0.03	0.03	//	//	//
31	0.1	0.07	0.02	//	//	//
42	0.17	0.06	0.02	//	//	//
52	//	0.18	0.03	//	0.24	0.28
62	0.17	0.15	0.02	//	//	//
78	0.2	0.16	0.05	0.2	0.16	0.29
104	0.17	0.16	0.04	0.29	0.23	0.27
Ecart type maximal	0.2	0.18	0.05	0.29	0.24	0.32

A partir des relations décrites ci-dessus et des courbes de la [Figure 3. 16](#), les coefficients piézorésistifs des capteurs MOS embarqués sur la technologie C65 ont été déterminés et les résultats représentés dans le [Tableau 3. 4](#).

En prenant les valeurs maximales des écarts type ainsi que les niveaux de contrainte correspondants, les erreurs sur le calcul des coefficients piézorésistifs ont été évaluées et sont également indiquées dans le [Tableau 3. 4](#).

Tableau 3. 4 – Coefficients piézorésistifs des capteurs MOS extraits sur la technologie CMOS 65nm

nMOS [ $10^{-11}\text{Pa}^{-1}$ ]			pMOS [ $10^{-11}\text{Pa}^{-1}$ ]		
$\pi_{11}$	$\pi_{12}$	$\pi_{44}$	$\pi_{11}$	$\pi_{12}$	$\pi_{44}$
-47.4±3.8	-4±1.2	-29.4±3.8	2.4±0.5	26.6±2.4	88±10.3

La dispersion reste assez faible par rapport aux valeurs médianes, sauf pour le  $\pi_{12}$  du nMOS (30%) et le  $\pi_{11}$  du pMOS (21%). Cela est dû au fait que les variations des nMOS2 et pMOS1 sont faibles, mais de façon générale, les écarts des coefficients semblent être raisonnables.

## 2. Technologie BiCMOS 55nm

Dans cette technologie, les capteurs (MOS 4x4 $\mu\text{m}^2$ ) ont été dessinés sous un *bump* au coin de la puce ([Figure 3. 17](#)).

Les paramètres électriques pour cette technologie sont les mêmes que ceux définis pour la technologie CMOS65 sauf qu'ici la tension grille-source ( $V_{GS}$  ou  $V_g$ ) est variée de 0 à  $\pm 0.9\text{V}$ .



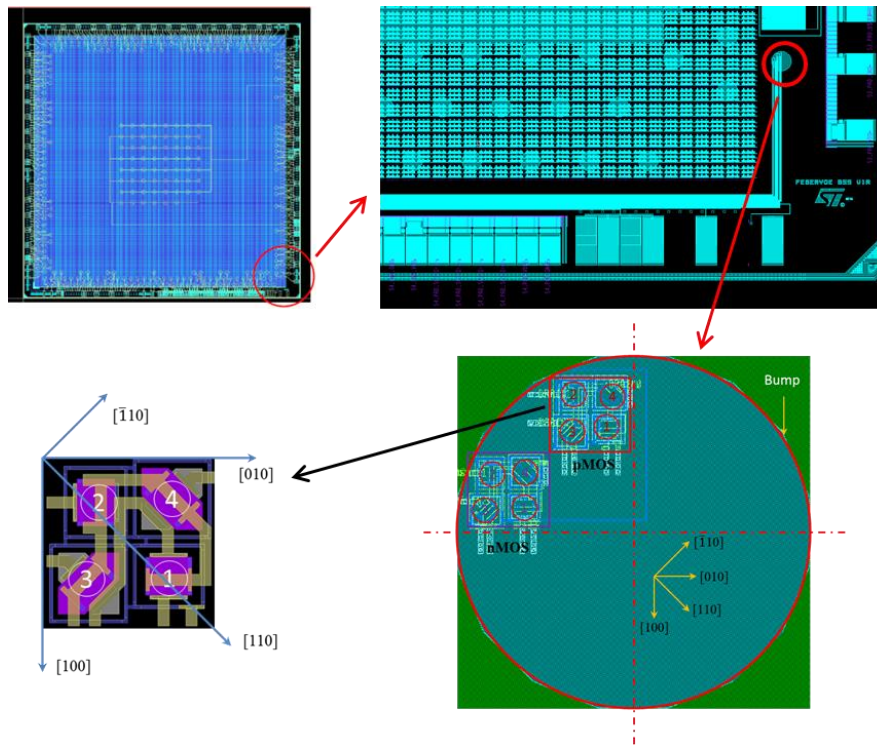


Figure 3. 17 – Structure de test : localisation des capteurs sur la technologie BiCMOS55.

Les paramètres dimensionnels sont les mêmes que pour la technologie CMOS 65nm. L'étude de l'impact de la tension de grille sur les coefficients n'est pas abordée dans cette partie, car étant faite sur le CMOS 65nm, on estime que l'impact sur les valeurs des coefficients seront négligeables.

Les courants de drain en fonction de la tension de la grille pour chaque niveau de contraintes sont représentés sur la [Figure 3. 18](#).

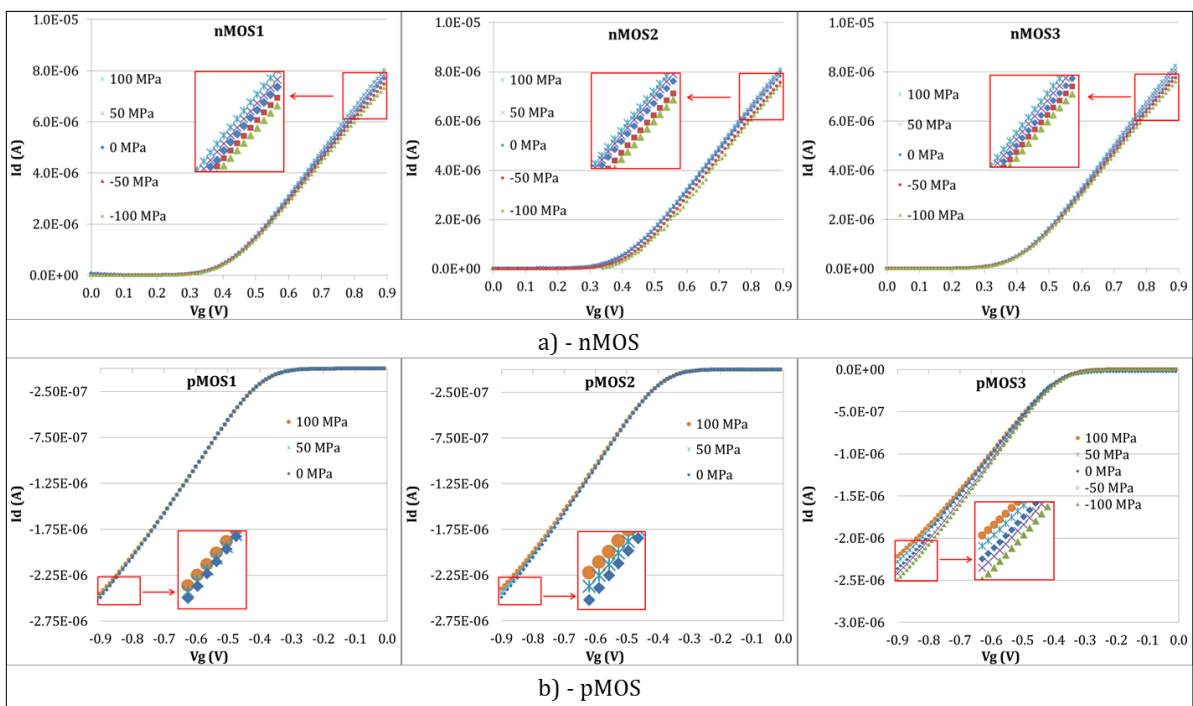


Figure 3. 18 – Variations de courants de drain des a)- nMOS et b)- pMOS en fonction de la tension de grille pour différents niveaux de contrainte sur la technologie BiCMOS 55nm.

D'après la [Figure 3. 18](#), la valeur (absolue) du courant de drain augmente en fonction de la tension de grille appliquée (en valeur absolue). Un léger décalage régulier des courbes de chaque niveau de contrainte est observé (décalage vers la gauche).

Pour cette partie, seules les valeurs de courants de drain correspondant à  $V_g$  égale à 0.9V pour les nMOS et -0.9V pour les pMOS sont utilisées.

Les variations de courants de drain pour différents niveaux de contrainte ont été déterminées et sont résumées dans le [Tableau 3. 5](#). Comme précédemment, les zones en double "slash" verts (//) représentent les contraintes non appliquées.

Tableau 3. 5 – Tableau de variations de courants de drain pour différents niveaux de contrainte pour  $V_g = \pm 0.9V$  : capteurs BiCMOS 55nm

Niveaux de Contrainte [MPa]	Variations de courants de drain [%]					
	nMOS1	nMOS2	nMOS3	pMOS1	pMOS2	pMOS3
-100	-4.23	-3.26	-3.96	//	//	5.93
-50	-1.96	-2.07	-1.97	//	//	3.00
0	0	0	0	0	0	0
50	1.93	1.92	2.08	-0.87	-1.90	-3.05
100	4.35	3.26	3.89	-1.73	-3.77	-6.00

On peut remarquer une plus grande sensibilité du nMOS1 (dans la direction [100]) et du pMOS3 (dans la direction [110]).

Les variations de courants de drain en fonction de la contrainte appliquée sont représentées sur la [Figure 3. 19](#).

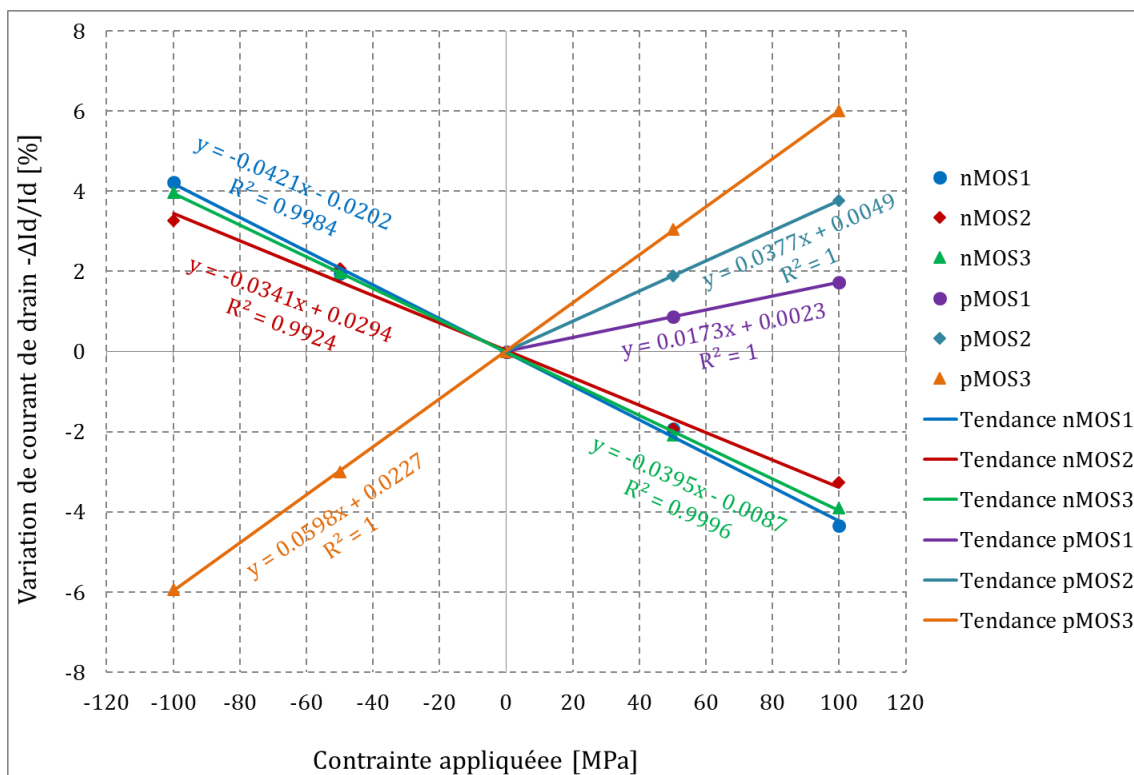


Figure 3. 19 – Courbes de variations de courants de drain en fonction de la contrainte appliquée sur la technologie BiCMOS 55nm.

Ici aussi, une bonne linéarité des courbes est obtenue avec un écart type minimal de 0.9924. Comme pour le cas des capteurs du CMOS 65nm, les nMOS et les pMOS sont plus sensibles respectivement dans les directions [100] (nMOS1) et [110] (pMOS3). On peut aussi remarquer (Figure 3. 19) une décroissance des courbes des nMOS et une croissance de celles des pMOS.

Les valeurs des coefficients piézorésistifs déterminés à partir de la relation (3.4) sont présentées dans le Tableau 3. 6.

Tableau 3. 6 – Coefficients piézorésistifs des capteurs MOS extraits sur la technologie BiCMOS 55nm

nMOS [ $10^{-11}\text{Pa}^{-1}$ ]			pMOS [ $10^{-11}\text{Pa}^{-1}$ ]		
$\pi_{11}$	$\pi_{12}$	$\pi_{44}$	$\pi_{11}$	$\pi_{12}$	$\pi_{44}$
-42.1±3.9	-34.1±5.2	-2.9±0.3	17.3±0.8	37.7±1.8	64.7±3.3

### 3. Technologie CMOS 40nm

Les capteurs ( $10 \times 10 \mu\text{m}^2$ ) utilisés dans cette technologie ont été intégrés dans une zone isolée (Figure 3. 20) loin des structures (TSV, *bumps*, ...) qui pourraient les contraindre.

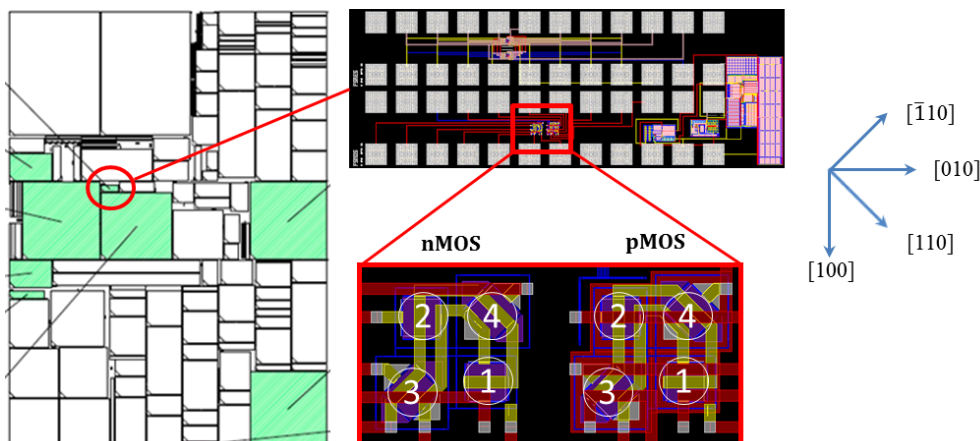


Figure 3. 20 – Structure de test : localisation des capteurs sur la technologie CMOS 40nm.

Pour cette technologie, les valeurs de la tension de grille prises en compte sont 1.2V pour les nMOS et -1.2V pour les pMOS. Un problème de contact ayant survécu lors de ce test, le pMOS4 est mesuré à la place du pMOS2. En effet, la technique consiste à mesurer trois MOS sur quatre et établir la relation qui correspond à chaque MOS permettant de déterminer les trois coefficients.

Notons qu'on peut adopter plusieurs méthodes de calibration, et sur la plaquette <100> une nouvelle méthode est décrite.

Après avoir mesuré le MOS1 sur l'échantillon découpé dans la direction [100], on mesure les MOS3 et MOS4 sur l'échantillon découpé dans la direction [110]. Les trois courbes ont pour équations (3.15) :

$$\begin{aligned}
 \text{MOS1} : & \left( 0, -\frac{\Delta I_{d1}^1}{I_{d1}^0}, -\frac{\Delta I_{d1}^2}{I_{d1}^0}, -\frac{\Delta I_{d1}^3}{I_{d1}^0}, \dots \right) = f(0, \sigma_1, \sigma_2, \sigma_3, \dots) \\
 \text{MOS3} : & \left( 0, -\frac{\Delta I_{d3}^1}{I_{d3}^0}, -\frac{\Delta I_{d3}^2}{I_{d3}^0}, -\frac{\Delta I_{d3}^3}{I_{d3}^0}, \dots \right) = f(0, \sigma_1, \sigma_2, \sigma_3, \dots) \\
 \text{MOS4} : & \left( 0, -\frac{\Delta I_{d4}^1}{I_{d4}^0}, -\frac{\Delta I_{d4}^2}{I_{d4}^0}, -\frac{\Delta I_{d4}^3}{I_{d4}^0}, \dots \right) = f(0, \sigma_1, \sigma_2, \sigma_3, \dots)
 \end{aligned} \tag{3.15}$$

Les pentes des droites de tendance des courbes relatives respectivement aux MOS1, MOS3 et MOS4 sont notées  $a_1$ ,  $a_3$  et  $a_4$ .

A partir de la relation (3.4), le coefficient piézorésistif  $\pi_{11}$  peut être déterminé, c'est-à-dire  $\pi_{11} = a_1$ . L'expression de la pente  $a_3$  étant déjà connue (3.4), celle de  $a_4$  s'écrit à partir de la relation (3.6) :

$$a_4 = \frac{1}{2} (\pi_{11} + \pi_{12} - \pi_{44}) \tag{3.16}$$

Des expressions de  $a_1$ ,  $a_3$  et  $a_4$ , on peut en déduire :

$$\pi_{44} = a_3 - a_4 \text{ et } \pi_{12} = a_3 + a_4 - a_1 \tag{3.17}$$

Les variations de courants de drain pour différents niveaux de contrainte ont été déterminées et sont résumées dans le [Tableau 3. 7](#). Comme précédemment, les zones en double "slash" rouges (//) représentent les valeurs aberrantes donc non prises en compte.

Tableau 3. 7 – Tableau de variations de courants de drain pour différents niveaux de contrainte : capteur CMOS 40nm

Niveau de contrainte [MPa]	Variations de courants de drain [%]					
	nMOS1	nMOS2	nMOS3	pMOS1	pMOS3	pMOS4
-100	-4.74	//	-3.91	0.45	5.32	-3.88
-50	//	-0.52	-1.88	0.25	3.35	-2.10
-25	//	-0.42	-0.96	0.09	1.58	-1.30
0	0	0	0	0	0	0
25	1.07	0.24	1.14	-0.04	-1.72	1.11
50	1.99	0.32	2.17	-0.09	-3.44	2.19
100	3.69	0.82	4.18	-0.41	-6.48	4.15

On remarque aussi ici une plus grande sensibilité du nMOS1 (dans la direction [100]) et du pMOS3 (dans la direction [110]). On peut être tenté de conclure que les nMOS sont plus sensibles dans la direction [100] alors que pour les pMOS c'est dans la direction [110]. Les variations de courants de drain en fonction de la contrainte appliquée sont représentées sur la [Figure 3. 21](#).

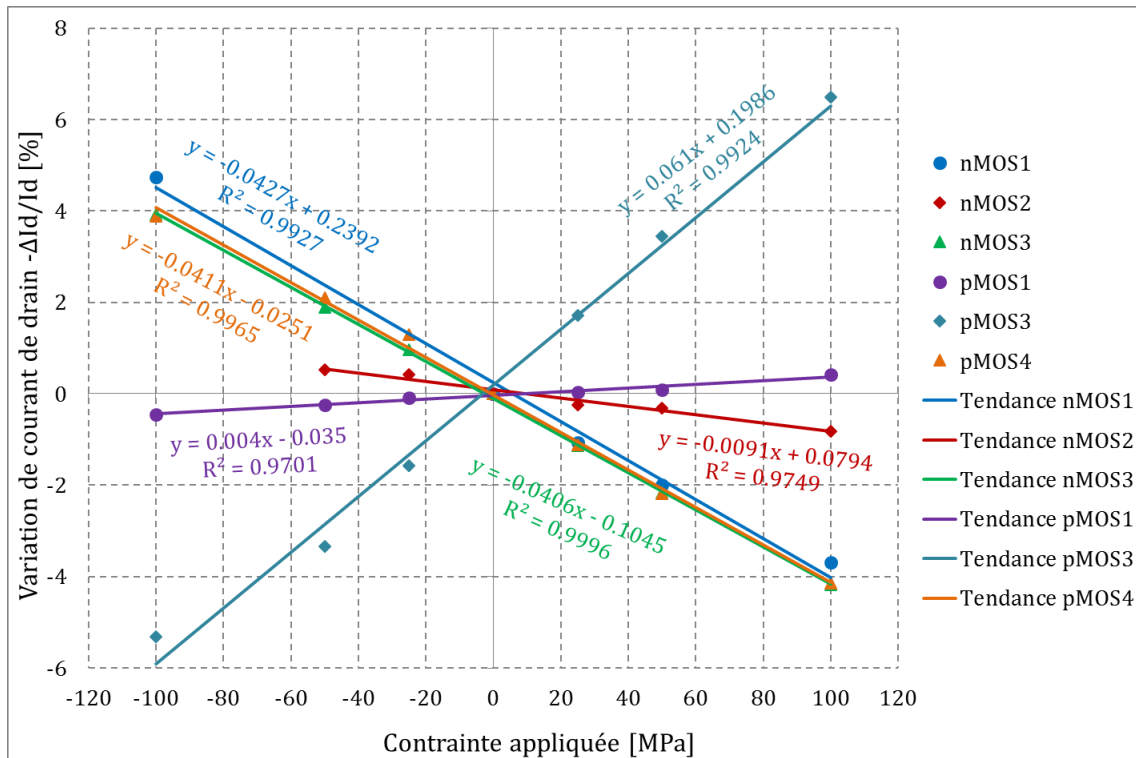


Figure 3. 21 – Courbes de variations de courants de drain en fonction de la contrainte appliquée sur la technologie CMOS 40nm.

Les mêmes remarques sur la linéarité des courbes des précédents résultats peuvent être faites dans cette partie avec un coefficient de régression minimal de 0.9701 (ce qui est acceptable). L'étude de l'impact de la tension de grille n'est pas non plus faite dans cette partie pour les mêmes raisons que précédemment.

Les valeurs des coefficients piézorésistifs déterminés à partir de la relation (3.4) sont présentées dans le [Tableau 3. 8](#).

Tableau 3. 8 – Coefficients piézorésistifs des capteurs MOS extraits sur la technologie CMOS 40nm

nMOS [ $10^{-11}\text{Pa}^{-1}$ ]			pMOS [ $10^{-11}\text{Pa}^{-1}$ ]		
$\pi_{11}$	$\pi_{12}$	$\pi_{44}$	$\pi_{11}$	$\pi_{12}$	$\pi_{44}$
-42.7±7	-9.1±2.6	-29.4±4.3	4.1±1.2	15.9±2.9	102.1±18.9

#### 4. Autres tests

Dans cette partie, le test de calibration a été effectué sur des MOS ( $10 \times 10 \mu\text{m}^2$  [Figure 3. 22](#)) dans la technologie CMOS 90nm au CMP de Gardanne avec la machine présentée sur la [Figure 3. 2](#). Ce test a été repris à ST Crolles avec la machine illustrée par la [Figure 3. 6](#) afin de comparer les résultats obtenus. Les procédures sont les mêmes que précédemment sauf qu'ici la plaquette est de type <110> et que l'échantillon est seulement découpé dans la direction [110].

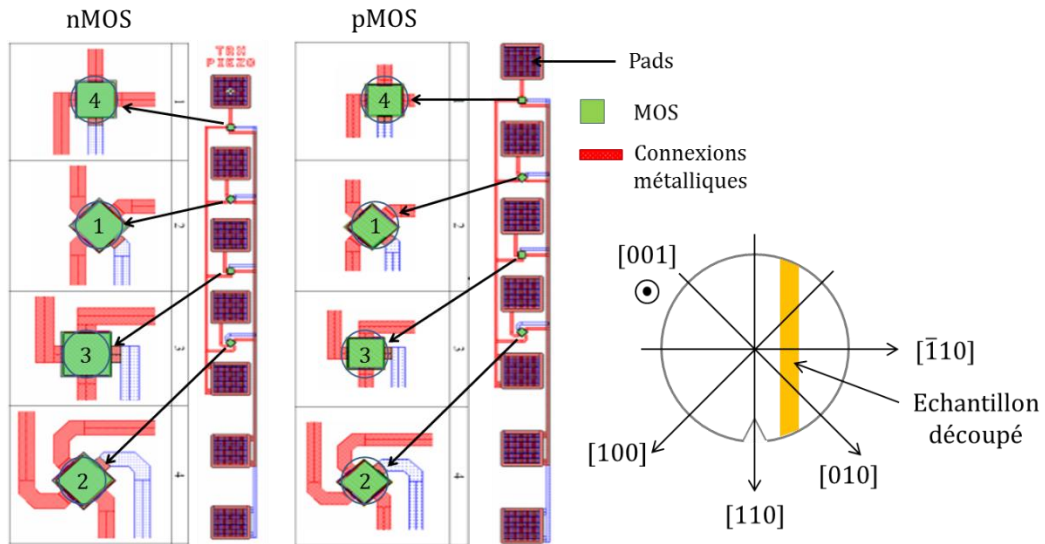


Figure 3.22 – Structure de test : localisation des MOS sur la technologie CMOS 90nm.

Les variations de courants de drain en fonction de la contrainte appliquée sont représentées dans le [Tableau 3.9](#) et tracées sur la [Figure 3.23](#).

Seuls les MOS3 et MOS4 ont été mesurés car il n’y a qu’un seul échantillon disponible.

Tableau 3.9 – Tableau de variations de courants de drain pour différents niveaux de contrainte : capteur CMOS 90nm

Niveau de Contrainte [MPa]	Variations de courants de drain [%]			
	nMOS3	nMOS4	pMOS3	pMOS4
0	0	0	0	0
52	2.59	1.15	-4.03	2.32
104	5.16	2.43	-7.51	4.51

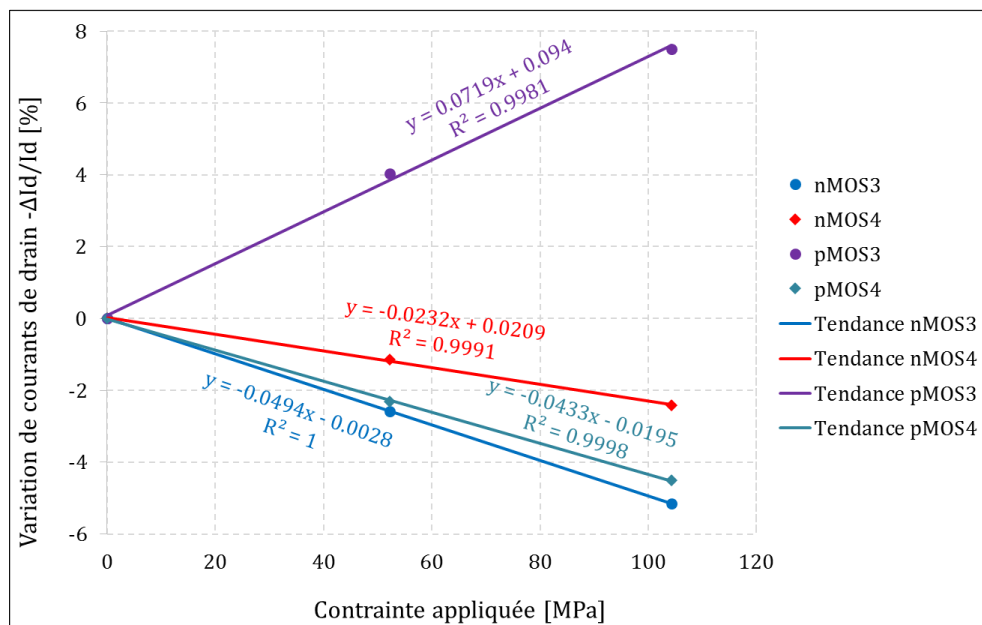


Figure 3.23 – Courbes de variations de courants de drain en fonction de la contrainte appliquée sur la technologie CMOS 90nm.

Une bonne linéarité des courbes est observée avec des coefficients de régression assez satisfaisants. Les coefficients piézorésistifs longitudinal ( $\pi_L$ ) et transverse ( $\pi_T$ ) correspondent aux pentes des courbes dont les expressions sont décrites dans la relation (3.6), c'est-à-dire :  $\pi_L = b_3$  et  $\pi_T = b_4$ . Ces coefficients ainsi que ceux déterminés par la machine du CMP sont représentés dans le [Tableau 3. 10](#).

On parle de  $\pi_L$  lorsque la direction d'application de la contrainte est la même que celle du canal du MOS. Et  $\pi_T$  lorsque les deux directions sont perpendiculaires.

Généralement sur une plaquette  $\langle 100 \rangle$ , on écrit :  $\pi_L = \pi_{11}$  et  $\pi_T = \pi_{12}$ . Alors que sur une plaquette  $\langle 110 \rangle$ ,  $\pi_L = \frac{1}{2}(\pi_{11} + \pi_{12} + \pi_{44})$  et  $\pi_T = \frac{1}{2}(\pi_{11} + \pi_{12} - \pi_{44})$ .

Tableau 3. 10 – Tableau comparatif des coefficients extraits sur la technologie CMOS 90nm

	nMOS [ $10^{-11}\text{Pa}^{-1}$ ]		pMOS [ $10^{-11}\text{Pa}^{-1}$ ]	
	$\pi_L$	$\pi_T$	$\pi_L$	$\pi_T$
ST Crolles (1)	-49.4	-23.2	71.9	-43.3
CMP Gardanne (2)	-57.5	-26	97.8	-47.4
Différence (1)-(2)	8.1	2.8	-25.9	4.1
(%)	(14%)	(11%)	(26%)	(9%)

On remarque une différence des coefficients déterminés par les deux machines. Cette différence est plus importante pour le coefficient longitudinal ( $\pi_L$ ) du pMOS. Mais pour les autres, elle est acceptable.

Il est à noter que les résultats obtenus par la machine de CMP ne sont pas des résultats de référence car, tel que mentionné plus haut, le calcul de la contrainte se fait par mesure du rayon de courbure de l'échantillon à l'aide d'une caméra. La marge d'erreur est donc plus importante. De plus, la nouvelle machine à ST Crolles est plus pratique et plus précise quant à l'application de la contrainte, car la force appliquée se lit directement via un logiciel.

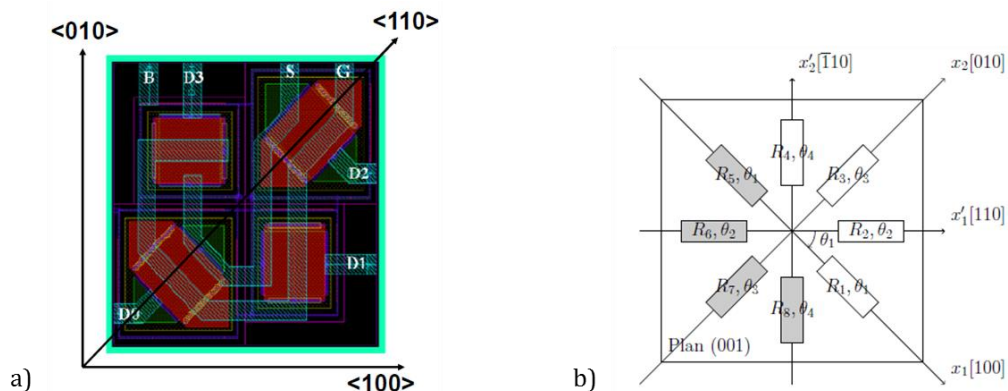


Figure 3. 24 – a)- Capteur type MOS dans l'imager BSI140, b)- capteur type résistance active dans PIC25 [Vianne, 2014].

## 5. Bilan

Les coefficients piézorésistifs déterminés par le test de calibration ont été mis en comparaison avec d'autres coefficients, on note ([Tableau 3. 11](#)) :

Tableau 3. 11 – Tableau comparatif des coefficients piézorésistifs (en  $10^{-11}$  MPa<sup>-1</sup>) sur une plaquette (001)

	$\pi_{11}$	$\pi_L$	$\pi_{12}$	$\pi_T$	$\pi_{44}$
<b>nMOS</b>					
CMOS65	-47.4	//	-4	//	-29.4
BiCMOS55	-42.09	//	-34.19	//	-2.89
CMOS40	-42.68	//	-9.09	//	-29.35
CMOS40 <sup>4</sup>	-40	//	-12	//	-40
CMOS90	//	-57.5	//	-26	//
BSI140 <sup>5</sup>	-56.6	//	-60.9	//	-60.9
MOSFETs <b>[Thompson, 2006]</b>	-42.6	//	-20.7	//	-21
Résistances actives <b>[Vianne, 2014]</b>	-96.1	//	42.8	//	-63.2
Bulk <b>[Smith, 1954]</b>	-102.2	//	53.4	//	-13.6
<b>pMOS</b>					
CMOS65	2.4	//	26.6	//	88
BiCMOS55	17.32	//	37.66	//	64.69
CMOS40	4.05	//	15.94	//	102.1
CMOS40 <sup>4</sup>	3	//	20	//	147
CMOS90		97.8	//	-47.4	//
BSI140 <sup>5</sup>	29.2	//	-4.2	//	133
MOSFETs <b>[Thompson, 2006]</b>	9.1	//	-6.2	//	105.5
Résistances actives <b>[Vianne, 2014]</b>	5.3	//	2.3	//	125.8
Bulk <b>[Smith, 1954]</b>	6.6	//	-1.1	//	138.1

Afin de faciliter la comparaison des coefficients pour les différentes technologies, un diagramme est tracé sur la [Figure 3. 25](#).

<sup>4</sup> Calibration effectuée au CMP sur une autre technologie CMOS40nm

<sup>5</sup> Calibration effectuée à ST Crolles sur une autre technologie Imager BSI140nm



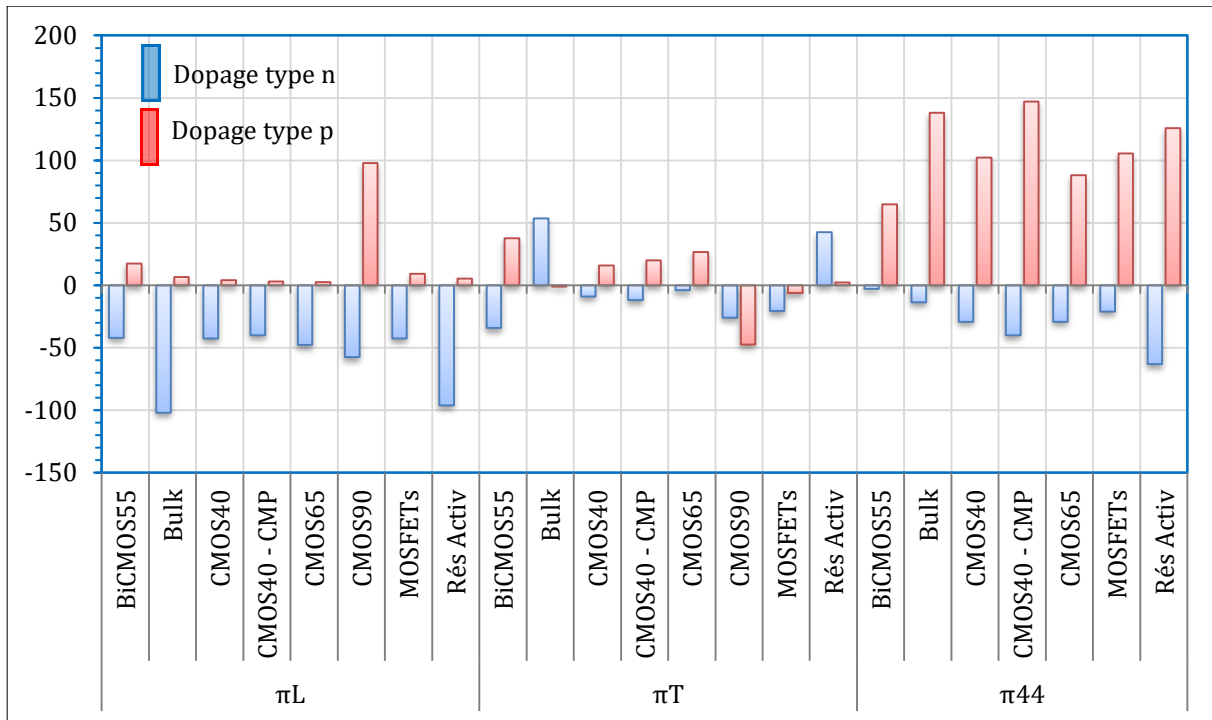


Figure 3. 25 – Diagramme comparatif des coefficients piézorésistifs.

On peut remarquer que les valeurs des coefficients diffèrent d'une technologie à une autre qui peut-être dû à des niveaux de dopage différents et à des différences au niveau des dimensions géométriques des MOS. Il est donc nécessaire de calibrer systématiquement les capteurs utilisés pour le calcul des contraintes.

Kanda et *al.* [Kanda, 1982] donnent une carte des valeurs des coefficients selon les directions pour une concentration donnée de dopants, à température ambiante.

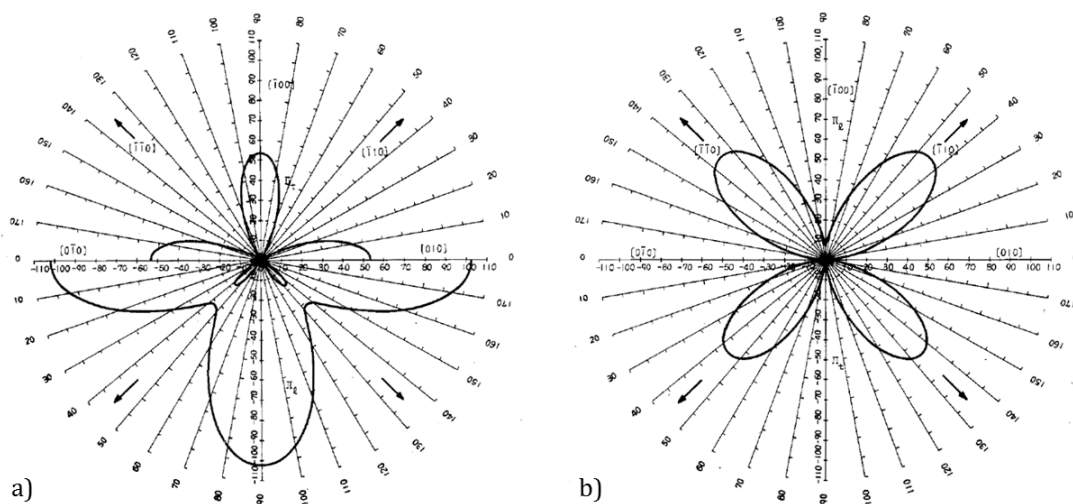


Figure 3. 26 – Coefficients piézorésistifs à température ambiante sur un substrat de silicium orienté (001) dopé a)- N ( $10^{-12} \text{ cm}^2/\text{dyne}$ ) et b)- P ( $10^{-12} \text{ cm}^2/\text{dyne}$ ) [Kanda, 1982].

D'après la Figure 3. 26, pour un canal orienté dans la direction [100] ou [010], les dopants de type N provoquent plus de mobilité donc un coefficient élevé dans cette direction que les dopants de type P. L'effet inverse est observé pour le canal orienté dans la direction

[110] ou  $[\bar{1}10]$ . On peut donc en déduire que les nMOS sont plus sensibles dans la direction [100] alors que les pMOS sont plus sensibles dans la direction [110]. En effet, l'application de la contrainte dans la direction [100] fait varier significativement la position en énergie des vallées des électrons **[Skotnicki, 2008]**, ce qui engendre une masse de conduction équivalente plus faible et donc une mobilité plus forte. Alors que dans la direction [110], la variation est moins importante. Quant aux trous, la grande variation est plutôt observée dans la direction [110].

## SYNTHESE III

---

Dans ce chapitre, nous avons décrit différentes méthodes de calibration. La méthode de flexion quatre-points étant la mieux adaptée pour les tests de calibration, une machine de flexion quatre-points a donc été conçue et fabriquée.

Les capteurs intégrés sur différentes technologies telles que CMOS65, BiCMOS55, CMOS40, BSI140 et PIC25 ont été calibrés avec cette machine.

On rappelle qu'il est nécessaire de faire de la calibration des capteurs, car les coefficients de sensibilité de ces capteurs entrent dans le calcul des contraintes.

Comparés à d'autres coefficients obtenus avec des essais de calibration, on remarque des différences d'une technologie à une autre. Ce qui montre qu'une calibration systématique de tout type de capteur est nécessaire pour la détermination des contraintes.

L'on peut affirmer que la technique de calibration adoptée pour extraire les coefficients piézorésistifs est assez fiable car les équipements utilisés sont d'une bonne précision.

Pour les capteurs calibrés dans ce travail, on remarque de façon générale une plus forte sensibilité des nMOS dans les directions [100] ou [010] et une forte sensibilité dans les directions [110] ou  $[\bar{1}10]$  pour les pMOS. Ceci coïncide avec les résultats présentés dans le travail de Kanda [**Kanda, 1982**].

Dans la partie suivante, nous présenterons les résultats des contraintes induites dans les puces à l'aide des capteurs.

## ABSTRACT III

---

**A**s shown in this chapter, different calibration methods can be used. The four-points bending method being the suitable one for calibration, a dedicated four-points bending machine was designed and fabricated.

The sensors embedded into different technologies, such as CMOS65, BiCMOS55, CMOS40, BSI140 and PIC25, were calibrated with this machine.

It reminds that, it is necessary to proceed to sensors calibration, because the sensitivity coefficients of these sensors are used for stress calculation.

Compared to other coefficients from the literature, differences from one technology to another are observed.

This shows that stress assessment requires a systematic calibration stage for every type of sensor.

One can state that, the adopted calibration method for the extraction of piezoresistive coefficients is quite reliable since the equipment used here have good accuracy.

For the sensors calibrated in this work, it can be noted that nMOS are more sensitive in [100] and [010] directions, and pMOS more sensitive in [110] and  $[\bar{1}10]$  directions. This observation is in good agreement with the work of Kanda [**Kanda, 1982**].

In the following, the results of stress induced in chips thanks to sensors will be presented.



## CHAPITRE IV : EVALUATION DES CONTRAINTES

---

La nécessité de calibrer chaque type de capteur a été montrée. De plus, les éléments de la puce tels que les bumps, les TSV, les boitiers génèrent des contraintes plus ou moins importantes dans les produits. Dans cette perspective, les capteurs calibrés seront utilisés dans cette partie pour la détermination des champs de contraintes dans les puces électroniques.

Nous étudierons la contrainte induite par le TSV et son impact sur la mobilité des transistors. Nous aborderons ensuite l'étude de l'impact de la mise en boitier des puces avec des architectures 3D et 2D sur différentes technologies (CMOS65 et BiCMOS55).

Notons que les erreurs sur les coefficients piézorésistifs induisent moyennement des erreurs sur les contraintes d'environ 15%.

### **I. Stratégie de test et études de variabilité**

Pour déterminer une contrainte induite par un procédé, on doit faire des mesures électriques sur les capteurs avant et après ce procédé. Les mesures avant le procédé sont réalisées sur un grand nombre de puces sur une plaquette. Ces mesures donnent généralement des différences de valeurs d'une puce à une autre. Ces différences sont appelées variabilité intra-plaque ou inter-puces et variabilité inter-plaques (lorsque plusieurs plaquettes sont analysées).

Afin d'évaluer l'ordre de grandeur de ces variabilités, une série de mesures a été effectuée sur des capteurs (technologie CMOS65nm). 15 puces ont été mesurées sur  $\frac{1}{4}$  de plaquette<sup>6</sup> à l'aide d'un "prober" (Figure 4. 1).

---

<sup>6</sup> Plaquette disponible pendant la période du test

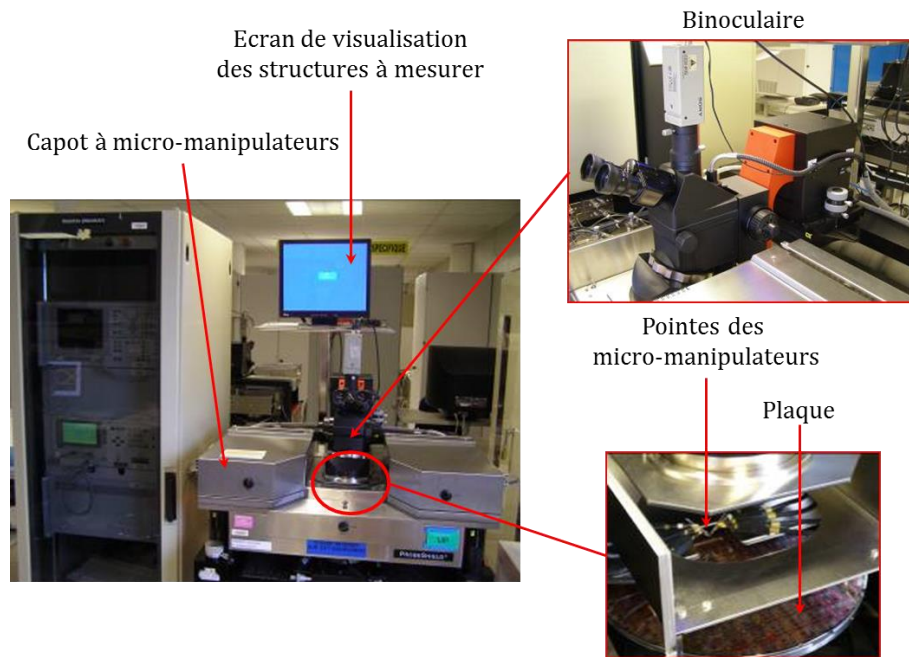


Figure 4. 1 – Equipement de mesures électriques (*Prober*) à ST Crolles.

On dispose de deux types de plaquettes de la même technologie : une plaquette avec TSV (*Wt TSV*) d'un lot identifié par le numéro Q212KIW qui a suivi toutes les étapes de fabrication (du silicium vierge jusqu'au procédé TSV), et une sans TSV (*Wo TSV*) d'un autre lot Q144HVZ qui a suivi aussi les mêmes étapes sauf celle du TSV. Les conditions de mesure sont les mêmes pour les deux mesures. On fixe la tension  $V_d$  à  $\pm 50\text{mV}$  et la tension  $V_g$  à  $\pm 1.2\text{V}$  tout en mesurant le courant de drain à température ambiante ( $25^\circ\text{C}$ ). Les valeurs moyennes, minimales et maximales des nMOS et pMOS sont représentées sur les diagrammes des [Figure 4. 2](#) et [Figure 4. 3](#).

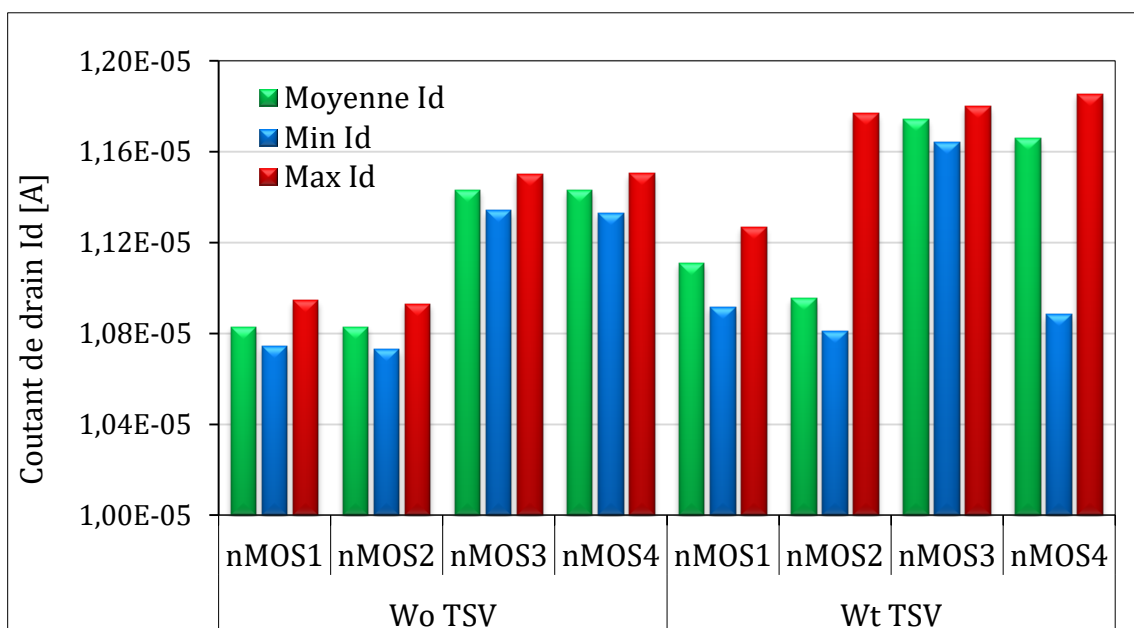


Figure 4. 2 – Diagramme représentatif des valeurs moyennes, minimales et maximales des nMOS sur les 15 puces mesurées.

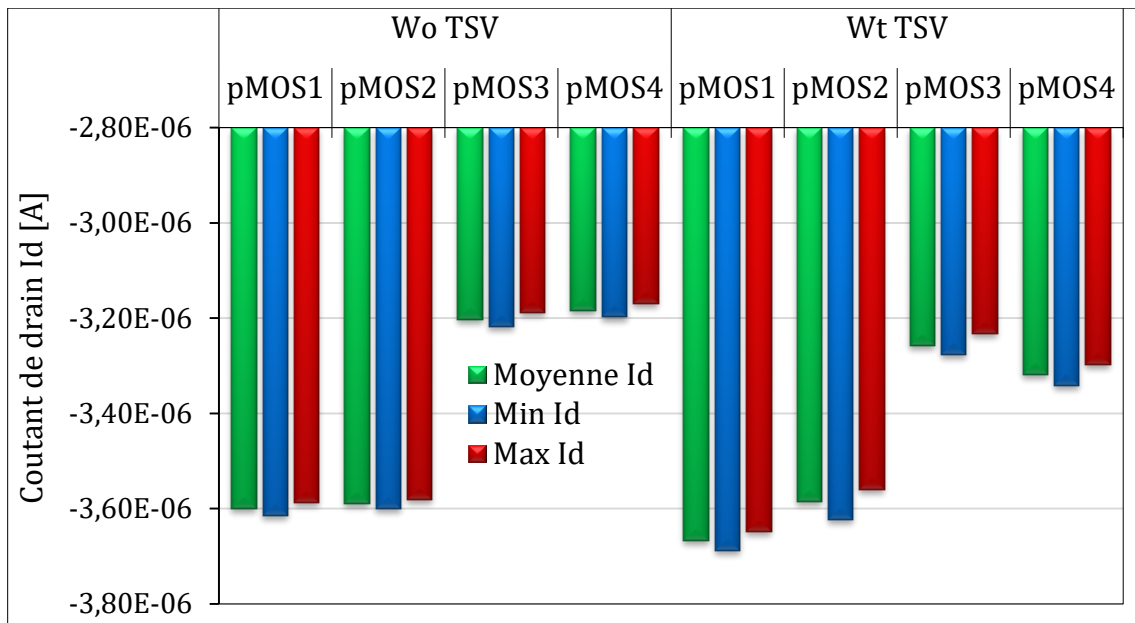


Figure 4. 3 – Diagramme représentatif des valeurs moyennes, minimales et maximales des pMOS sur les 15 puces mesurées.

On peut remarquer une dispersion plus importante pour les nMOS que pour les pMOS. Cette dispersion est plus prononcée sur la plaque avec TSV pour les nMOS2 et nMOS4 où la différence entre les valeurs maximale et minimale est environ de  $10^{-6}$ A.

Les écarts type de chaque type de MOS ainsi que les coefficients de variation sont représentés dans le [Tableau 4. 1](#).

Tableau 4. 1 – Valeurs des courants de drain mesurés sur 15 puces

	Courant de drain [ $\mu$ A]							
	nMOS1	nMOS2	nMOS3	nMOS4	pMOS1	pMOS2	pMOS3	pMOS4
	Wo TSV							
Min	10.75	10.73	11.34	11.33	-3.62	-3.60	-3.22	-3.20
Max	10.95	10.93	11.50	11.50	-3.59	-3.58	-3.19	-3.17
Médiane	10.82	10.84	11.44	11.43	-3.60	-3.59	-3.20	-3.19
Moyenne	10.83	10.83	11.43	11.43	-3.60	-3.59	-3.20	-3.19
Ecart-type	0.05	0.05	0.04	0.05	0.01	0.01	0.01	0.01
Coefficient de variation	0.46%	0.43%	0.38%	0.40%	0.23%	0.16%	0.28%	0.29%
	Wt TSV							
Min	10.92	10.81	11.64	10.88	-3.69	-3.62	-3.28	-3.34
Max	11.27	11.77	11.80	11.85	-3.65	-3.56	-3.23	-3.30
Médiane	11.15	10.90	11.75	11.73	-3.67	-3.59	-3.26	-3.32
Moyenne	11.11	10.96	11.74	11.66	-3.67	-3.59	-3.26	-3.32
Ecart-type	0.12	0.23	0.05	0.23	0.01	0.02	0.01	0.01
Coefficient de variation	1.04%	2.09%	0.39%	1.96%	0.34%	0.47%	0.37%	0.41%

Le coefficient de variation de courant de drain est déterminé à partir de la relation :

$$cv = \frac{ect}{moy} \quad (4.1)$$



Avec *cv* le coefficient de variation, *ect* l'écart type et *moy* la moyenne des valeurs.

D'après le tableau ci-dessus, les écarts type sont plus élevés sur la plaquette avec TSV. Sur cette plaquette, les valeurs de ces écarts type sont plus importantes pour les nMOS (maximale :  $0.23\mu\text{A}$ ) que pour les pMOS (maximale :  $0.02\mu\text{A}$ ). Il semblerait que les TSV aient des effets particulièrement différents d'une puce à une autre. Mais, en réalité, tel qu'on le verra par la suite, ce fort écart type peut être dû au fait que les mesures sont manuelles. En effet les résistances de contact entre les plots et les pointes sont modifiées à chaque mesure impactant ainsi les réponses électriques des MOS.

Le coefficient de variation donne une valeur maximale de l'ordre de 2%. Cet effet de dispersion est appelé variabilité inter-puces.

Il faut prendre en compte ce résultat, car il perturbe les résultats d'une évaluation des champs de contrainte, vu qu'une incertitude de 2% sur la variation de courant de drain équivaut environ à une incertitude de l'ordre de 50MPa sur la contrainte  $\sigma_{xx}$ , qui n'est pas négligeable.

Des travaux internes<sup>7</sup> ont également montré une forte variabilité sur les courants de l'ordre de 5% entre les puces d'une même plaquette et entre deux plaquettes de la même technologie. C'est la variabilité inter-plaques (Figure 4. 4).

Notons que cette valeur (5%) est très élevée car cette technologie est encore immature (en phase de développement).

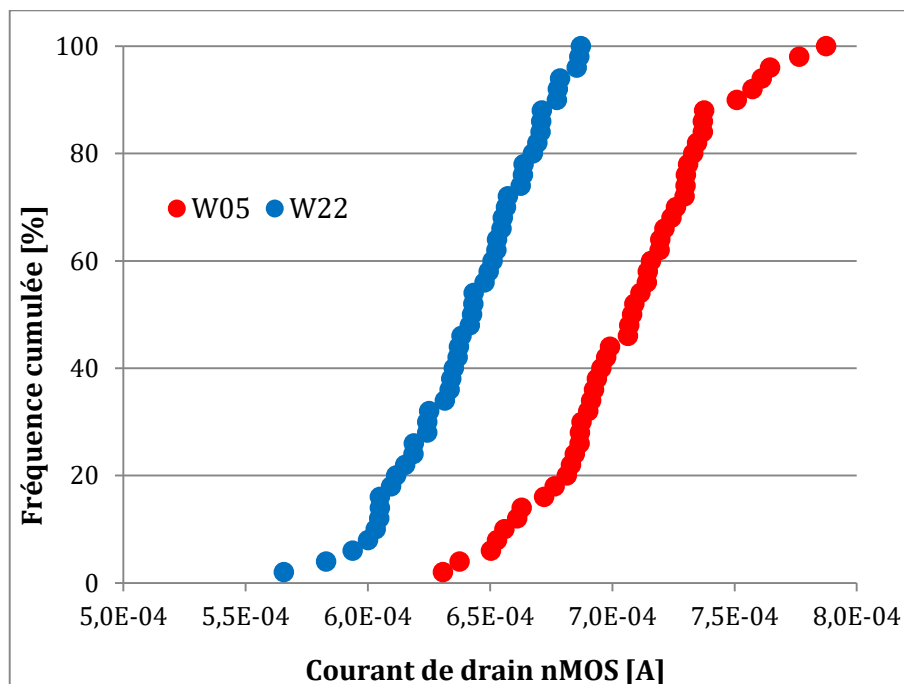


Figure 4. 4 – Courbes montrant la dispersion des courants de drain sur deux plaquettes (W05 et W22) de la technologie CMOS28.

Ces variabilités sont liées aux légères variations des paramètres (niveaux de dopage, positions des outils, etc.) intervenants durant les procédés de fabrication.

Dans la suite des travaux, pour la détermination des champs de contraintes, nous opterons pour le calcul des médianes car en microélectronique, les valeurs médianes sont

<sup>7</sup> Etudes effectuées à ST Crolles sur la technologie CMOS28

les plus considérées. Cette méthode permet de s'affranchir des éventuelles valeurs aberrantes qui peuvent être mesurées provenant d'une puce défectueuse.

A titre d'exemple, si on suppose que les mesures de courants de drain sur huit puces donnent environ  $2.5\mu\text{A}$  par puce et que deux autres puces issues de la même plaquette que les précédentes donnent respectivement  $1\mu\text{A}$  et  $-2\mu\text{A}$ , la médiane et la moyenne des dix mesures donneront respectivement  $2.5\mu\text{A}$  et  $1.9\mu\text{A}$ . On peut affirmer que la différence est bien grande entre la moyenne et la médiane et que les valeurs  $1\mu\text{A}$  et  $-2\mu\text{A}$  semblent clairement aberrantes.

## II. Etudes de contraintes induites par le TSV

Cette partie sera consacrée à la détermination des contraintes induites par le TSV aux moyens des capteurs embarqués ainsi que par la méthode des éléments finis.

### 1. Méthode expérimentale : utilisation des capteurs

Tel que présenté dans le chapitre 3, les capteurs MOS rosette (Figure 3. 13) ont été intégrés dans une plaquette <100> (du même lot Q212KIW) à proximité des TSV, à  $12\mu\text{m}$  du centre de ces derniers. Les mêmes capteurs sont également intégrés dans une autre plaquette issue du lot Q307IBB n'ayant pas subi le procédé TSV.

Il s'agit de deux rosettes n et p de part et d'autre du TSV.

Les deux plaquettes sont entières, permettant de faire des mesures automatiques sur un grand nombre de puces et donc d'obtenir plus de données.

Deux séries de mesures ont été effectuées : une première série sur WoTSV et une seconde sur WtTSV.

L'idée de ces tests est d'évaluer l'impact des TSV sur le fonctionnement de la puce à partir de la différence des mesures entre les deux plaquettes.

#### a. Description du formalisme du calcul des contraintes

Pour l'évaluation des contraintes, la relation (2.20) décrite dans le chapitre 2 sera utilisée. Pour rappel, on a :

$$\begin{cases} a_1\sigma_{xx} + b_1\sigma_{yy} + c_1\sigma_{zz} + d_1\sigma_{xy} = -\frac{\Delta I_{d1}}{I_{d1}^0} \\ a_2\sigma_{xx} + b_2\sigma_{yy} + c_2\sigma_{zz} + d_2\sigma_{xy} = -\frac{\Delta I_{d2}}{I_{d2}^0} \\ a_3\sigma_{xx} + b_3\sigma_{yy} + c_3\sigma_{zz} + d_3\sigma_{xy} = -\frac{\Delta I_{d3}}{I_{d3}^0} \\ a_4\sigma_{xx} + b_4\sigma_{yy} + c_4\sigma_{zz} + d_4\sigma_{xy} = -\frac{\Delta I_{d4}}{I_{d4}^0} \end{cases} \quad (4.2)$$

Puisque la plaquette <100> est utilisée dans cette partie, les coefficients sont alors :

$$a_1 = \pi_{11}; a_2 = \pi_{12}; a_3 = \frac{1}{2}(\pi_{11} + \pi_{12}); a_4 = \frac{1}{2}(\pi_{11} + \pi_{12})$$

$$b_1 = \pi_{12}; b_2 = \pi_{11}; b_3 = \frac{1}{2}(\pi_{11} + \pi_{12}); b_4 = \frac{1}{2}(\pi_{11} + \pi_{12})$$

$$c_1 = c_2 = c_3 = c_4 = \pi_{12}; d_1 = 0; d_2 = 0; d_3 = \pi_{44}; d_4 = -\pi_{44}$$

Les valeurs des coefficients piézorésistifs sont celles présentées dans le [Tableau 3. 4](#).

nMOS (en  $\cdot 10^{-11}\text{Pa}^{-1}$ ) :  $\pi_{11}=-47.4\pm 3.8$  ;  $\pi_{12}=-4\pm 1.2$  ;  $\pi_{44}=-29.4\pm 3.8$   
 pMOS (en  $\cdot 10^{-11}\text{Pa}^{-1}$ ) :  $\pi_{11}=2.4\pm 0.5$  ;  $\pi_{12}=26.6\pm 2.4$  ;  $\pi_{44}=88\pm 10.3$

La relation (4.2) peut-être écrite sous la forme :

$$\boxed{[A][X] = - [B]} \quad (4.3)$$

Avec [A] la matrice des coefficients  $a_i, b_i, c_i, d_i$  ; [X] la matrice des contraintes  $\sigma$  à déterminer et B la matrice des variations des courants  $\frac{\Delta I_{di}}{I_{di}^0}$ .

En ne considérant uniquement que les paramètres des nMOS ou que ceux des pMOS, on aura un système de quatre équations à quatre inconnues. L'inconnue X peut donc être déterminée par la relation :

$$\boxed{[X] = -[A]^{-1}[B]} \quad (4.4)$$

Avec  $[A]^{-1}$  l'inverse de la matrice [A].

La relation (4.4) a au moins une solution si et seulement si la matrice [A] est inversible, c'est-à-dire si le déterminant de A est non nul. On a :

$$[A] = \begin{bmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 \\ \frac{1}{2}(\pi_{11} + \pi_{12}) & \frac{1}{2}(\pi_{11} + \pi_{12}) & \pi_{12} & \pi_{44} \\ \frac{1}{2}(\pi_{11} + \pi_{12}) & \frac{1}{2}(\pi_{11} + \pi_{12}) & \pi_{12} & -\pi_{44} \end{bmatrix} \quad (4.5)$$

Le calcul du déterminant de la matrice [A] avec le logiciel Mathcad ([Annexe C](#)) donne une valeur nulle. [A] n'est donc pas inversible, et le système de quatre équations à quatre inconnues ne peut être résolu (ou bien le système n'admet aucune solution ou bien il admet une infinité de solutions).

La méthode qui convient le mieux est de combiner deux systèmes : un système de quatre équations à quatre inconnues relatif aux nMOS et un autre système de quatre équations à quatre inconnues relatif aux pMOS. La nouvelle relation est celle donnée par le système (4.6).

Notons que la notation  $\Delta\sigma$  est justifiée par le fait qu'on ne cherche pas à déterminer les contraintes absolues, mais les contraintes relatives, c'est-à-dire les contraintes générées par un procédé donné. Ainsi, une valeur positive (respectivement négative) de  $\Delta\sigma$  indique que la présence du TSV engendre des contraintes de tension (respectivement compressives) par rapport au cas sans TSV.

Compte tenu de la symétrie de la structure (capteurs + TSV), on peut affirmer que le champ de contrainte vu par la rosette des nMOS est le même que celui vu par la rosette des pMOS.

$$\left\{ \begin{array}{l} a_1^{(n)} \Delta\sigma_{xx} + b_1^{(n)} \Delta\sigma_{yy} + c_1^{(n)} \Delta\sigma_{zz} + d_1^{(n)} \Delta\sigma_{xy} = -\frac{\Delta I_{d1}^{(n)}}{I_{d1}^{0(n)}} \\ a_2^{(n)} \Delta\sigma_{xx} + b_2^{(n)} \Delta\sigma_{yy} + c_2^{(n)} \Delta\sigma_{zz} + d_2^{(n)} \Delta\sigma_{xy} = -\frac{\Delta I_{d2}^{(n)}}{I_{d2}^{0(n)}} \\ a_3^{(n)} \Delta\sigma_{xx} + b_3^{(n)} \Delta\sigma_{yy} + c_3^{(n)} \Delta\sigma_{zz} + d_3^{(n)} \Delta\sigma_{xy} = -\frac{\Delta I_{d3}^{(n)}}{I_{d3}^{0(n)}} \\ a_4^{(n)} \Delta\sigma_{xx} + b_4^{(n)} \Delta\sigma_{yy} + c_4^{(n)} \Delta\sigma_{zz} + d_4^{(n)} \Delta\sigma_{xy} = -\frac{\Delta I_{d4}^{(n)}}{I_{d4}^{0(n)}} \\ a_1^{(p)} \Delta\sigma_{xx} + b_1^{(p)} \Delta\sigma_{yy} + c_1^{(p)} \Delta\sigma_{zz} + d_1^{(p)} \Delta\sigma_{xy} = -\frac{\Delta I_{d1}^{(p)}}{I_{d1}^{0(p)}} \\ a_2^{(p)} \Delta\sigma_{xx} + b_2^{(p)} \Delta\sigma_{yy} + c_2^{(p)} \Delta\sigma_{zz} + d_2^{(p)} \Delta\sigma_{xy} = -\frac{\Delta I_{d2}^{(p)}}{I_{d2}^{0(p)}} \\ a_3^{(p)} \Delta\sigma_{xx} + b_3^{(p)} \Delta\sigma_{yy} + c_3^{(p)} \Delta\sigma_{zz} + d_3^{(p)} \Delta\sigma_{xy} = -\frac{\Delta I_{d3}^{(p)}}{I_{d3}^{0(p)}} \\ a_4^{(p)} \Delta\sigma_{xx} + b_4^{(p)} \Delta\sigma_{yy} + c_4^{(p)} \Delta\sigma_{zz} + d_4^{(p)} \Delta\sigma_{xy} = -\frac{\Delta I_{d4}^{(p)}}{I_{d4}^{0(p)}} \end{array} \right. \quad (4.6)$$

[A] n'étant pas une matrice carrée, la résolution par la relation (4.4) n'est pas possible. Un tel système n'admet pas de solution exacte. Une solution approchée respectant au mieux les huit équations est donc cherchée.

On peut écrire :

$$[A][\Delta\sigma] = -[\Delta Id/Id] \rightarrow [A]^T [A][\Delta\sigma] = -[A]^T [\Delta Id/Id]$$

$$\text{Soit : } \boxed{[\Delta\sigma] = -([A]^T [A])^{-1} ([A]^T [\Delta Id/Id])} \quad (4.7)$$

Avec  $[A]^T$  la transposée de la matrice [A].

La méthode décrite ci-dessus est celle des moindres carrées.

D'autres approches visant à résoudre le système d'équations (4.6) ont été explorées. Il s'agit d'une part, d'un optimiseur (gradient conjugué) intégré dans le logiciel Excel et d'autre part d'un script Matlab développé à ST dans le cadre d'un stage, aussi basé sur la méthode du gradient conjugué. Nous n'irons pas dans le détail de ce script.

L'optimisation consiste à minimiser la différence entre les variations des courants de drain mesurés (membre de droite de la relation (4.6)) et celles calculées (membre de gauche de la relation (4.6)). Il faut donc fixer préalablement les valeurs (initiales) des contraintes ainsi que les bornes.

Les calculs avec Excel ont montré que les valeurs de contraintes obtenues diffèrent en fonction des paramètres d'entrée. Ceci est dû à des minima locaux. Cette approche n'est donc pas vraiment appropriée.

Quant à l'optimiseur Matlab, il est assez lourd et demande beaucoup de ressources de calcul. Le nombre d'itérations est ainsi limité. Ce script a été utilisé pour le calcul des contraintes induites par la mise en boîtier sur la technologie CMOS65. Les résultats obtenus ne sont pas ceux attendus (c'est-à-dire les contraintes ne sont pas bi-axiales).

Par la suite, pour simplifier le calcul et gagner en temps, la relation décrite plus haut (4.7) sera utilisée.

**b. Mesure sur WoTSV**

283 puces ont été mesurées à l'aide d'un *prober* automatique semblable à celui décrit sur la Figure 4. 1. Les grandeurs telles que la médiane, la moyenne, l'écart type et le coefficient de variation ont été déterminées et résumées dans le Tableau 4. 2.

Tableau 4. 2 – Valeurs de médiane, moyenne, écart type et coefficient de variation sur WoTSV

	Courant de drain Id [ $\mu$ A] sur WoTSV							
	nMOS1	nMOS2	nMOS3	nMOS4	pMOS1	pMOS2	pMOS3	pMOS4
Médiane	10.890	10.900	11.520	11.520	-3.684	-3.677	-3.261	-3.249
Moyenne	10.896	10.906	11.520	11.526	-3.684	-3.676	-3.262	-3.248
Ecart-type	0.067	0.065	0.062	0.067	0.012	0.011	0.013	0.013
Coefficient de variation	0.62%	0.60%	0.54%	0.58%	0.33%	0.30%	0.39%	0.41%

On peut remarquer une faible variation de mesures d'une puce à une autre sur la plaquette WoTSV avec un coefficient de variation maximal de 0.62% qui équivaut à une incertitude sur la contrainte  $\sigma_{xx}$  de l'ordre de 15MPa.

**c. Mesures sur WtTSV**

Ici aussi les grandeurs telles que, la médiane, la moyenne, l'écart type et le coefficient de variation ont été déterminées et résumées dans le Tableau 4. 3.

Tableau 4. 3 – Valeurs de médiane, moyenne, écart type et coefficient de variation sur WtTSV

	Courant de drain Id [ $\mu$ A] sur WtTSV							
	nMOS1	nMOS2	nMOS3	nMOS4	pMOS1	pMOS2	pMOS3	pMOS4
Médiane	11.170	10.910	11.680	11.680	-3.667	-3.586	-3.262	-3.314
Moyenne	11.175	10.914	11.685	11.682	-3.667	-3.586	-3.262	-3.315
Ecart-type	0.056	0.056	0.052	0.056	0.013	0.013	0.013	0.018
Coefficient de variation	0.50%	0.52%	0.44%	0.48%	0.35%	0.37%	0.41%	0.56%

Sur la plaquette WtTSV, le coefficient de variation maximal (0.56%) donne une valeur d'incertitude de contrainte ( $\sigma_{xx}$ ) de l'ordre de 14MPa. La variabilité des contraintes à l'échelle des deux plaques sont quasiment les mêmes. Il est donc conseillé d'effectuer toutes les mesures sur les plaquettes en automatique.

**d. Différences entre les mesures et résultats des contraintes**

Les variations de courants de drain dues au TSV sont déterminées à partir des valeurs médianes des courants de drain suivant la relation :

$$Var = \frac{I_d(WtTSV) - I_d(WoTSV)}{I_d(WoTSV)} \quad (4.8)$$

Où  $I_d(WoTSV)$  et  $I_d(WtTSV)$  sont respectivement les valeurs médianes des courants de drain des MOS respectivement sur la plaquette WoTSV et la plaquette WtTSV pour chaque direction.

Les variations sont calculées et regroupées dans le [Tableau 4. 4](#).

Tableau 4. 4 - Variations de courants de drain à partir des mesures sur WoTSV et WtTSV

Variation de courant de drain Var [%]							
nMOS1	nMOS2	nMOS3	nMOS4	pMOS1	pMOS2	pMOS3	pMOS4
2.571	0.092	1.389	1.389	-0.461	-2.475	0.031	2.00

D'après le tableau ci-dessus, on remarque que les valeurs de nMOS2 (0.092%) et de pMOS3 (0.031%) sont très faibles par rapport aux autres variations, notamment le nMOS1 (2.571%). Les nMOS2 et pMOS3 sont donc faiblement impactés par la présence du TSV. Par contre, l'effet du TSV sur le nMOS1 et le pMOS2 est important.

La [Figure 4. 5](#) rappelle la position des MOS par rapport au TSV.

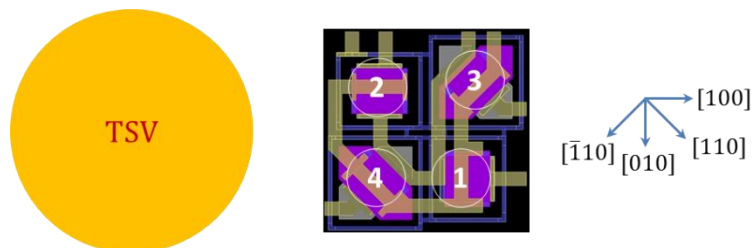


Figure 4. 5 - Position des MOS du capteur par rapport au TSV.

A partir de l'équation (4.7) et à l'aide du logiciel Mathcad, les contraintes induites par le TSV sont déterminées et sont résumées dans le [Tableau 4. 5](#).

Tableau 4. 5 - Tableau récapitulatif des contraintes induites par le TSV à partir des mesures électriques

$\Delta\sigma_{xx}$ [MPa]	$\Delta\sigma_{yy}$ [MPa]	$\Delta\sigma_{zz}$ [MPa]	$\Delta\sigma_{xy}$ [MPa]
59.8±9	-3.5±0.5	-22.2±3	10.1±1.5

On remarque que la valeur de la composante de contrainte  $\Delta\sigma_{yy}$  est très faible (-3.5MPa) par rapport à  $\Delta\sigma_{xx}$  (59.8MPa). Cette faible valeur de la composante  $\Delta\sigma_{yy}$  pourrait provenir d'un gradient de contrainte dans la zone des capteurs, d'une variabilité inter-puces qui impacte fortement les valeurs de contrainte déterminées ou encore d'une variabilité inter-plaques non constante entre les nMOS et les pMOS.

Dans le but de bien analyser ces résultats, les variations théoriques de courants de drain ont été calculées à partir de la relation (4.6) et des valeurs du champ de contrainte du [Tableau 4. 5](#). Les valeurs sont comparées aux variations de courants mesurées expérimentalement et tracées sur la [Figure 4. 6](#).

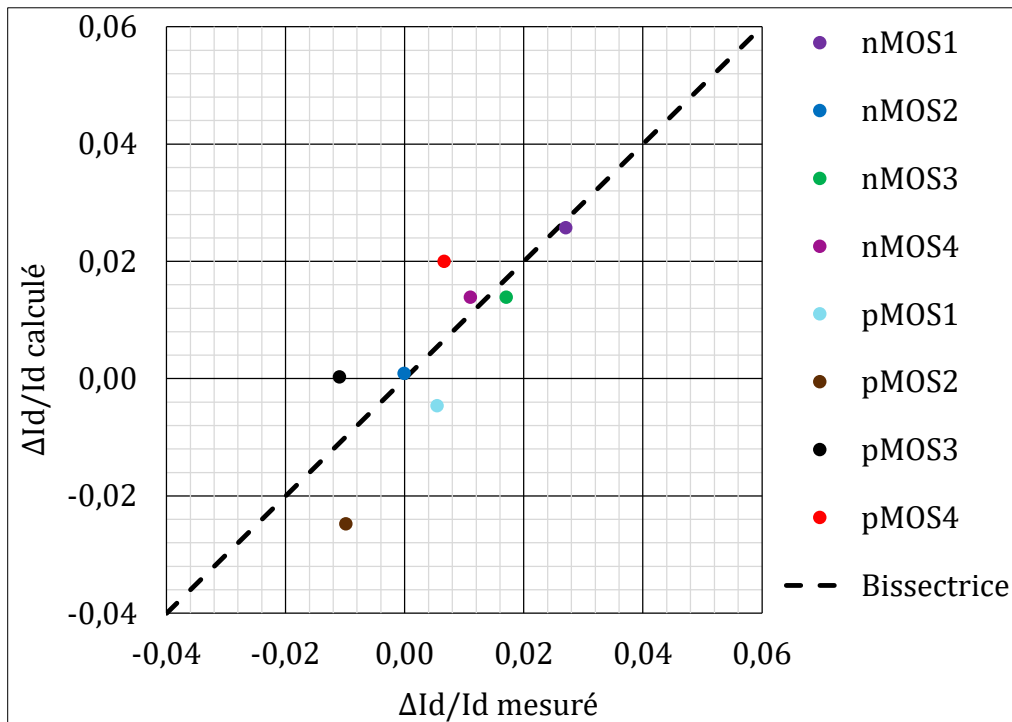


Figure 4. 6 – Comparaison entre les variations de courants de drain mesurées et celles calculées à partir de la relation (4.6).

D'une manière générale, les points des nMOS sont presque alignés avec la première bissectrice. Par contre, les pMOS sont légèrement éloignés de la bissectrice. On peut néanmoins affirmer que l'approche de calcul adoptée est assez bonne.

On peut aussi procéder de façon différente dans le calcul de la contrainte induite par le TSV. Cela consiste à déterminer la variation de courant entre chaque couple de puces : une puce sur la plaquette WoTSV et sa correspondante sur la plaquette WtTSV. Le détail du calcul ainsi que les résultats sont présentés en [Annexe D](#).

Cette approche permet d'évaluer l'impact du TSV au niveau de chaque puce. Elle serait mieux adaptée si les mesures étaient faites sur une même plaquette avant et après le procédé TSV pour s'affranchir de la variabilité inter-plaques. Une mesure de suivi des puces entre deux étapes est donc mise en place et cette approche sera adoptée dans le cas de la mise en boîtier.

Afin de vérifier les résultats du champ de contraintes obtenu expérimentalement, des simulations par éléments finis ont été réalisées.

## 2. Approche numérique : simulation par éléments finis

Cette partie traite de l'évaluation numérique du champ de contraintes induit par un TSV dans le silicium. Des simulations éléments finis ont été effectuées avec le logiciel ANSYS

14.5.R dans le système de coordonnées ([100], [010], [001]). Les dimensions du modèle sont résumées dans le [Tableau 4. 6](#).

Tableau 4. 6 – Dimensions du modèle

Eléments	Dimensions
Modèle	Longueur : 48 $\mu$ m
	Largeur : 48 $\mu$ m
TSV	Diamètre : 10 $\mu$ m
	Hauteur : 80 $\mu$ m
Liner	Epaisseur : 0.2 $\mu$ m
	Hauteur : 80 $\mu$ m
PMD	Epaisseur : 0.4 $\mu$ m
BEoL_Level_X	Epaisseur : 1.67 $\mu$ m
BEoL_Level_Z	Epaisseur : 4.74 $\mu$ m

Les éléments hexaédriques quadratiques à 20 nœuds ont été choisis. Le modèle global ainsi que le maillage utilisé sont représentés sur la [Figure 4. 7](#).

Les hypothèses de l'étude sont les suivantes :

- comportement élastique linéaire sauf pour le cuivre ;
- variation de la limite élastique du cuivre pendant le refroidissement ;
- anisotropie du silicium et loi bilinéaire pour représenter la plasticité du cuivre ;
- les autres matériaux sont supposés élastiques isotropes ;
- une parfaite adhésion aux interfaces.

L'étude de sensibilité au maillage a été effectuée ([Annexe E](#)). Le maillage était suffisamment raffiné pour s'assurer qu'il n'y ait pas de changement dans le champ de contraintes.

Les surfaces du modèle sont libres, sauf celles sur lesquelles sont appliquées les conditions aux limites.

La condition de chargement est un refroidissement thermique uniforme de la température libre de contrainte du cuivre (260°C) [[Gregoire, 2006](#)] à la température ambiante.



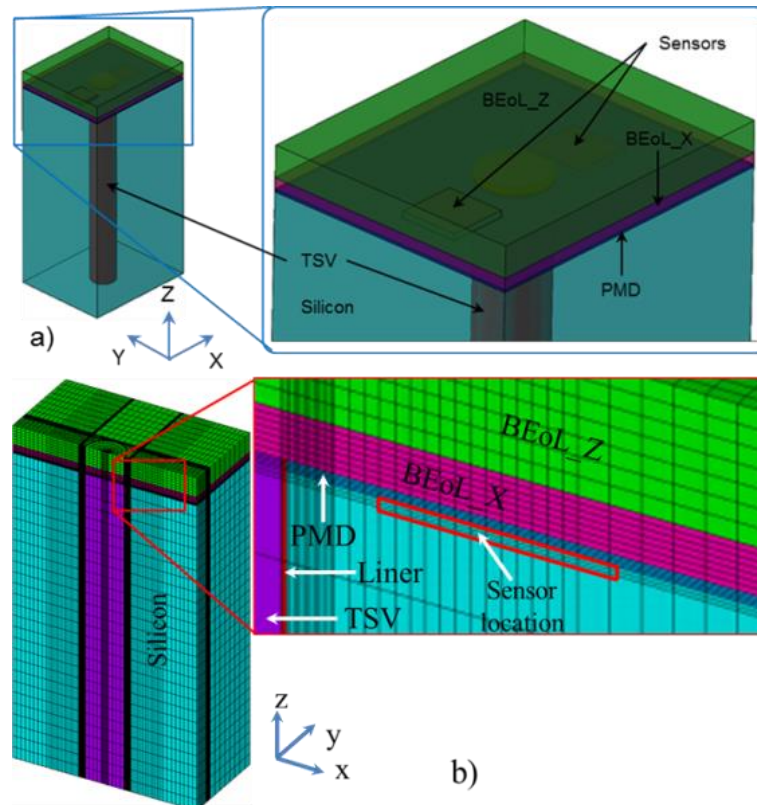


Figure 4. 7 – a) Vue globale du modèle, b) vue moitié du modèle maillé.

La loi bilinéaire (élasto-plastique) du cuivre est représentée sur la [Figure 4. 8](#).

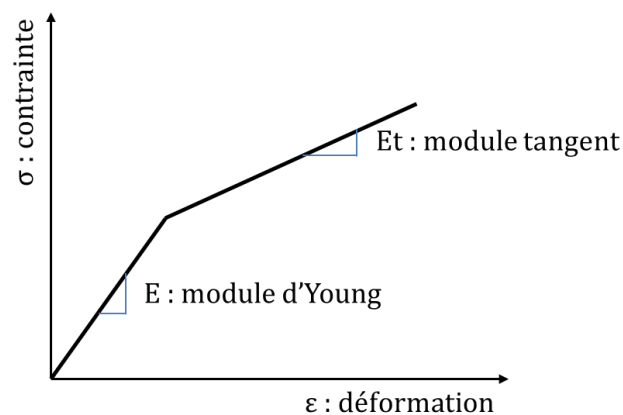


Figure 4. 8 – Schématisation du comportement élasto-plastique du cuivre.

La prise en compte d'un comportement élasto-plastique pour le cuivre du TSV permet des simulations plus précises. L'influence de ce comportement élasto-plastique du cuivre sur les contraintes calculées est détaillée en [Annexe F](#).

Les interconnexions étant constituées des couches de métal et de diélectriques, l'analyse de sa composition montre une densité de cuivre d'environ 70% et de diélectrique de l'ordre de 30%. La prise en compte de son architecture réelle dans le modèle de simulation n'est pas envisageable tel qu'on peut le voir sur [Figure 1. 4](#).

Notons que les interconnexions sont constituées de deux parties majeures nommées BEoL\_X et BEoL\_Z qui se distinguent par le type de diélectriques utilisés. Une homogénéisation est donc faite suivant la relation :

$$\begin{cases} E_{BEoL\_X} = 0.7 * E_{Cu} + 0.3 * E_{Dielec\_X} \\ E_{BEoL\_Z} = 0.7 * E_{Cu} + 0.3 * E_{Dielec\_Z} \end{cases} \quad (4.9)$$

Où  $E_{BEoL\_X}$  et  $E_{BEoL\_Z}$  représentent le module d'Young respectivement des parties nommées BEoL\_X et BEoL\_Z des interconnexions ;  $E_{Dielec\_X}$  et  $E_{Dielec\_Z}$  représentent le module d'Young respectivement des diélectriques des interconnexions ;  $E_{Cu}$  est le module d'Young du cuivre dans les interconnexions.

Les propriétés matériaux sont présentées dans le [Tableau 4. 7](#).

Tableau 4. 7 – Propriétés matériaux des éléments utilisés dans l'impact du TSV

	E [GPa]	CTE [ppm/°C]	v
Si <b>[Fiori, 2005]</b>	//	2.8	//
Cu <b>[Fiori, 2005]</b>	140	16.6	0.33
Liner <b>[Fiori, 2005]</b>	72	2.39	0.28
PMD <b>[Fiori, 2005]</b>	60	2.7	0.25
BEoL homogénéisé			
Level_X	91.94	14.86	0.31
Level_Z	112.4	12.42	0.31
Constantes élastiques du Si (Anisotropie) <b>[Hopcroft, 2010]</b>			
C <sub>11</sub> [GPa]	C <sub>12</sub> [GPa]	C <sub>44</sub> [GPa]	
165.6	63.9	79.5	
TSV Cu (Plasticité) <b>[Shen, 2003]</b>			
Limite d'élasticité	$\sigma_y = \sigma_0 (1-T/T_0)$ $T_0 = 1090 \text{ °K}; \sigma_0 = 305 \text{ MPa}$		
Module tangent	Et = 720 MPa		

Dans les travaux de Shen et *al.* **[Shen, 2003]**, la loi bilinéaire du cuivre a été établie, par mesure des réponses thermomécaniques du cuivre par la technique de mesure de rayon de courbure. Ceci a permis de déterminer les contraintes dans le cuivre durant les cycles thermiques.

Un simple modèle avec TSV peut être étudié en ne considérant que les CTE relatifs du cuivre et du *Liner* par rapport à celui du silicium. Mais afin d'être en concordance avec l'expérimentation, deux modèles ont été construits, avec et sans TSV. La contrainte induite par le TSV est obtenue par une opération de soustraction entre le champ de contrainte du modèle avec TSV et celui du modèle sans TSV c'est-à-dire :

$$\text{Contrainte TSV} = \text{Contrainte Modèle avec TSV} - \text{Contrainte Modèle sans TSV.}$$

La contrainte résultant de cette différence, extraite dans la zone active du modèle où se trouvent les capteurs pour  $z=79.6\mu\text{m}$ , est tracée sur la [Figure 4. 9](#).

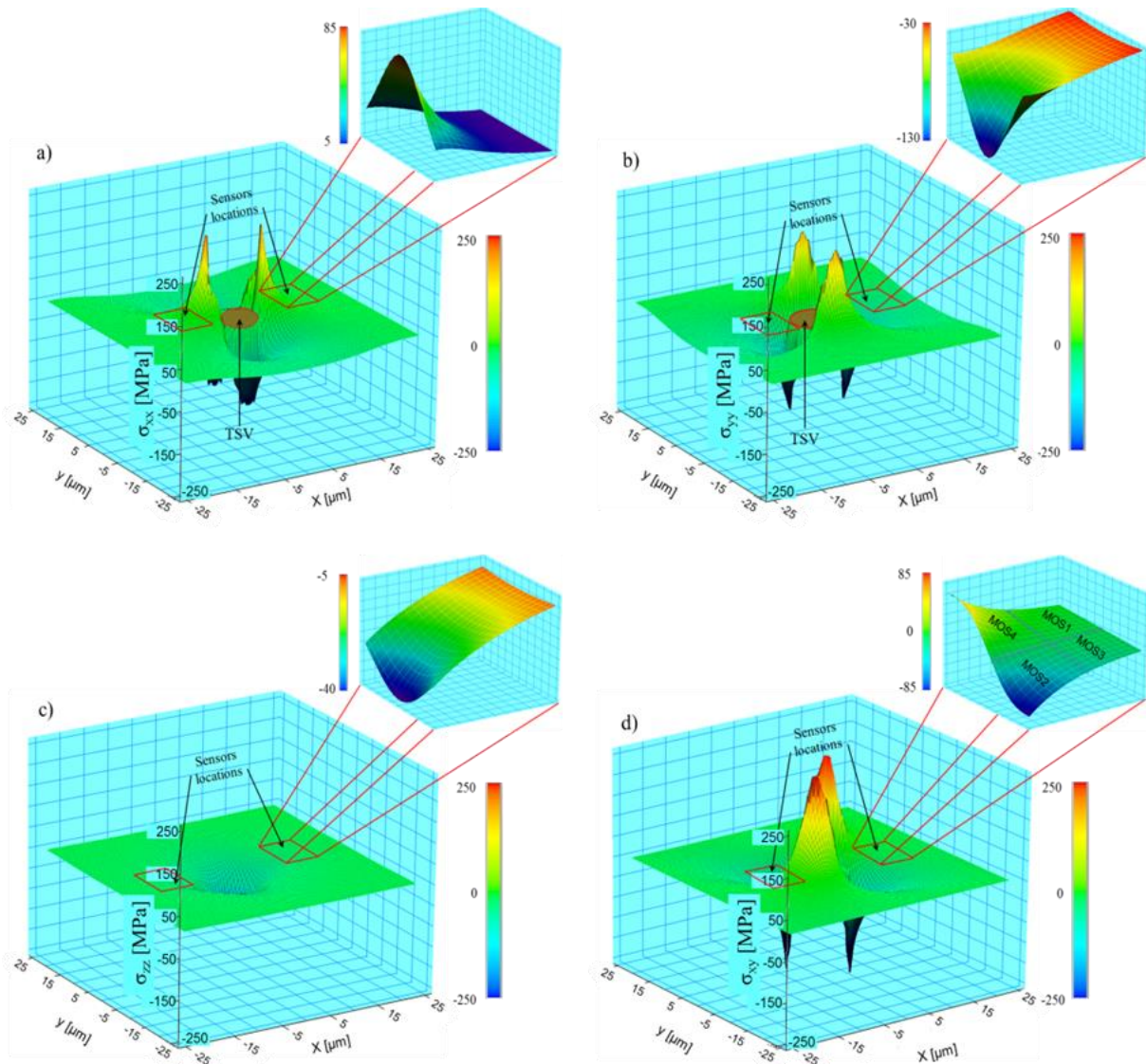


Figure 4. 9 – Contraintes a)  $\sigma_{xx}$ , b)  $\sigma_{yy}$ , c)  $\sigma_{zz}$  et d)  $\sigma_{xy}$  induites par le TSV dans la zone active du modèle.

D'après la [Figure 4. 9](#), sur toute la surface du modèle (pour  $z=79.6\mu\text{m}$ ), les valeurs des contraintes dans le silicium sont importantes : jusqu'à 250MPa. Ceci est expliqué par le fait que la différence entre le coefficient d'expansion thermique du silicium (2.8 ppm/°C) et celui du cuivre (16.6 ppm/°C) est élevée. Ce qui fait que, dans le silicium, suivant l'axe  $x$ , le TSV induit une variation de contrainte  $\sigma_{xx}$  (contrainte radiale) en tension, alors que les contraintes  $\sigma_{yy}$  (contrainte orthoradiale) et  $\sigma_{zz}$  (contrainte axiale) sont en compression le long de ce même axe.

En effet, durant le refroidissement, le modèle est comprimé dans une direction (contrainte en compression), générant par effet Poisson une contrainte en tension dans la direction perpendiculaire.

Du centre du TSV jusqu'aux surfaces libres, les valeurs des contraintes diminuent et tendent vers zéro.

La comparaison de ces résultats avec la littérature ne peut se faire que de façon qualitative car les configurations adoptées ne sont pas les mêmes. On peut mentionner les travaux de De Wolf et *al.* [[De Wolf, 2012](#)] et Yu et *al.* [[Yu, 2012](#)] dans lesquels les contraintes radiales obtenues par simulation éléments finis et par spectroscopie  $\mu\text{Raman}$  sont en

tension et celles orthoradiales et axiales sont en compression. Ces contraintes diminuent et s'annulent lorsqu'on approche les bords.

Dans la suite, l'état de contrainte dans la zone des capteurs sera mis en relief pour une corrélation entre les résultats expérimentaux et ceux de la simulation.

### 3. Corrélation et discussion

La comparaison entre les résultats expérimentaux et numériques a été faite en considérant les contraintes dans la zone des capteurs le long l'axe  $x$  ( $y=0$ ) (Figure 4. 10).

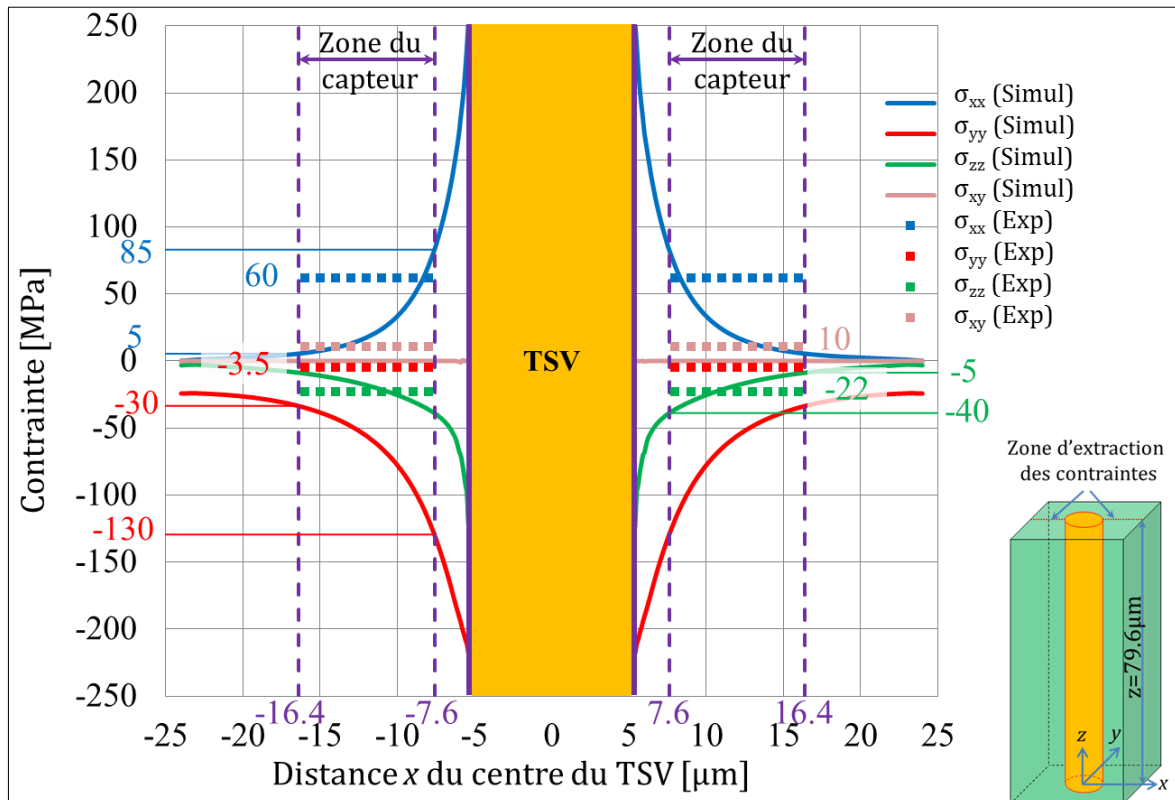


Figure 4. 10 – Contraintes induites par le TSV dans la zone active : résultats expérimentaux et numériques.

En se référant aux résultats de la simulation, chaque MOS de la rosette est contraint différemment et la partie des capteurs proches du TSV est fortement contrainte.

Tel que montré sur la Figure 4. 10, la différence entre les valeurs maximales et minimales des contraintes obtenues par simulation dans la zone des capteurs est très élevée, donc un gradient important le long des capteurs.

Plus précisément, dans les zones délimitées par les traits discontinus violets, c'est-à-dire, de  $x = 7.6\mu\text{m}$  (ou  $-16.4\mu\text{m}$ ) à  $x = 16.4\mu\text{m}$  (ou  $-7.6\mu\text{m}$ ), les valeurs des contraintes moyennées issues de la simulation sont :

$$\bar{\sigma}_{xx} \approx 44 \text{ MPa} \pm 40, \bar{\sigma}_{yy} \approx -82 \text{ MPa} \pm 50, \bar{\sigma}_{zz} \approx -24 \text{ MPa} \pm 15 \text{ et } \bar{\sigma}_{xy} \approx 0 \text{ MPa.}$$

Ceci montre que la taille des capteurs a été surdimensionnée. Par conséquent, la précision de tels capteurs est sensiblement faible et les transistors devraient être dessinés plus petits pour les futures études.

Par exemple, tel que montré sur la Figure 4. 9-d, la valeur maximale en absolue de la contrainte de cisaillement ( $\sigma_{xy}$ ) dans la zone du capteur est significative ( $\sim 85\text{MPa}$ ). Notons que la valeur de  $\sigma_{xy}$  est nulle sur la Figure 4. 10 car nous nous sommes placés sur l'axe  $x(y=0)$ . Les valeurs de contraintes vues par les MOS1, MOS2, MOS3 et MOS4 sont différentes. En moyennant cette composante de contrainte dans la zone du capteur, on obtient  $\sim 0\text{MPa}$ . De ce fait, la technique consistant à moyenner les champs de contrainte dans la zone du capteur peut conduire à des imprécisions. Toutefois, on peut remarquer que (Figure 4. 10) les composantes de contrainte  $\sigma_{xx}$  et  $\sigma_{zz}$  obtenues par expérimentation sont dans l'intervalle des valeurs de contraintes obtenues par simulation dans la zone des capteurs.

- **Propositions d'amélioration des mesures**

Une alternative pour s'affranchir de la variabilité inter-plaques est d'effectuer des mesures électriques sur la même plaquette avant et après le procédé TSV, ce que malheureusement nous n'avons pas fait dans le cadre de cette thèse.

Pour minimiser la grande variation des contraintes dans la zone des capteurs, on peut réduire la taille des rosettes et intégrer les capteurs à différents endroits dans le silicium tel que montré sur la Figure 4. 11, ou considérer le champ de contrainte de chaque MOS de la rosette. Ce champ de contrainte correspondra au champ moyenné de chaque MOS dans sa zone.

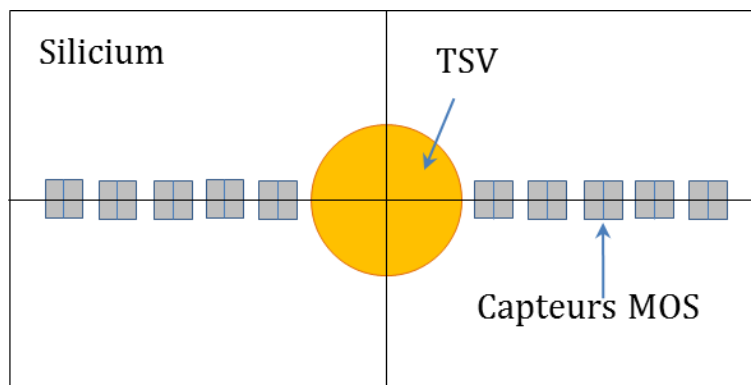


Figure 4. 11 – Vue de haut de la nouvelle configuration de la position des capteurs MOS.

#### **4. Etude complémentaire : calcul de variations de courants de drain**

Pour identifier l'impact du champ de contraintes simulé sur les courants de drain des MOS, les variations des courants de drain ont été évaluées à partir de la relation (4.8) et des coefficients piézorésistifs calibrés. Ces variations sont tracées sur la Figure 4. 12 pour les nMOS et les pMOS dans les directions [100] et [110].

D'après cette figure, les variations de courant de drain sont très significatives dans les zones proches du TSV. Cet impact est plus élevé pour les nMOS dans la direction [100] et pour le pMOS dans la direction [110]. Une telle variation (25%) des pMOS dans la direction [110] est également observée dans les travaux de Hsieh et *al.* [Hsieh, 2011].

Compte tenu de l'anisotropie du silicium, le comportement des MOS dans la direction [100] n'est pas le même que celui des MOS dans la direction [110]. Ceci constitue donc, des informations importantes pour les ingénieurs concepteurs des circuits de la microélectronique afin d'établir des zones critiques (KOZ : Keep Out Zone) pour les MOS fonctionnels.

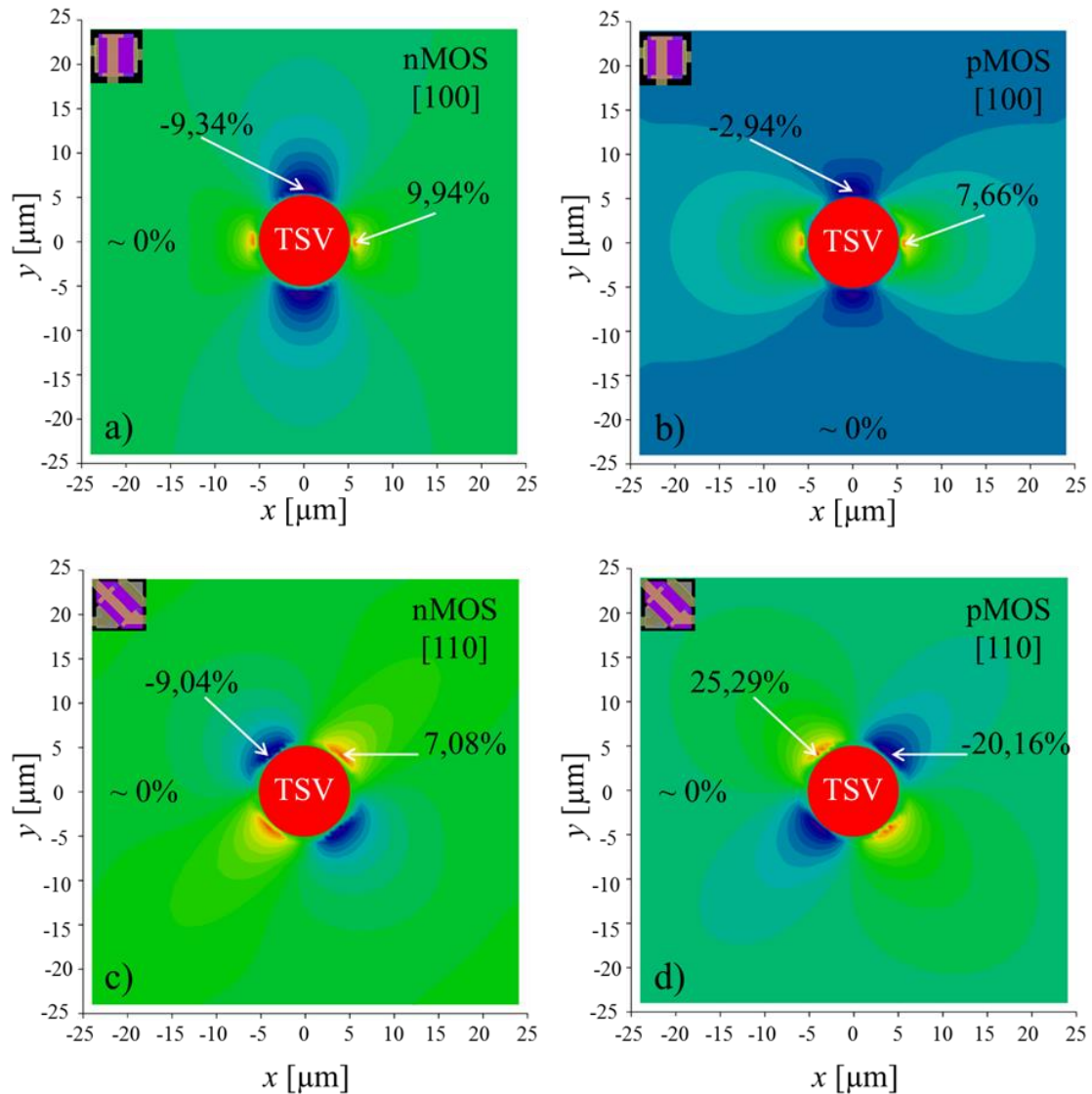


Figure 4. 12 – Variations de courant de drain induites par le TSV a) pour les nMOS dans la direction [100], b) pour les pMOS dans la direction [100], c) pour les nMOS dans la direction [110] et d) pour les pMOS dans la direction [110].

### III. Contraintes induites dans un empilement 3D

Cette partie sera consacrée à la détermination des contraintes induites par le procédé *packaging* dans un empilement 3D au moyen des capteurs embarqués et par la méthode des éléments finis.

## 1. Méthode expérimentale : utilisation des capteurs

Les mêmes capteurs que pour le TSV sont utilisés dans la même technologie (CMOS65nm). Deux séries de mesures ont été effectuées : une mesure au niveau plaquette sur 296 puces avec un *prober* (Figure 4. 1) après le procédé TSV, une autre mesure avec un *socket* dédié (Figure 4. 14) sur 11 de ces puces mises en boîtier (Figure 4. 13) qui ont donc suivi le procédé *packaging*.

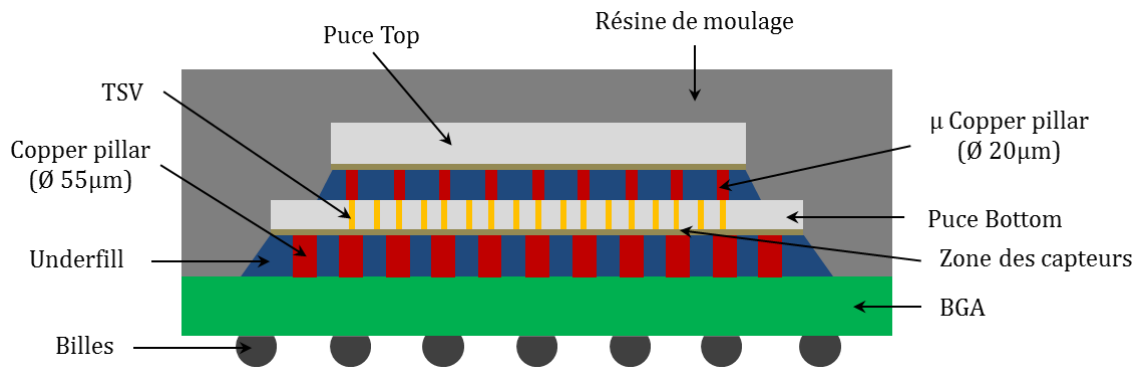


Figure 4. 13 – Schéma représentatif d'une puce mise en boîtier avec la zone des capteurs.

Ces mesures sur les mêmes puces avant et après *packaging* permettent de s'affranchir de la variabilité inter-plaques.

Notons *Bef\_Pack* les puces mesurées avant le procédé *packaging* (juste après le procédé TSV) et *Aft\_Pack* les puces mises en boîtier.

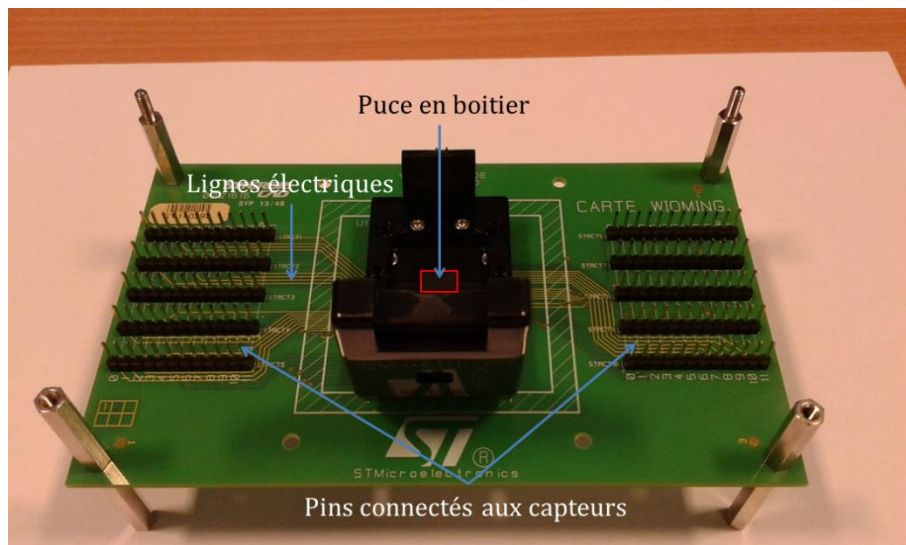


Figure 4. 14 – Dispositif de mesure électrique des puces mises en boîtier.

### a. Mesures sur *Bef Pack*

Les grandeurs telles que la médiane, la moyenne, l'écart type et le coefficient de variation des courants de drain ont été déterminées et sont résumées dans le [Tableau 4. 8](#).

Tableau 4. 8 – Valeurs de médiane, moyenne, écart type et coefficient de variation sur Bef\_Pack

	Courant de drain Id [ $\mu$ A] sur Bef_Pack							
	nMOS1	nMOS2	nMOS3	nMOS4	pMOS1	pMOS2	pMOS3	pMOS4
Médiane	11.960	11.670	12.340	12.325	-4.274	-4.195	-3.824	-3.883
Moyenne	11.945	11.676	12.344	12.319	-4.272	-4.194	-3.825	-3.882
Ecart-type	0.031	0.035	0.032	0.045	0.007	0.006	0.006	0.011
Coefficient de variation	0.26%	0.30%	0.26%	0.36%	0.17%	0.14%	0.15%	0.28%

Les variations des mesures d'une puce à une autre sur les Bef\_Pack sont faibles. Le coefficient de variation maximal est de 0.36% et équivaut à une variation de contrainte de l'ordre de 9MPa.

**b. Mesures sur Aft Pack**

Sur les 11 puces mises en boîtier mesurées, la médiane, la moyenne, l'écart type et le coefficient de variation ont aussi été déterminés (Tableau 4. 9).

Tableau 4. 9 – Valeurs de médiane, moyenne, écart type et coefficient de variation sur Aft\_Pack

	Courant de drain Id [ $\mu$ A] sur Aft_Pack							
	nMOS1	nMOS2	nMOS3	nMOS4	pMOS1	pMOS2	pMOS3	pMOS4
Médiane	11.410	11.440	11.920	11.880	-4.371	-4.324	-3.895	-4.017
Moyenne	11.414	11.436	11.912	11.884	-4.371	-4.329	-3.896	-4.021
Ecart type	0.050	0.058	0.062	0.094	0.014	0.017	0.024	0.031
Coefficient de variation	0.44%	0.51%	0.52%	0.79%	0.33%	0.40%	0.62%	0.76%

On remarque ici une variation importante des mesures (0.79%) qui correspond à une incertitude sur les variations de contrainte d'environ 20MPa non négligeable.

**c. Calcul de contraintes**

Les 11 puces mises en boîtier ont été préalablement repérées au niveau de la plaquette. Les variations de courant de drain sont calculées et regroupées dans le Tableau 4. 10 suivant la relation :

$$Var = \frac{I_d(Aft\_Pack) - I_d(Bef\_Pack)}{I_d(Bef\_Pack)} \quad (4.10)$$

Tableau 4. 10 – Variations de courant de drain à partir des mesures sur Bef\_Pack et Aft\_Pack

	Variation de courant de drain Var [%]							
	nMOS1	nMOS2	nMOS3	nMOS4	pMOS1	pMOS2	pMOS3	pMOS4
Min	-5.435	-2.740	-4.052	-4.472	1.774	2.656	0.955	1.811
Max	-3.936	-1.285	-3.030	-2.506	2.737	3.970	3.046	4.866
Médiane	-4.348	-2.097	-3.364	-3.571	2.375	3.223	1.790	3.449
Moyenne	-4.448	-2.055	-3.499	-3.532	2.313	3.220	1.838	3.581
Ecart type	0.399	0.404	0.361	0.520	0.296	0.386	0.567	0.788

Pour le calcul, la relation (4.7) est utilisée avec les mêmes coefficients  $a_i$ ,  $b_i$ ,  $c_i$  et  $d_i$  décrits plus haut ainsi que les coefficients piézorésistifs calibrés précédemment pour la technologie CMOS65nm (Tableau 3. 4).



Le calcul est effectué avec le logiciel Mathcad et les résultats sont résumés dans le [Tableau 4. 11](#).

Tableau 4. 11 – Tableau récapitulatif des contraintes induites par le *packaging* à partir des mesures électriques

	$\Delta\sigma_{xx}$ [MPa]	$\Delta\sigma_{yy}$ [MPa]	$\Delta\sigma_{zz}$ [MPa]	$\Delta\sigma_{xy}$ [MPa]
Min	-108.42	-44.7	-52.75	-8.21
Max	-76.23	-18.31	-37.45	21.33
Médiane	-87.36±13	-33.44±5	-43.88±6.6	9.94±1.5
Moyenne	-88.5±13	-33.23±5	-44.8±6.7	9.13±1.4
Ecart-type	8.85	7.11	5.29	7.77

D’après le tableau ci-dessus, la différence entre les valeurs maximales et minimales des contraintes par rapport aux valeurs médianes est considérable, avoisinant les 32MPa. Chaque puce voit différemment le champ de contrainte. Ceci est lié au problème de variabilité inter-puces et de variabilité inter-boitiers qui impactent les valeurs de contrainte déterminées. Les écarts type des quatre composantes de contrainte ne sont pas si élevés.

On remarque une différence entre la composante  $\sigma_{xx}$  ( $\approx$ -87MPa) et  $\sigma_{yy}$  ( $\approx$ -33MPa). Les contraintes ne sont donc pas bi-axiales. La différence est estimée à 55MPa avec un rapport  $\sigma_{xx}/\sigma_{yy} \approx 2.67$ . Or le *packaging* est connu pour induire des contraintes bi-axiales [**Jiang, 2013**].

Dans le but de vérifier ces résultats, les études de simulation par éléments finis ont été réalisées.

## **2. Méthode numérique : simulation par éléments finis**

Un seul modèle géométrique sera simulé contrairement aux études sur le TSV. Le modèle de base est représenté sur la [Figure 4. 13](#). Le même maillage que pour le cas du TSV a été utilisé.

Les conditions et hypothèses de simulation sont les suivantes :

- puisque les mesures sur Bef\_Pack ont été effectuées après le procédé TSV, le modèle final ne contiendra pas de TSV afin d’identifier l’unique impact de la mise en boitier ;
- les parties du modèle composées de plusieurs éléments ne peuvent pas être représentées telles qu’elles dans le code de simulation. Afin d’optimiser le temps de calcul, ces parties ont été homogénéisées. On note alors le BGA ([Figure 4. 15](#)), le BEoL, la zone underfill (UF) + copper pillar (CP) ([Figure 4. 16-a](#)) et la zone underfill + micro copper pillar ( $\mu$ CP) ([Figure 4. 16-b](#)) ;
- l’anisotropie du silicium a été prise en compte ;
- on suppose que, vu l’épaisseur du BGA et la distance qui sépare la surface inférieure de la zone des capteurs, l’effet des billes sur les capteurs est négligeable. Les billes ne seront donc pas représentées ;
- on suppose une parfaite adhésion aux interfaces et un comportement élastique linéaire ;

Tel que montré en [Annexe F](#), l'impact de la plasticité du cuivre n'est pas si élevé, de plus c'est l'effet de la mise en boîtier qui nous intéresse. On fait donc le choix de négliger l'effet de la plasticité du cuivre dans cette partie.

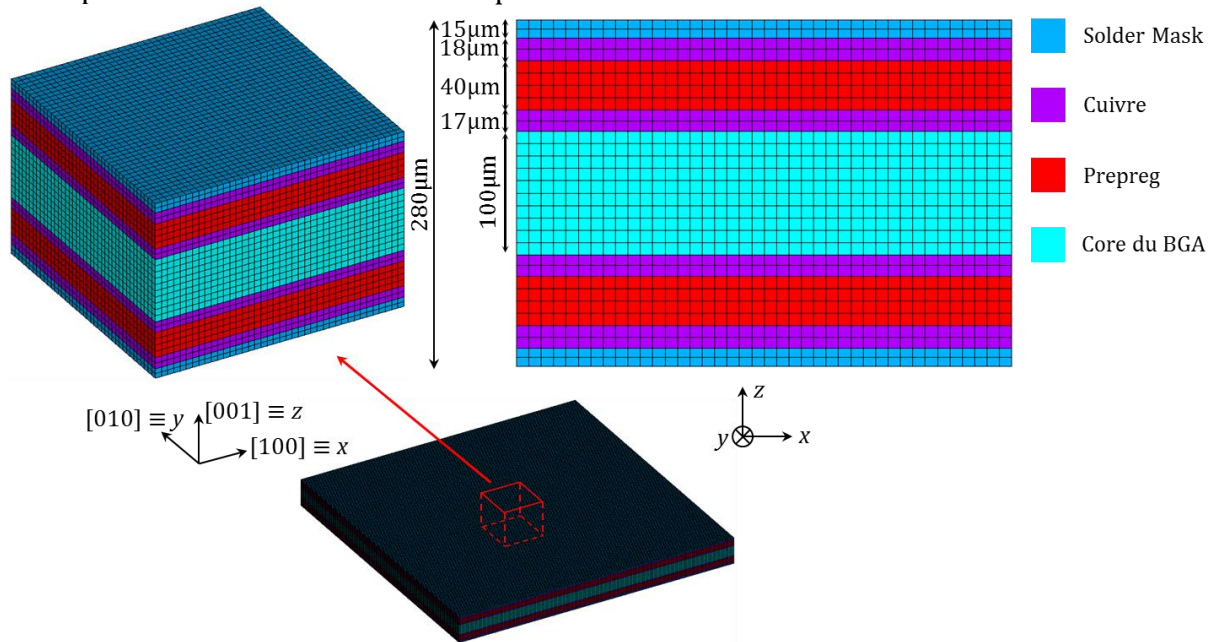


Figure 4. 15 – Modèle maillé représentatif du BGA à homogénéiser.

Les propriétés des matériaux sont présentées dans le [Tableau 4. 12](#).

Tableau 4. 12 – Propriétés matériaux des éléments utilisés dans l'impact du *Packaging*

	E [GPa]	CTE [ppm/°C]	$\nu$	Température de référence (°C)
Si <b>[Fiori, 2005]</b>	//	2.8	//	25
Cu <b>[Fiori, 2005]</b>	117	16.6	0.33	210
Solder Mask <sup>8</sup>	2.4	60	0.29	//
Prepreg <sup>8</sup>	4	47	0.3	//
Core BGA <sup>8</sup>	23	14	0.18	//
Underfill <sup>8</sup>	6	38	0.4	165
Résine de moulage <sup>8</sup>	25	4.5	0.3	165
Homogénéisation				
BEoL	107.8	13.05	0.31	25
BGA	$E_x : 38.962$ $E_y : 38.962$ $E_z : 9.292$	$CTE_x : 17.33$ $CTE_y : 17.33$ $CTE_z : 39.33$	$\nu_{xy} : 0.276$ $\nu_{yz} : 0.255$ $\nu_{xz} : 0.255$	75
UF+CP	$E_x : 8.264$ $E_y : 8.264$ $E_z : 19.195$	$CTE_x : 40.91$ $CTE_y : 39.31$ $CTE_z : 22.63$	$\nu_{xy} : 0.52$ $\nu_{yz} : 0.17$ $\nu_{xz} : 0.17$	165
UF+ $\mu$ CP	$E_x : 9.691$ $E_y : 9.691$ $E_z : 27.808$	$CTE_x : 38.41$ $CTE_y : 38.41$ $CTE_z : 20.45$	$\nu_{xy} : 0.54$ $\nu_{yz} : 0.13$ $\nu_{xz} : 0.13$	165
Constantes élastiques du Si (Anisotropie) <b>[Hopcroft, 2010]</b>				//
$C_{11}$ [GPa]	$C_{12}$ [GPa]	$C_{44}$ [GPa]		//
165.6	63.9	79.5		//

<sup>8</sup> Propriétés obtenues suite aux travaux internes

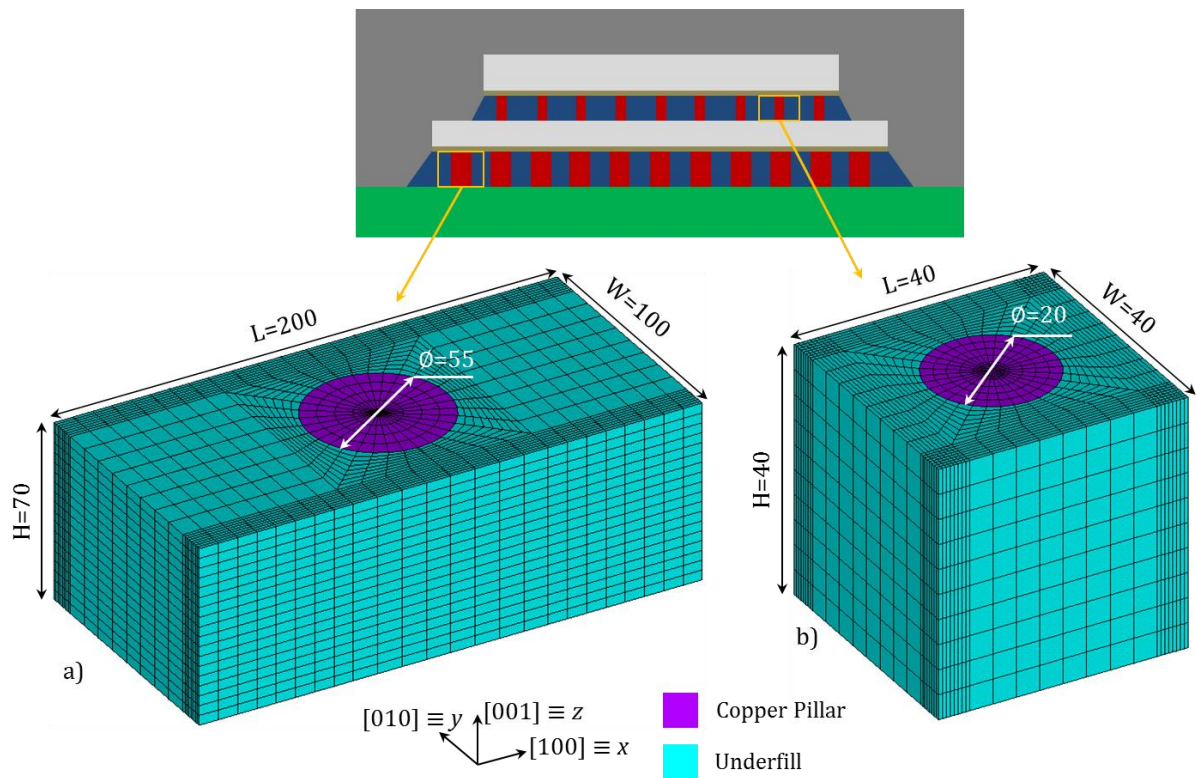


Figure 4. 16 – Modèle maillé représentatif du a) UF+CP et b) UF+ $\mu$ CP à homogénéiser.

Etant donné qu'au-dessus des capteurs se trouve un micro copper pillar qui peut avoir un effet sur ces derniers, cette zone n'est pas homogénéisée. Elle est donc constituée d'un micro copper pillar avec de l'underfill autour (Figure 4. 16-b).

Le modèle final à étudier (avec la résine de moulage enlevée pour une vue de détails) ainsi que les conditions aux limites sont représentés sur la Figure 4. 17.

Un refroidissement de la température de référence de chaque composant (Tableau 4. 12) à la température ambiante (25°C) est effectué.

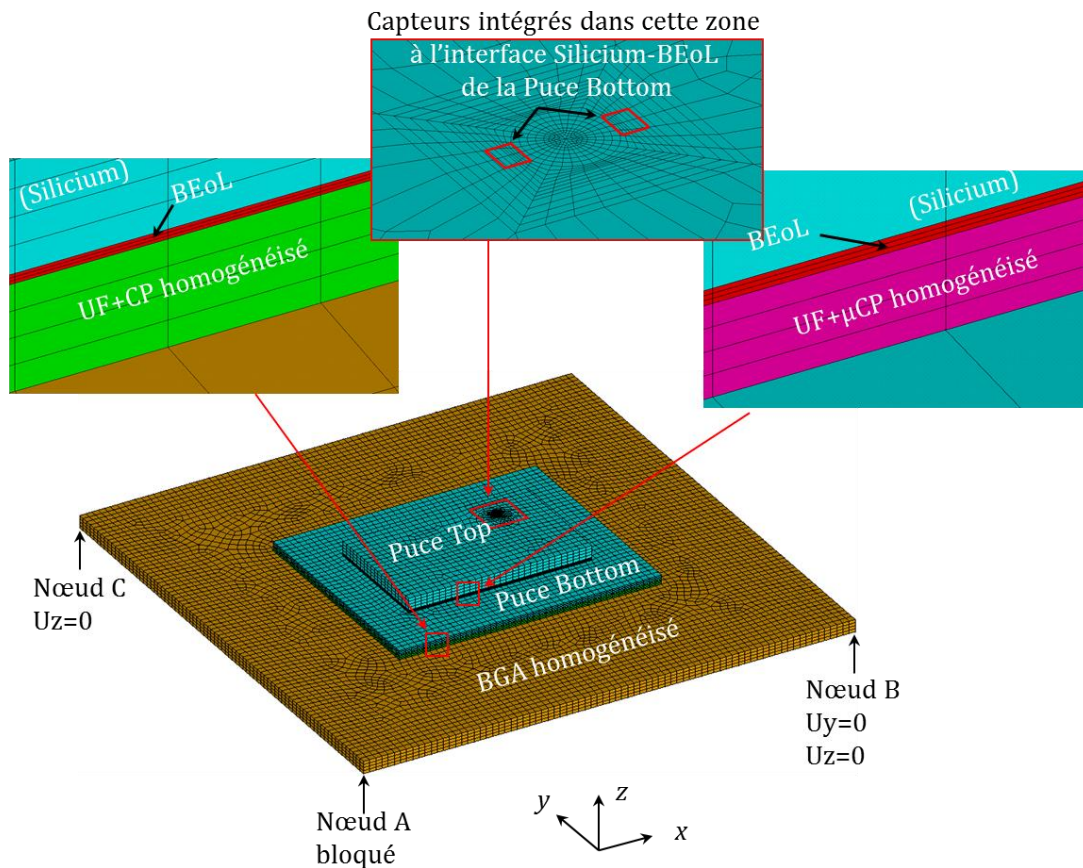


Figure 4. 17 – Modèle global maillé montrant les différentes parties ainsi que les conditions aux limites.

Les résultats de simulation du modèle global avec la résine de moulage non représentée (pour faciliter la visualisation) sont tracés sur la [Figure 4. 18](#) en contrainte de von Mises qui représente une contrainte équivalente permettant de montrer les zones de fortes contraintes.

On peut remarquer que le BGA n'est nullement contraint et que des deux puces, la puce appelée "puce bottom" est plus contrainte. Cela peut s'expliquer par le fait que cette dernière est prise en sandwich par plus de couches que la "puce top" avec des coefficients d'expansion thermique (CTE) différents.

La vue détaillée du modèle ([Figure 4. 18-b](#)) laisse entrevoir une contrainte importante dans la zone active de la puce bottom. Cette zone fera donc l'objet d'une étude plus approfondie dans la suite, d'autant plus que les capteurs sont intégrés dans cette zone.

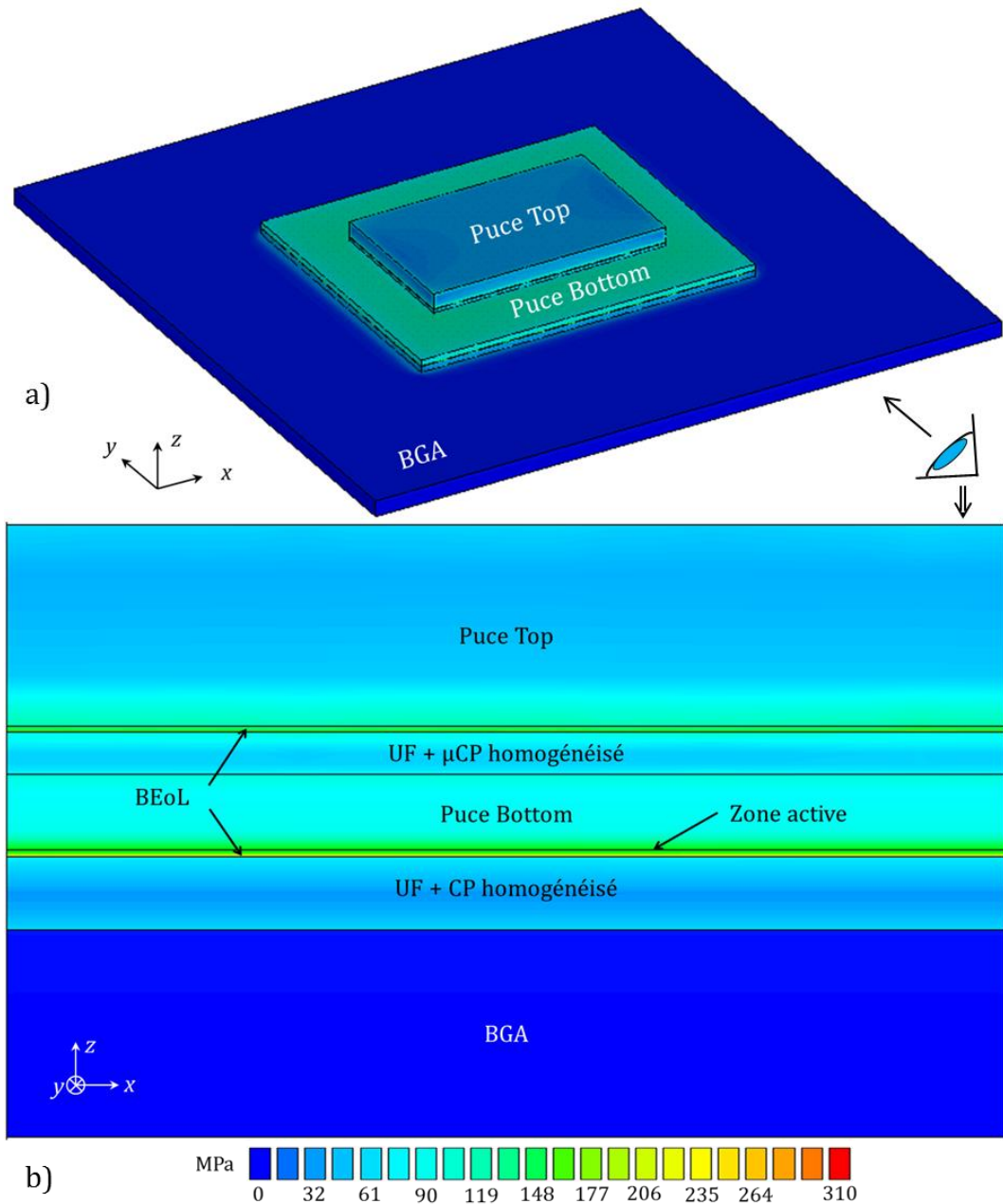


Figure 4. 18 – Contrainte de von Mises obtenue par simulation éléments finis sur le boîtier CMOS C65nm : a) vue globale sans la résine de moulage, b) vue agrandie montrant les différentes zones.

Le champ de contrainte de von Mises uniquement dans la zone active de la “puce bottom” est représenté sur la [Figure 4. 19](#) avec des vues agrandies de la zone où se situe le capteur en composantes  $\sigma_{xx}$ ,  $\sigma_{yy}$ ,  $\sigma_{zz}$  et  $\sigma_{xy}$  en vue de faire par la suite la comparaison avec les valeurs expérimentales.

Les traces circulaires sur les schémas sont dues à la présence d’un micro copper pillar tel que montré également sur la [Figure 4. 19](#).

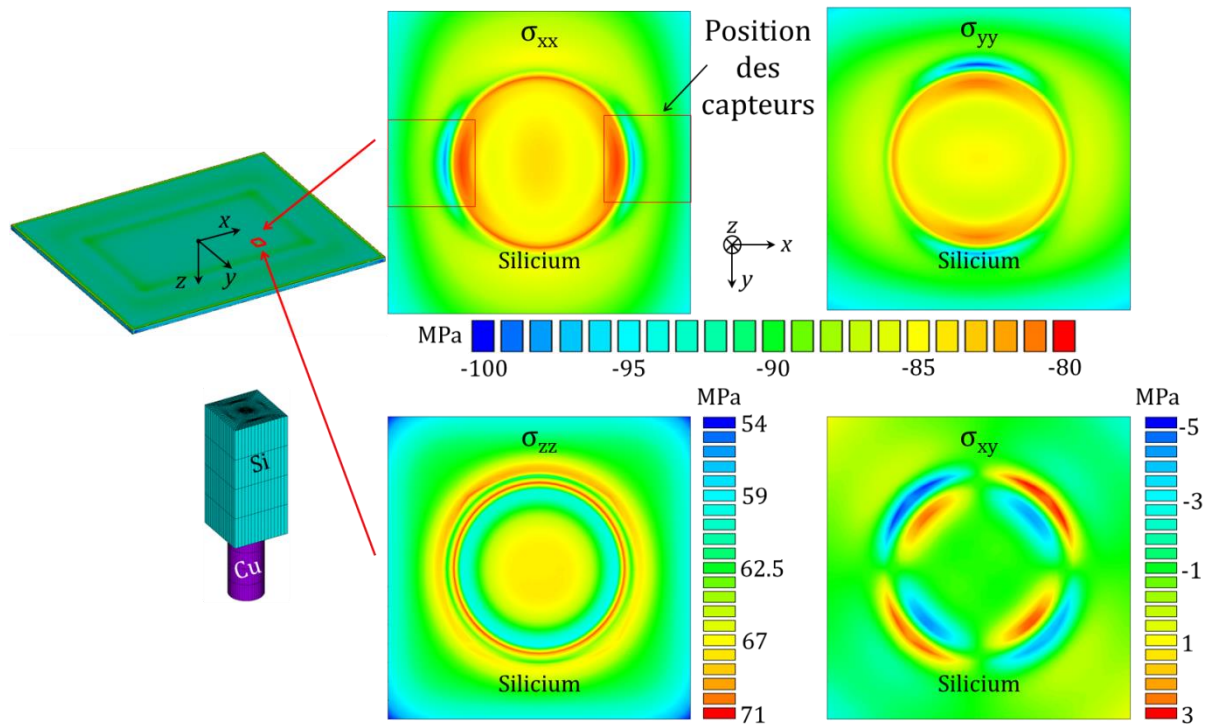


Figure 4. 19 – Composantes de contraintes  $\sigma_{xx}$ ,  $\sigma_{yy}$ ,  $\sigma_{zz}$  et  $\sigma_{xy}$  dans la zone des capteurs.

On peut affirmer que la composante de contrainte de cisaillement  $\sigma_{xy}$  est quasi nulle donc négligeable. Les composantes de contrainte  $\sigma_{xx}$  et  $\sigma_{yy}$  sont en compression et sont les plus influentes. On peut expliquer cette compression par le fait que, lors du refroidissement, le silicium qui a le plus faible coefficient d'expansion thermique est donc soumis à une contraction par les autres couches. On remarque une certaine non-uniformité des contraintes dans la zone des capteurs. En négligeant les effets de coins que l'on peut observer sur la composante  $\sigma_{zz}$ , les variations (non uniformité) de contraintes dans la zone des capteurs sont de l'ordre de :

$$|\Delta\sigma_{xx}| = |\Delta\sigma_{yy}| = 20\text{MPa} ; |\Delta\sigma_{zz}| = 12\text{MPa} ; |\Delta\sigma_{xy}| = 8\text{MPa}$$

Les valeurs moyennes des contraintes sont alors :

$$\sigma_{xx} \approx \sigma_{yy} \approx -87\text{MPa} ; \sigma_{zz} \approx 64\text{MPa} ; \sigma_{xy} \approx 0\text{MPa}$$

### 3. Corrélation et discussion

Dans la littérature [Jiang, 2013], les contraintes obtenues dues à la mise en boîtier sont bi-axiales telles que celles obtenues par simulation dans ce travail avec des composantes  $\sigma_{xx}$  et  $\sigma_{yy}$  en compression. Mais une comparaison quantitative avec les résultats de la littérature n'est pas possible car les configurations géométriques ainsi que les conditions de chargement ne sont pas les mêmes.

Dans cette partie, nous analysons les résultats expérimentaux et de simulation obtenus. En ne tenant compte que des valeurs médianes, la comparaison est résumée dans le Tableau 4. 13 et représentée sur la Figure 4. 20.

Tableau 4. 13 – Tableau comparatif des composantes de contraintes déterminées expérimentalement et par simulation

	Contraintes (MPa)			
	$\sigma_{xx}$	$\sigma_{yy}$	$\sigma_{zz}$	$\sigma_{xy}$
Expérimentation	-87	-33	-44	10
Simulation	-87	-87	64	0

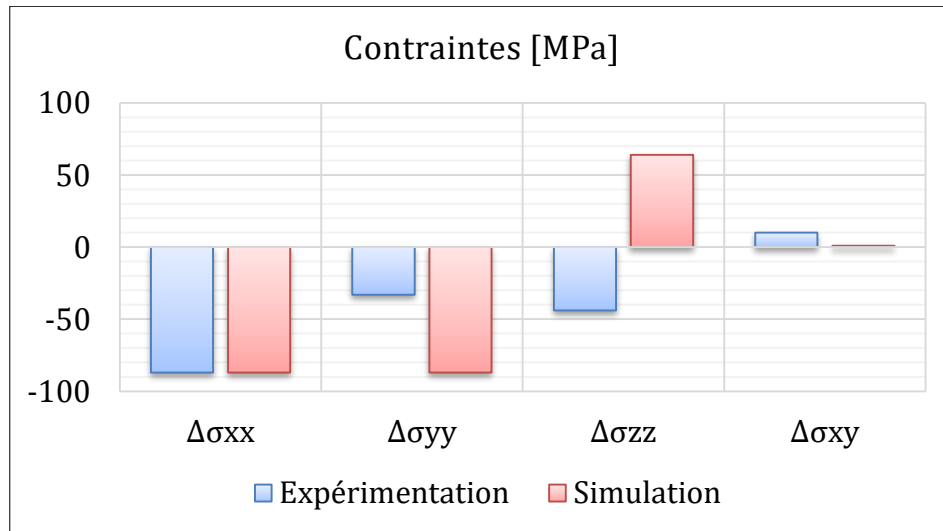


Figure 4. 20 – Diagramme comparatif des composantes de contraintes déterminées expérimentalement et par simulation.

D'après le [Tableau 4. 13](#) et la [Figure 4. 20](#), les composantes de contrainte  $\sigma_{xx}$  et  $\sigma_{xy}$  sont en bonne corrélation entre les résultats expérimentaux et de simulation. Par contre, on observe une différence considérable (55MPa) de la composante  $\sigma_{yy}$  obtenue expérimentalement et par simulation. De même la contrainte verticale  $\sigma_{zz}$  est totalement différente en termes de valeur et surtout de signe. Ces différences peuvent être expliquées par la non prise en compte de certains éléments (une ligne de métal qui passe sous un MOS par exemple) dans la simulation.

En se référant aux variations de courant de drain obtenues expérimentalement ([Tableau 4. 10](#)), les variations des MOS1 et MOS2 devraient être pratiquement les mêmes vu que les composantes de contraintes  $\sigma_{xx}$  et  $\sigma_{yy}$  sont égales. Ce qui n'est pas le cas. Le nMOS2 par exemple répond deux fois moins que le nMOS1. Un problème de sensibilité du MOS2 est donc soulevé puisque le coefficient  $\pi_{12}$  issu du MOS2 a un effet direct sur les composantes de contrainte  $\sigma_{yy}$  et  $\sigma_{zz}$ .

#### IV. Contraintes induites dans un empilement 2D

Cette partie sera consacrée à la détermination des contraintes induites par le procédé *packaging* dans un empilement 2D ([Figure 4. 21](#)) aux moyens des capteurs embarqués.

Les capteurs MOS décrits dans le chapitre 3 pour la technologie BiCMOS55nm sont utilisés. Deux séries de mesures ont été effectuées : une mesure au niveau plaquette juste avant le procédé de *bumping*, et une autre après le procédé de *packaging*.

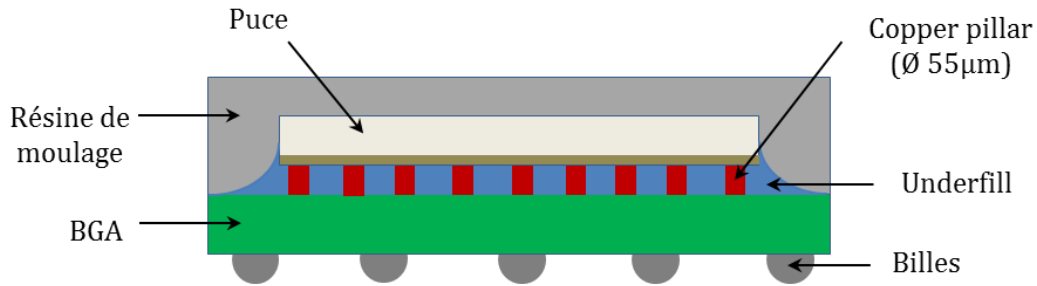


Figure 4. 21 – Représentation schématique de l'empilement 2D.

Ces mesures sur les mêmes puces avant et après permettent de s'affranchir de la variabilité inter-plaques. Elles sont effectuées sur deux plaques notées W1 et W2. Sur W1, 136 puces ont été mesurées et 31 puces sur W2.

Les variations de courant de drain sont calculées et regroupées dans le [Tableau 4. 14](#).

Tableau 4. 14 – Variations de courant de drain due à la mise en boîtier

	Variation de courant de drain Var [%]							
	nMOS1	nMOS2	nMOS3	nMOS4	pMOS1	pMOS2	pMOS3	pMOS4
	W1							
Min	-7.783	-2.573	-4.318	-5.840	0.144	0.310	0.235	-7.237
Max	-1.580	4.830	1.796	1.090	6.078	6.201	5.730	0.152
Médiane	-4.450	1.746	-1.100	-3.002	3.062	3.857	2.963	-2.577
Moyenne	-4.543	1.635	-1.040	-2.885	2.963	3.775	2.984	-2.616
Ecart-type	1.199	1.173	1.270	1.234	1.063	1.106	1.129	1.211
	W2							
Min	-7.684	-0.215	-1.904	-5.066	0.322	1.133	1.337	-4.046
Max	-2.469	5.317	1.442	0.434	5.594	6.904	5.388	0.030
Médiane	-4.059	2.685	-0.574	-2.498	3.545	4.759	3.810	-1.930
Moyenne	-4.011	2.577	-0.492	-2.565	3.487	4.660	3.477	-1.947
Ecart-type	1.135	1.310	0.792	1.469	1.136	1.213	1.091	1.115

La relation (4.7) est utilisée avec les coefficients du [Tableau 3. 6](#).

Le calcul est effectué avec le logiciel Mathcad et les résultats sont résumés dans le [Tableau 4. 15](#).

Tableau 4. 15 – Contraintes induites par le *packaging* déduites à partir des mesures électriques

	$\Delta\sigma_{xx}$ [MPa]	$\Delta\sigma_{yy}$ [MPa]	$\Delta\sigma_{zz}$ [MPa]	$\Delta\sigma_{xy}$ [MPa]
	W1			
Min	-175	-70	-202	-65
Max	39	183	175	-8
Médiane	-73±11	65±9.8	-42±6.3	-43±6.5
Moyenne	-74±11	66±10	-38±5.7	-43±6.5
Ecart-type	45	49	72	11
	W2			
Min	-152	-28	-327	-65
Max	84	276	98	-17
Médiane	-40±6	121±18	-123±18.5	-41±6
Moyenne	-38±5.7	121±18	-130±19.5	-38±5.7
Ecart-type	51	65	88	12



Les valeurs médianes des contraintes déterminées sur les deux plaques (W1 et W2) sont complètement différentes. La différence maximale entre les valeurs maximales et minimales des contraintes est observée sur la composante  $\Delta\sigma_{zz}$  et avoisine les 435MPa. D'une puce à l'autre, les contraintes sont différentes. Ceci est lié au problème de variabilité inter-puces qui impacte fortement les valeurs de contraintes déterminées.

En considérant la plaque W1, on remarque une différence significative avec des signes opposés entre les valeurs médianes de la composante  $\sigma_{xx}$  ( $\approx$ -73MPa) et  $\sigma_{yy}$  ( $\approx$ 65MPa). Les contraintes ne sont donc pas bi-axiales alors que le packaging est connu pour induire des contraintes bi-axiales.

Tel que évoqué dans le cas de la technologie CMOS65 boitier, les variations du courant des MOS1 et MOS2 sont totalement différentes.

## **V. Sources d'erreurs liées à l'utilisation des transistors**

Nous avons observé durant cette étude que les MOS rosette utilisés comme capteurs de contrainte répondent partiellement dans la détermination des contraintes induites par différents procédés.

Lors de la calibration, la nécessité de fixer les conditions de polarisations spécifiques et l'extraction des coefficients piézorésistifs à partir des courbes obtenues sont des points délicats et peuvent être une source d'erreur, vu que les transistors sont à l'échelle micrométrique et donc sensibles à des variations de paramètres.

Ce dysfonctionnement des MOS peut être aussi lié à des variabilités inter-puces et inter-plaques observées dans ce travail.

D'autre part, les transistors pourraient être perturbés électriquement (fuite par exemple au niveau de la grille qui modifierait la tension  $V_g$  et donc le courant  $I_{ds}$ ) lors des étapes de fabrication de la puce. Ce qui peut aussi expliquer les différences au niveau des variations des réponses électriques des MOS observées dans le cas des mises en boitier CMOS65 et BiCMOS55.

De plus, la présence d'un élément contraignant tel que le TSV (boitier CMOS65) ou le Bump (BiCMOS55) peut endommager les transistors et donc influencer leurs réponses au point où ces réponses soient très différentes de celles attendues.

Ces points énumérés constituent des sources d'erreurs liées à l'utilisation des MOS comme capteurs de contrainte étudiés dans ce travail.

## SYNTHESE IV

---

**D**ans le but d'évaluer la contrainte induite par le TSV dans les puces, des MOS en rosette ont été utilisés comme des capteurs de contrainte. Une approche combinée d'expérimentations et de simulations a été adoptée.

Les études expérimentales sont basées sur la calibration des capteurs et des mesures électriques avant (sur une plaquette) et après (sur une autre plaquette) le procédé de TSV sur la technologie CMOS65. Ce type de capteur a permis de déterminer les quatre composantes de contraintes ( $\sigma_{xx}$ ,  $\sigma_{yy}$ ,  $\sigma_{zz}$  et  $\sigma_{xy}$ ). La méthode des éléments finis est également utilisée pour l'évaluation de la contrainte due au TSV.

De ces études, on remarque que le champ de contraintes dans la zone des capteurs n'est pas uniforme, ce qui rend difficile la corrélation entre les résultats expérimentaux et de simulation. Néanmoins, les valeurs de contraintes ( $\sigma_{xx}$  et  $\sigma_{zz}$ ) obtenues par expérimentation se trouvent dans l'intervalle des valeurs de contrainte obtenues par simulation dans la zone des capteurs. On peut donc affirmer que la méthodologie expérimentale est assez fiable.

Pour améliorer la précision des mesures réalisées avec de tels capteurs embarqués, certains points peuvent être explorés :

- effectuer des mesures électriques en ligne (i.e. sur la même plaquette avant et après le procédé) sur un nombre important de capteurs afin de limiter les problèmes de variabilité inter-plaques ;
- réduire la taille de la rosette afin de réduire la variation de contrainte dans la zone des capteurs ;
- attribuer à chaque MOS de la rosette un champ de contraintes distinct.

Les mêmes capteurs ont été utilisés pour l'évaluation des contraintes dans un empilement 3D encapsulé. Les mesures électriques effectuées avant et après la mise en boîtier ont permis de déterminer les composantes de contrainte  $\sigma_{xx}$ ,  $\sigma_{yy}$ ,  $\sigma_{zz}$  et  $\sigma_{xy}$ . Ces composantes ont été également déterminées par simulation éléments finis et une assez bonne corrélation a été trouvée sauf pour les composantes  $\sigma_{yy}$  et  $\sigma_{zz}$ .

D'un autre côté, des capteurs MOS ont été aussi intégrés dans un empilement 2D encapsulé pour la technologie BiCMOS55. Les composantes de contrainte déterminées ne sont pas satisfaisantes. Plus précisément, la composante  $\sigma_{xx}$  est en compression alors que la composante  $\sigma_{yy}$  est en tension, sachant que la mise en boîtier est connue pour induire des contraintes bi-axiales.

Cette non-bi-axialité sur la technologie BiCMOS55 peut provenir du fait que les comportements des MOS ont peut-être été perturbés par les bumps en dessus desquels ils sont positionnés (Figure 3. 17).

Concernant les simulations éléments finis, des approximations (notamment les homogénéisations) ont été faites. Les impacts de ces approximations n'ont pas été évalués ici parce que le modèle complet prenant en compte tous les composants n'a pas pu être étudié. Ce modèle serait très couteux et nécessiterait des moyens de calcul considérables. De plus, pour faire mieux, toutes les étapes de fabrication de la puce principalement les recuits et les dépôts devraient être simulées. Ceci serait cependant délicat à mettre en place car cela nécessiterait plus de 200 opérations avec un temps de calcul considérable.

Ainsi, les résultats de simulation obtenus dans ce travail ne sont pas des résultats de référence, mais ils respectent au mieux la réalité.

De ces résultats, on peut noter qu'il y a un problème relatif à la réponse électrique du MOS orienté dans la direction [010]. D'autres types de capteurs doivent donc être étudiés pour l'évaluation des contraintes.

Il peut y avoir encore quelques imprécisions. Mais compte tenu de la complexité des structures analysées et modélisées, les résultats obtenus ici présentent un réel intérêt en termes de méthodologie mise en place et de bonnes idées pour améliorer les prochains capteurs grâce à l'analyse éléments finis présentée dans ce travail.

## ABSTRACT IV

---

In order to evaluate the stress induced by TSV in chips, MOS rosette (four nMOS and four pMOS) were used as stress sensors. A combined approach of experimentations and simulations was adopted.

The experimental investigations were based on the sensors calibration and electrical measurements were done before (on one wafer) and after (on another wafer) TSV process on CMOS65 technology node. This type of sensor enabled identifying the four stress components ( $\sigma_{xx}$ ,  $\sigma_{yy}$ ,  $\sigma_{zz}$  and  $\sigma_{xy}$ ). The finite elements method was also used for the TSV stress evaluation.

These studies showed that the stress field in the sensors area was not uniform, which makes difficult the correlation between experimental and simulation results. However, the stress values ( $\sigma_{xx}$  and  $\sigma_{zz}$ ) obtained from experimentation are in the range of stress obtained from simulation in the sensors area. One can then conclude that the experimental methodology is quite reliable.

In order to improve the accuracy of these embedded sensors measurements, some points can be explored:

- perform in-line measurements (i. e. before and after the TSV process) on an important number of sensors in order to limit the inter-wafer variability issue ;
- downsize the rosette in order to reduce the variation of the stress in the sensors area ;
- attribute to each MOS of the rosette a distinct stress field.

The same sensors were used for 3D stack package stress evaluation. The electrical measurements performed before and after packaging process enabled determining the stress components  $\sigma_{xx}$ ,  $\sigma_{yy}$ ,  $\sigma_{zz}$  and  $\sigma_{xy}$ . These components were also evaluated by finite element simulations and a good correlation was found except for  $\sigma_{yy}$  and  $\sigma_{zz}$ .

On another side, MOS rosette sensors were also embedded into 2D stack package for BiCMOS55 technology. The stress components determined are not satisfactory. More precisely, the component  $\sigma_{xx}$  is compressive whereas the component  $\sigma_{yy}$  is tensile, knowing that the packaging induced bi-axial stresses.

This non-biaxial behavior may be caused by the disturbance of the MOS behaviors by the bumps on top of which they were placed (Figure 3. 17).

In finite element simulations, approximations (namely homogenizations) were performed. The influences of these approximations were not examined because the whole model by accounting for all components was not studied. This would be very expensive and would require considerable computing means. Moreover, higher accuracy would

require the simulation of all the steps of chips manufacturing, mainly the annealing and the depositions. This is no easy because it should require more than 200 operations and a considerable calculation time.

Thus, the simulation results obtained in this work are not the reference results, but they suit at best the reality.

From these results, it can be stated that there is an issue related to the electrical response of the MOS oriented in [010] direction.

Unexpected results were obtained with the use of MOS rosette as stress sensor, and other types of sensors are needed to investigate this issue.

There may still be some inaccuracies. But considering the complexity of the analyzed and modelled structures, the results obtained here represent a real interest regarding the methodology set up and good ideas in order to improve the further sensors thanks to finite elements analyses presented in this work.

# CHAPITRE V : EXPLORATION DE NOUVELLES STRUCTURES

Les capteurs du type MOS sont utilisés pour la détermination des champs de contrainte dans les puces électroniques et pour l'évaluation des variations de mobilité des porteurs de charges dans les MOS dans la partie active des puces. Mais la puce est principalement composée de différentes structures ou circuits qui sont à leur tour composés d'autres éléments électriques tels les MOS, les résistances et autres. L'impact des contraintes sur ces MOS est important mais l'impact sur un circuit électrique donné serait encore plus intéressant car cela permettrait d'explicitier directement la perte ou le gain de données ou de signaux à la sortie de la puce. Nous traiterons donc par la suite l'impact de la contrainte sur une structure donnée.

## I. Structure et stratégie de test

Afin d'évaluer la réponse d'un circuit donné sous l'effet d'un champ de contraintes, une structure dite bandgap a été intégrée dans une structure de test (Figure 5. 1) dans la technologie CMOS40 décrite dans le chapitre 3. Cette structure bandgap est en fait un circuit électrique (Figure 5. 1-b) additionnel réalisé dans la puce à l'échelle microscopique. Il est composé de plusieurs éléments tels que les transistors MOS, les diodes, les capacitances, les résistances, orientés dans différentes directions. Il joue un rôle important de régulateur à découpage en convertissant les hautes tensions non régulées à de faibles tensions régulées.

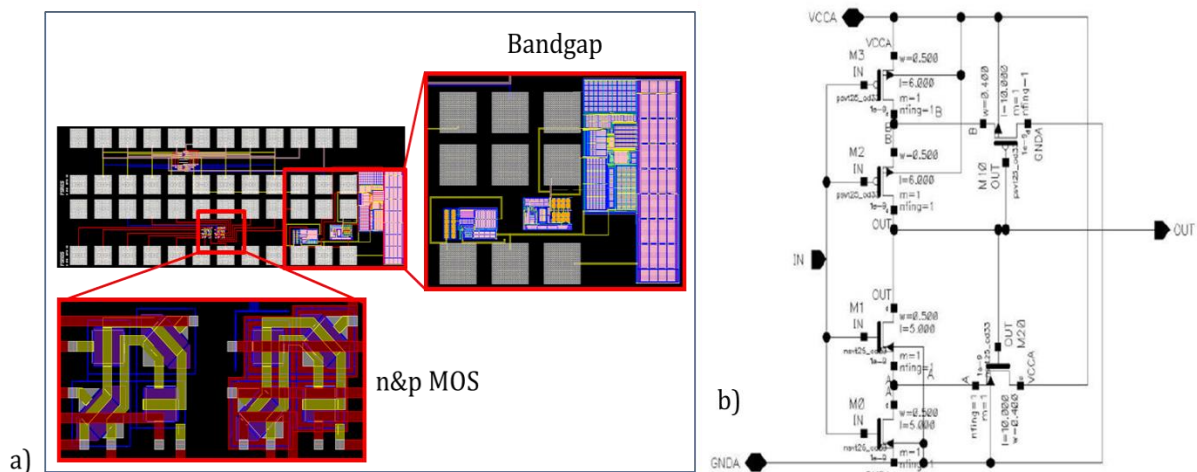


Figure 5. 1 – a) Vue des capteurs MOS et de la structure bandgap, b) Circuit électrique de la structure bandgap.

Le but de cette étude est de développer des outils de prédiction de variations de mobilité des MOS par comparaison avec les variations de la tension de sortie de la structure bandgap dues à la mise en boîtier. A cet effet, des études combinées expérimentations-simulations sont réalisées.

La méthodologie est la suivante :

- déterminer les coefficients de sensibilité des transistors MOS et de la structure bandgap ;
- évaluer par simulation éléments finis les contraintes induites par la mise en boîtier ;
- calculer les variations électriques des MOS et de la structure bandgap à partir de champ de contraintes et de leurs coefficients de sensibilité ;
- déterminer par une analyse DOE (*Design of Experiments* en anglais), les paramètres optimaux des dimensions des éléments du modèle afin de minimiser l'impact des contraintes sur les MOS et la structure bandgap.

## II. Etude de sensibilité / calibration

### 1. Méthodologie

La calibration des transistors MOS sur la technologie CMOS 40nm a déjà été effectuée et présentée dans le chapitre 3. Quant à la structure bandgap, les paramètres sont les suivants :

- variation de la tension d'entrée VCCA de 1.65V à 3.6V (valeurs standard utilisées) ;
- mesure de la tension de sortie V\_BG (1.2V est la valeur attendue).

Le test est effectué avec les mêmes équipements utilisés pour la calibration des capteurs MOS.

Dans ce cas d'étude, à partir d'une plaquette (001), trois échantillons ont été découpés suivant trois directions cristallographiques tels que montrés sur la [Figure 5. 2](#).

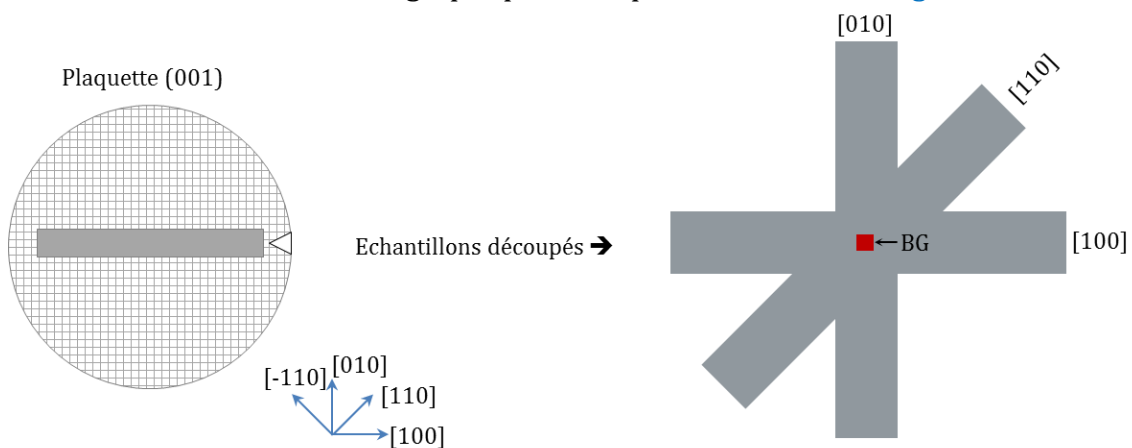


Figure 5. 2 – Représentation schématique des échantillons découpés à mesurer.

### 2. Résultats

Pour chaque échantillon, une seule structure a été mesurée. La tension de sortie en fonction de la contrainte appliquée pour différentes tensions d'entrée est mesurée et tracée sur la [Figure 5. 3](#).

On peut remarquer une sensibilité à la contrainte de la structure bandgap. On remarque aussi une faible variation de la tension de sortie  $V_{BG}$  (ou tension bandgap). Les dispersions maximales des mesures effectuées sont :

- pour l'échantillon [100] : 0.083mV
- pour l'échantillon [010] : 0.116mV
- pour l'échantillon [110] : 0.27mV

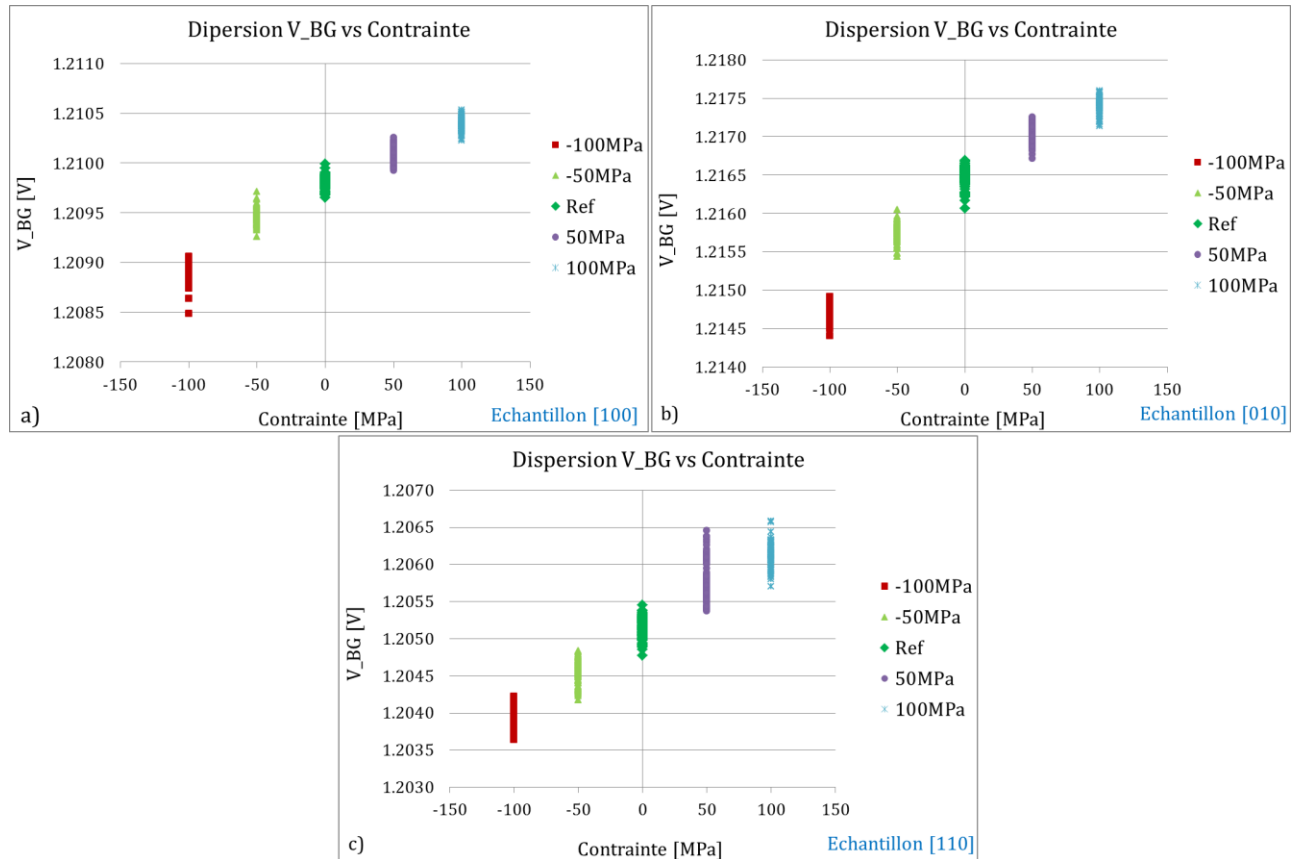


Figure 5.3 – Dispersion de la tension de sortie en fonction de la contrainte pour différentes tensions d'entrée.

Afin de mieux analyser cette variation, les valeurs médianes des tensions de sortie pour chaque niveau de contrainte sont tracées sur la Figure 5.4. Il semble apparaître que la structure bandgap ait un comportement linéaire vis-à-vis de la contrainte mais qui en réalité est curviligne avec une faible courbure telle qu'on peut le voir sur la Figure 5.4.



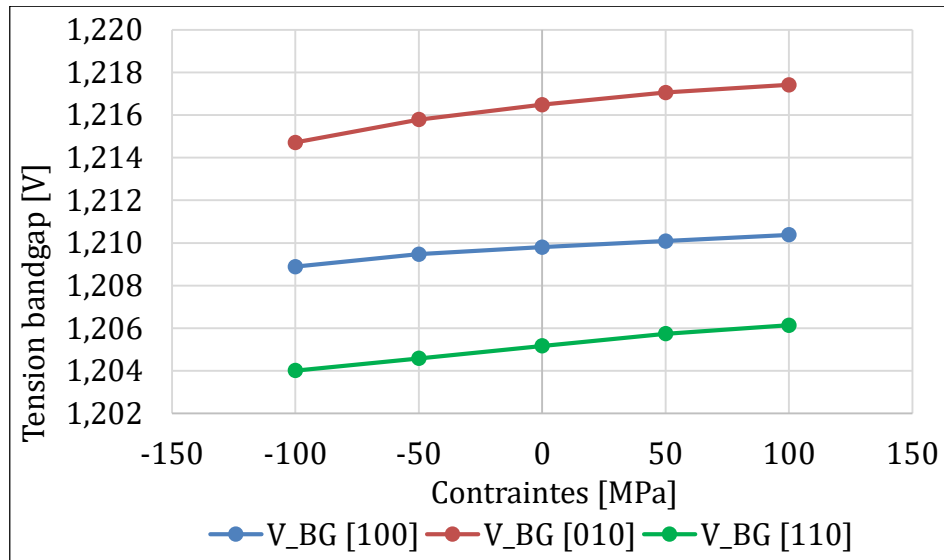


Figure 5. 4 – Valeurs médianes de la tension de sortie en fonction de la contrainte appliquée.

Ce comportement est aussi remarqué dans les travaux de Fabiano [Fruett, 2003] pour un échantillon [110] (Figure 5. 5).

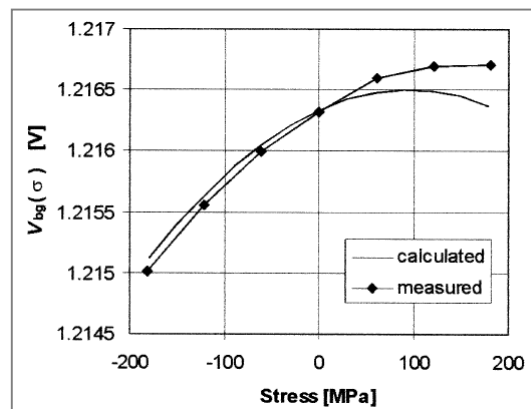


Figure 5. 5 – Variation de la tension bandgap en fonction de la contrainte appliquée à la température ambiante [Fruett, 2003].

En effet, la différence de tension bandgap dans notre cas pour un intervalle de contrainte allant de -100MPa à 100MPa est de l'ordre de 2.12mV (soit 0.176% par rapport à la valeur nominale). Mais sur la Figure 5. 5, cette différence sur un intervalle de -180MPa à 180MPa est d'environ 1.7mV (soit 0.14% par rapport à la valeur nominale).

D'un autre côté, dans les travaux de M. Motz [Motz, 2015], l'application d'une contrainte de tension sur un échantillon [100] de 0 (zéro) à 100MPa fait augmenter la tension bandgap de 1.06mV (soit 0.086%), alors que dans notre travail, cette différence est de 0.6mV (0.05%). On peut donc en conclure que notre structure bandgap a une sensibilité qui est intermédiaire entre [Fruett, 2003] et [Motz, 2015] et que cette sensibilité dépend de la configuration du circuit et de l'orientation de la plaque.

Cette sensibilité est plus importante en contrainte de compression.

La variation de la tension de V\_BG ( $[V\_BG(\sigma) - V\_BG(0)] / V\_BG(0)$  en %) en fonction de la contrainte appliquée est calculée et tracée sur la Figure 5. 6.

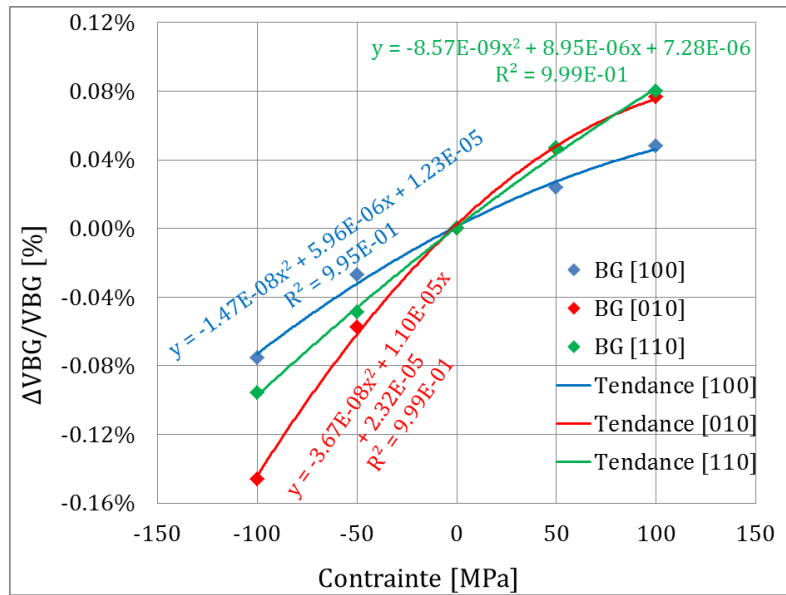


Figure 5. 6 – Variation de la tension bandgap en fonction de la contrainte appliquée.

Les courbes de tendance (Figure 5. 6) montrent que les variations ont un comportement qui peut être décrit par une fonction polynomiale de degré 2 avec des coefficients de régression proches de 1 :

$$f(\sigma) = a\sigma^2 + b\sigma + c \quad (5.1)$$

Les coefficients a, b et c déterminés pour chaque échantillon sont représentés dans le Tableau 5. 1.

Tableau 5. 1 – Coefficients de sensibilité à la contrainte de la structure bandgap

	Coefficients		
	a [MPa <sup>-2</sup> ]	b [MPa <sup>-1</sup> ]	c
[100]	-1.47*10 <sup>-8</sup>	5.96*10 <sup>-6</sup>	1.23*10 <sup>-5</sup>
[010]	-3.67*10 <sup>-8</sup>	1.10*10 <sup>-5</sup>	2.32*10 <sup>-5</sup>
[110]	-8.57*10 <sup>-9</sup>	8.95*10 <sup>-6</sup>	7.28*10 <sup>-6</sup>

L'application de la contrainte dans les trois directions cristallographiques ([100], [010] et [110]) modifie différemment le comportement de la structure bandgap. Ceci peut être expliqué par le fait que, les composants électriques de la structure (Figure 5. 1-b) ne réagissent pas de la même manière suivant les directions vis-à-vis de la contrainte appliquée. On remarque aussi que la sensibilité de la structure bandgap est nettement inférieure à celle des transistors MOS présentés précédemment. Cette faible sensibilité pourrait avoir pour cause la compensation (ou soustraction) des réponses électriques de chaque composant de la structure.

### III. Contraintes par simulation éléments finis

#### 1. Description du modèle

Dans cette partie, les contraintes induites par la mise en boîtier sont évaluées.

Le modèle global (Figure 5. 7) est composé de cinq éléments à savoir : la puce, la Die Attach (DA qui sert d'interface de collage entre la puce et le BGA), le BEoL (les interconnexions), le BGA (Ball Grid Array) et la résine de moulage (MC : Moulding Compound en anglais, pour la protection de la puce).

Notons que deux tailles de puces (1.4mm et 6.9mm) ont été étudiées (Annexe G) et les résultats ont montré que plus la puce est grande, plus la contrainte induite est élevée. Par la suite nous nous focaliserons sur une taille intermédiaire.

Les dimensions des composants sont détaillées dans le Tableau 5. 2.

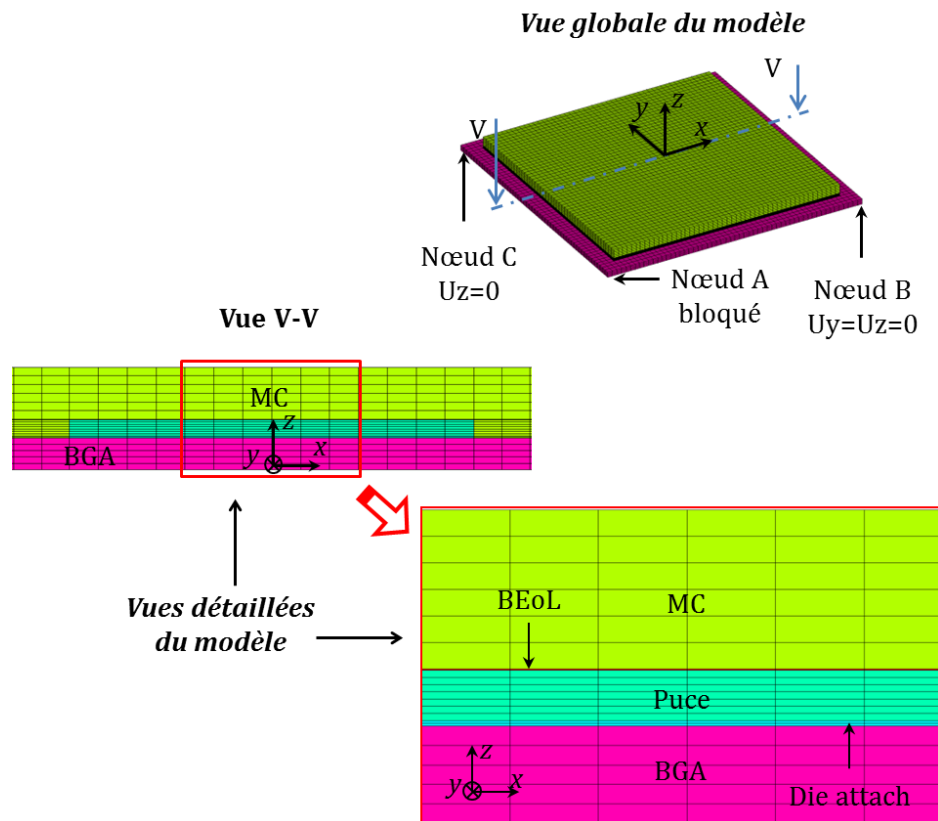


Figure 5. 7 – Modèle global maillé du boîtier CMOS 40 nm.

Tableau 5. 2 – Tableau des dimensions des composants du modèle

	Puce	DA	BEoL	BGA	MC
Longueur [mm]	4.15	4.15	4.15	27	24
Largeur [mm]	4.15	4.15	4.15	27	24
Épaisseur [ $\mu\text{m}$ ]	280	30	6.2	540	1200

Les éléments hexaédriques quadratiques à 20 nœuds ont été choisis.

Dans cette étude, l'anisotropie du silicium est prise en compte. Les autres matériaux sont considérés isotropes, et une parfaite adhésion aux interfaces est supposée. L'hypothèse du comportement élastique linéaire est faite. Le BEoL et le BGA ont été homogénéisés avec la même approche que celle détaillée au chapitre 4.

Les propriétés matériaux des composants sont résumées dans le Tableau 5. 3.

Tableau 5. 3 – Tableau des propriétés matériaux

	CTE [10 <sup>-6</sup> ppm/°C]	$\nu$	E (GPa) C <sub>ii</sub> (GPa) [Hopcroft, 2010]
Puce (Si)	2.8 [Fiori, 2005]		C <sub>11</sub> : 165.6 C <sub>12</sub> : 63.9 C <sub>44</sub> : 79.5
Die attach <sup>9</sup>	1.5	0.3	65
BEoL <sup>9</sup>	C <sub>tex</sub> : 13.19 C <sub>tey</sub> : 13.19 C <sub>tez</sub> : 12.72	0.2974	E <sub>x</sub> : 81.08 E <sub>y</sub> : 81.08 E <sub>z</sub> : 46.287
BGA <sup>9</sup>	C <sub>tex</sub> : 20.74 C <sub>tey</sub> : 30.79 C <sub>tez</sub> : 30.79	0.2289	E <sub>x</sub> : 33.936 E <sub>y</sub> : 33.936 E <sub>z</sub> : 8.386
MC <sup>9</sup>	7	0.3	E : 26

Un refroidissement uniforme de 225°C à la température ambiante est simulé, ce qui correspond à l'étape de "reflow" de la mise en boîtier.

## 2. Résultats : contraintes induites

Les composantes de contraintes ( $\sigma_{xx}$ ,  $\sigma_{yy}$ ,  $\sigma_{zz}$ ,  $\sigma_{xy}$ ) sont représentées sur la Figure 5. 8. Elles ont été extraites dans la partie active de la puce (dans le silicium) à l'interface puce-BEoL. On remarque que les composantes normales ( $\sigma_{xx}$ ,  $\sigma_{yy}$  et  $\sigma_{zz}$ ) sont en compression. Cela peut s'expliquer par le fait que, lors du refroidissement, la résine de moulage (avec un CTE de  $7 \cdot 10^{-6}$  ppm/°C) est fortement plus contractée que le silicium (avec un CTE de  $2.8 \cdot 10^{-6}$  ppm/°C) et donc exerce sur ce dernier une force de compression.

Les composantes de contraintes  $\sigma_{xx}$  et  $\sigma_{yy}$  sont très élevées et de même valeur tandis que les composantes  $\sigma_{zz}$  et  $\sigma_{xy}$  sont négligeables sur une grande zone au centre de la puce.

Mis à part les effets de bord et de coin observés sur la Figure 5. 8, les contraintes générées sont bi-axiales et concentrées au centre de la puce avec des valeurs de l'ordre de -200MPa. Ces contraintes sont importantes et leurs impacts sur les MOS et la structure bandgap sont à déterminer.

<sup>9</sup> Travaux internes (ST Crolles)

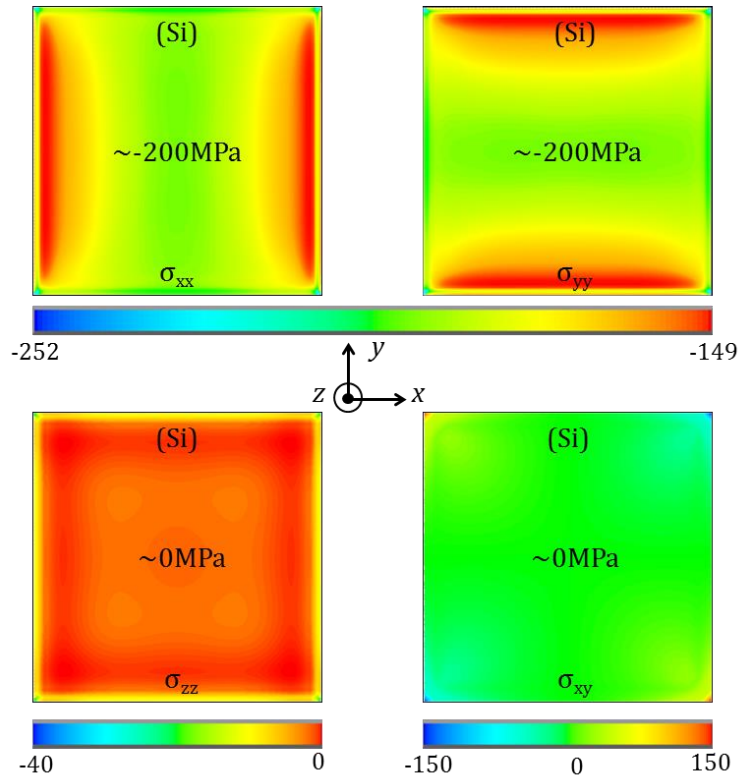


Figure 5. 8 – Composantes de contraintes générées par la mise en boîtier de la puce.

#### IV. Impacts des contraintes sur les MOS et la structure bandgap

##### 1. Relations caractéristiques

La relation pour l'évaluation de la mobilité des MOS est déjà décrite dans le chapitre 3. La structure bandgap, telle que présentée précédemment, est une structure complexe. Nous allons donc établir une relation permettant l'évaluation de la variation de la tension bandgap à partir des coefficients déterminés (Tableau 5. 1) et des composantes de contraintes.

En ne tenant compte que des quatre composantes de contraintes ( $\sigma_{xx}$ ,  $\sigma_{yy}$ ,  $\sigma_{zz}$ ,  $\sigma_{xy}$ ) dans le système de coordonnées  $(x, y, z)$  ( $\equiv$   $([100], [010], [001])$ ), on peut écrire :

$$\boxed{\frac{\Delta V_{BG}}{V_{BG}} = k(\sigma_{xx}) + l(\sigma_{yy}) + m(\sigma_{zz}) + n(\sigma_{xy})} \quad (5.2)$$

Avec  $\Delta V_{BG}/V_{BG}$  la variation (en %) de la tension bandgap ;  $k$ ,  $l$ ,  $m$  et  $n$  sont respectivement des fonctions polynomiales d'ordre 2 faisant intervenir les coefficients  $a$ ,  $b$  et  $c$  déterminés par calibration (Tableau 5. 1).

Puisque le test de calibration est effectué dans le plan, les coefficients de la fonction  $m$  ne peuvent donc être déterminés. Mais en supposant que les coefficients transverses verticaux sont similaires à ceux transverses horizontaux (comme dans le cas des coefficients piézorésistifs des MOS :  $\pi_{13}=\pi_{12}$ ), on peut donc écrire :

$$\boxed{\frac{\Delta V_{BG}}{V_{BG}} = k(\sigma_{xx}) + l(\sigma_{yy}) + l(\sigma_{zz}) + n(\sigma_{xy})} \quad (5.3)$$

$$\text{Soit : } \frac{\Delta V_{BG}}{V_{BG}} = f_{[100]}(\sigma_{xx}) + f_{[010]}(\sigma_{yy}) + f_{[001]}(\sigma_{zz}) + f_{[110]}(\sigma_{xy}) \quad (5.4)$$

On a finalement, avec  $f$  la fonction décrite dans la relation (5.1) :

$$\frac{\Delta V_{BG}}{V_{BG}} = a_{[100]} * \sigma_{xx}^2 + b_{[100]} * \sigma_{xx} + c_{[100]} + a_{[010]} * \sigma_{yy}^2 + b_{[010]} * \sigma_{yy} + c_{[010]} + a_{[001]} * \sigma_{zz}^2 + b_{[001]} * \sigma_{zz} + c_{[001]} + a_{[110]} * \sigma_{xy}^2 + b_{[110]} * \sigma_{xy} + c_{[110]} \quad (5.5)$$

## 2. Résultats : impact des contraintes

A partir des relations (4.6) et (5.5), les mobilités des MOS et la variation de la tension bandgap après refroidissement, ont été déterminées et représentées sur la [Figure 5. 9](#).

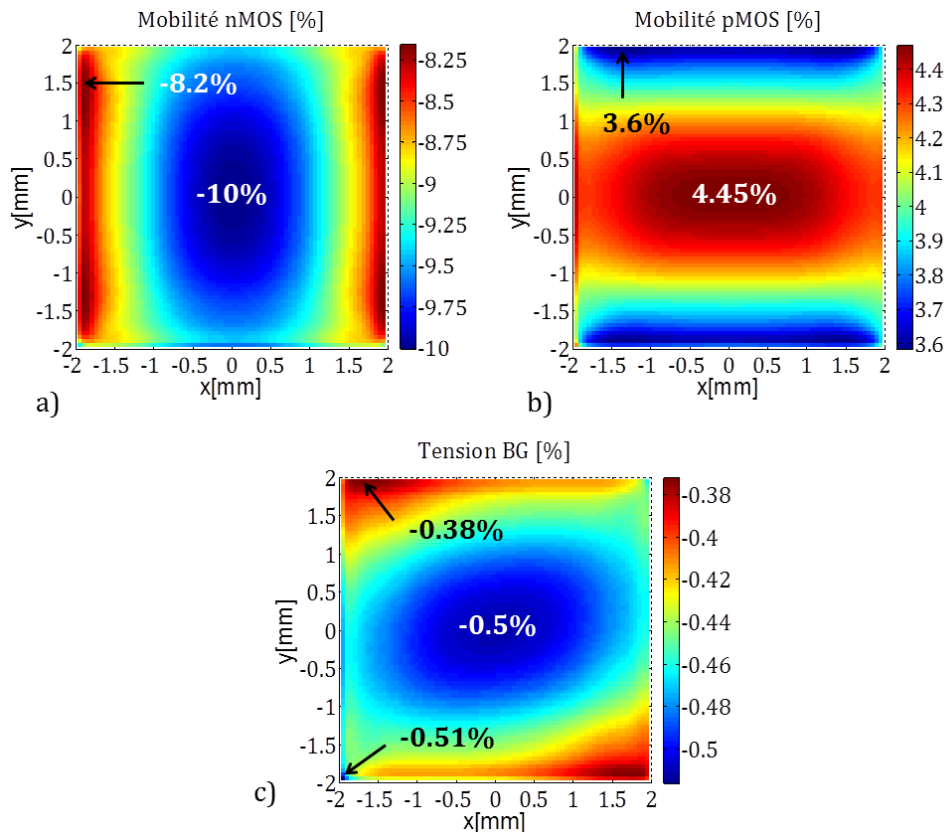


Figure 5. 9 – Variations de a) mobilité nMOS, b) mobilité pMOS, et c) tension bandgap.

D'après la [Figure 5. 9](#), les grandes variations sont concentrées au centre de la puce et valent environ :

- nMOS : -10%
- pMOS : 4.45%
- Bandgap : -0.5%

On peut affirmer que les nMOS sont plus impactés que les pMOS et le bandgap et que la variation de la tension bandgap est négligeable. Mais comme la structure bandgap est

considérée comme une structure de référence, la tension de sortie  $V_{BG}$  est supposée ne pas varier. Cette variation observée n'est donc pas négligeable.

Ce travail a permis d'illustrer la mise en place d'une stratégie de prédiction des variations de la mobilité des MOS et de la tension bandgap induites par des contraintes dues à la mise en boîtier. Il ressort que les variations de mobilité sont élevées et doivent être prises en compte par les concepteurs des produits.

Bien que la variation de la tension de la structure bandgap paraisse très faible, elle a un impact sur la performance de la puce puisque une haute précision est attendue pour cette structure de référence.

Etant données ces fortes variations, une étude paramétrique est alors nécessaire afin de déterminer les éléments influents et de minimiser l'effet de la mise en boîtier sur la puce.

## V. Etude paramétrique : minimisation des contraintes

### 1. Etude paramétrique

L'étude est basée sur un plan d'expérience appliqué au type de modèle précédent et consiste à varier en premier lieu les dimensions géométriques des éléments et en second lieu les propriétés matériaux de la résine de moulage (MC\_CTE : le coefficient d'expansion thermique et MC\_E : le module d'Young), car d'un point de vue conception, il est plus facile de modifier cette dernière. Afin de réduire le temps de calcul, seulement deux valeurs (une valeur de référence et une autre variée de 50% par rapport à la première) de chaque paramètre géométrique sont considérées (cf [Tableau 5. 4](#)).

Tableau 5. 4 – Dimensions des éléments pour l'étude paramétrique

Dimensions en $\mu\text{m}$					
Puce Epaisseur (Puce_ep)	BGA Taille (BGA_t)	BGA Epaisseur (BGA_ep)	MC Taille (MC_t)	MC Epaisseur (MC_ep)	DA Epaisseur (DA_ep)
280 <sup>10</sup>	16240 <sup>10</sup>	540 <sup>10</sup>	16240 <sup>10</sup>	1200 <sup>10</sup>	30 <sup>10</sup>
140	8120	270	8120	600	15

Les conditions aux limites et le chargement sont les mêmes que dans le cas précédent. 64 modèles ont donc été simulés.

Dans un premier temps, l'étude est centrée sur la réduction de la variation de mobilité coin-centre ([Figure 5. 10](#)) (variation "intra-die") pour obtenir une variation un peu plus uniforme sur la puce, puis sur la réduction de la mobilité sur toute la surface de la puce.

Notons :

nMOS\_Diff : la différence de variation de mobilité nMOS entre le coin et le centre de la puce ;

pMOS\_Diff : la différence de variation de mobilité pMOS entre le coin et le centre de la puce ;

BG\_Diff : la différence de variation de tension bandgap entre le coin et le centre de la puce ;

réponses de sortie : les variations de mobilité des MOS et de la tension bandgap.

<sup>10</sup> Une des configurations de référence

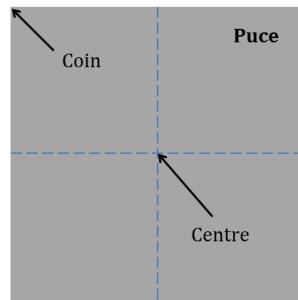


Figure 5. 10 – Schéma montrant le centre et le coin de la puce où la différence des réponses de sortie est analysée.

Les contraintes au centre et au coin de la puce ont été extraites, et, à partir des relations (4.6) et (5.5), les réponses de sortie ont été déterminées. L'analyse a été effectuée avec le logiciel Statgraphics et donne les résultats suivants (Figure 5. 11). Afin de simplifier l'analyse, seuls les effets linéaires (et non combinés) des composants ont été considérés, c'est-à-dire que les effets des paramètres sont indépendants les uns des autres.

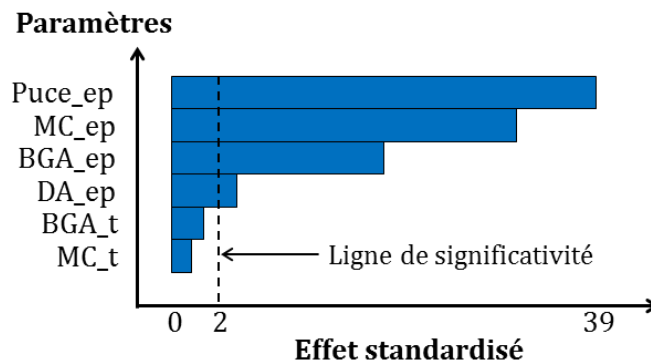


Figure 5. 11 – Diagramme représentant l'impact de chaque paramètre géométrique.

L'effet standardisé représente ici le poids d'impact de chaque paramètre sur les réponses de sortie.

Le calcul de cet effet entre dans le cadre de l'analyse de variance (ANOVA). En effet, on introduit la somme des carrés des écarts des réponses de sortie (SCE), puis l'effet d'un paramètre est défini comme étant le quotient de la somme des écarts des réponses de sortie dues à ce paramètre par cette somme SCE.

Le détail de ce calcul peut être trouvé dans [Chambers, 1992].

D'après la Figure 5. 11, on peut remarquer que les épaisseurs de la puce, de la résine de moulage et du BGA sont les paramètres principaux impactant le plus les différences des réponses de sortie.

## 2. Minimisation de la différence entre le coin et le centre de puce

Pour chaque paramètre nMOS\_Diff, pMOS\_Diff et BG\_Diff, une relation est établie les liant aux paramètres géométriques :



$$\begin{aligned}
 nMOS_{Diff} &= f(Puce_{ep}, BGA_t, BGA_{ep}, MC_t, MC_{ep}, DA_{ep}) \\
 pMOS_{Diff} &= g(Puce_{ep}, BGA_t, BGA_{ep}, MC_t, MC_{ep}, DA_{ep}) \\
 BG_{Diff} &= h(Puce_{ep}, BGA_t, BGA_{ep}, MC_t, MC_{ep}, DA_{ep})
 \end{aligned}
 \tag{5.6}$$

Notons que ce n'est pas la précision des paramètres optimisés qui est recherchée dans cette étude. Mais une approximation des valeurs des paramètres permettant de réduire l'effet de la contrainte due à la mise en boîtier. C'est aussi pour cela que seulement deux valeurs de chaque paramètre ont été choisies en adoptant une interpolation linéaire.

Pour chaque relation, une minimisation avec Statgraphics permet d'obtenir les paramètres géométriques optimaux représentés dans le [Tableau 5. 5](#).

Tableau 5. 5 – Tableau des paramètres optimisés

En $\mu\text{m}$	Valeurs définies		Valeurs optimisées			Valeurs moyennées (Option 4)
	Valeur 1 min	Valeur 2 max	nMOS_Diff (Option 1)	pMOS_Diff (Option 2)	BG_Diff (Option 3)	
Puce_ep	140	280	278.8	278.1	140	232.3
BGA_t	8120	16240	12543.6	16235	12180	13652.9
BGA_ep	270	540	300.4	270.3	270.1	280.3
MC_t	8120	16240	9573.5	8122.1	8120	8605.2
MC_ep	600	1200	1196.4	1197.5	600.7	998.2
DA_ep	15	30	25.1	15	29.9	23.3

D'après le [Tableau 5. 5](#), les valeurs optimales permettant de minimiser chaque différence des réponses de sortie ne sont pas les mêmes car l'impact des contraintes sur ces structures ne sont pas les mêmes. Une seule option doit donc être choisie.

En introduisant chaque lot de paramètres du [Tableau 5. 5](#) dans le code de simulation, les différences des réponses de sortie ont été réévaluées et résumées dans le [Tableau 5. 6](#).

Tableau 5. 6 – Résultats des différences des réponses de sortie à partir des valeurs optimisées

Option	Puce_ep	BGA_t	BGA_ep	MC_t	MC_ep	DA_ep	nMOS_Diff [%]	pMOS_Diff [%]	BG_Diff [%]
1	278.8	12544	300.4	9573.5	1196.4	25.1	-0.0300	-0.0034	-0.0479
2	278.1	16235	270.3	8122.1	1197.5	20.1	-0.0917	0.0234	-0.0514
3	140.0	12180	270.1	8120	600.7	15	2.1743	-0.9037	0.0333
4	232.3	13653	280.3	8605.2	998.2	23.3	0.5678	-0.2527	-0.0255

Il apparait que, d'après le [Tableau 5. 6](#), la première option permet de minimiser les différences des mobilités des MOS et la quatrième option la différence de la tension bandgap. Alors que d'après le [Tableau 5. 5](#), c'est plutôt l'option 2 qui minimise les pMOS et l'option 3 le bandgap. Cette différence vient du fait que la relation (5.6) est une relation établie avec des approximations sur les paramètres tel que évoqué plus haut sur la précision des paramètres optimisés.

Les dimensions géométriques des options 1 et 4 ont été combinées aux paramètres des propriétés matériaux de la résine de moulage (Tableau 5. 7).

Tableau 5. 7 – Propriétés matériaux de la résine de moulage

	MC_CTE [ $^{\circ}\text{K}^{-1}$ ]	MC_E [MPa]
Valeur 1	$3.5 \cdot 10^{-6}$	$1.3 \cdot 10^4$
Valeur 2 <sup>10</sup>	$7 \cdot 10^{-6}$	$2.6 \cdot 10^4$

En procédant de la même manière que précédemment, après minimisation à l'aide de Statgraphics, les paramètres optimaux finaux permettant de réduire ces différences sont alors (Tableau 5. 8) :

Tableau 5. 8 – Paramètres optimaux finaux pour la minimisation des différences des réponses de sortie

Puce_ep [ $\mu\text{m}$ ]	BGA_t [ $\mu\text{m}$ ]	BGA_ep [ $\mu\text{m}$ ]	MC_t [ $\mu\text{m}$ ]	MC_ep [ $\mu\text{m}$ ]	DA_ep [ $\mu\text{m}$ ]	MC_CTE [ $^{\circ}\text{K}^{-1}$ ]	MC_E [MPa]
278.8	12544	300.4	9573.5	1196.4	25.1	$7 \cdot 10^{-6}$	$2.6 \cdot 10^4$

Avec ces paramètres, les contraintes ont été recalculées (Tableau 5. 9) et les réponses de sorties sont présentées sur la Figure 5. 12.

Tableau 5. 9 – Valeurs des composantes de contraintes et des différences de valeurs de sortie après minimisation

$\sigma_{xx} \equiv \sigma_{yy}$ [MPa]	$\sigma_{zz}$ [MPa]	$\sigma_{xy}$ [MPa]	nMOS_Diff  [%]	pMOS_Diff  [%]	BG_Diff  [%]
-173.6	-1.39	$\sim 0$	0.03	0.004	0.04

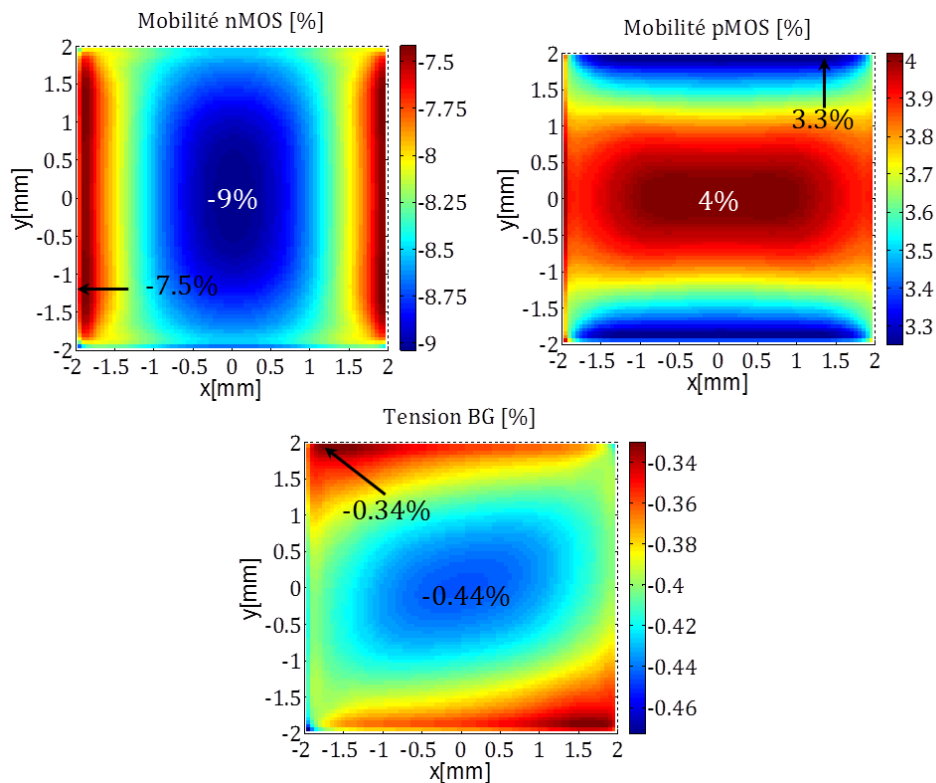


Figure 5. 12 – Réponses de sortie après minimisation des différences.

On peut donc remarquer que, d’après le [Tableau 5. 9](#), les différences (en valeurs absolues) des réponses de sortie entre le centre et le coin de la puce sont très faibles, ce qui montre que la minimisation a été réalisée avec succès. Néanmoins le champ de contrainte et plus précisément les composantes  $\sigma_{xx}$  et  $\sigma_{yy}$  au centre de la puce sont élevées et demeurent les principaux contributeurs des variations des réponses de sortie. Par conséquent, les variations de mobilité des MOS et de la tension bandgap sont légèrement inférieures à celles du cas de référence ([Figure 5. 12](#)) :

- nMOS\_Diff  $\approx$  -9%
- pMOS\_Diff  $\approx$  4%
- BG\_Diff  $\approx$  -0.44%

L’optimisation des paramètres pour la minimisation des différences des réponses de sortie ne permet pas de minimiser les réponses elles-mêmes. Ce qui conduit donc à la seconde étude paramétrique.

### 3. Minimisation sur toute la surface de la puce

La méthodologie décrite précédemment est celle appliquée dans cette partie, mais cette fois-ci dans le but de réduire les variations de mobilité des MOS et de la tension bandgap sur toute la puce. Les paramètres principaux qui impactent plus les réponses de sortie sont les mêmes que pour la première étude ([Figure 5. 11](#)).

Les paramètres optimaux sont présentés dans le [Tableau 5. 10](#) .

Tableau 5. 10 – Paramètres optimaux finaux pour la minimisation des réponses de sortie

Puce_ep [ $\mu\text{m}$ ]	BGA_t [ $\mu\text{m}$ ]	BGA_ep [ $\mu\text{m}$ ]	MC_t [ $\mu\text{m}$ ]	MC_ep [ $\mu\text{m}$ ]	DA_ep [ $\mu\text{m}$ ]	MC_CTE [ $^{\circ}\text{K}^{-1}$ ]	MC_E [MPa]
280	8120	540	8120	600	30	$3.9 \cdot 10^{-6}$	$2.442 \cdot 10^4$

Les composantes de contraintes, les variations de mobilité des MOS et de la tension bandgap au centre et au coin de la puce ont été calculées et présentées dans le [Tableau 5. 11](#).

Tableau 5. 11 – Valeurs des composantes de contraintes et des réponses de sortie

Centre			Coin		
$\sigma_{xx} / \sigma_{yy}$ [MPa]	$\sigma_{zz}$ [MPa]	$\sigma_{xy}$ [MPa]	$\sigma_{xx} / \sigma_{yy}$ [MPa]	$\sigma_{zz}$ [MPa]	$\sigma_{xy}$ [MPa]
-0.21	-0.34	$\sim 0$	-47.36	7.40	17.26
nMOS [%]	pMOS [%]	BG [%]	nMOS [%]	pMOS [%]	BG [%]
$\sim 0$	$\sim 0$	$\sim 0$	-2.3	1	-0.09

A l’échelle de la puce, les réponses de sortie sont présentées sur la [Figure 5. 13](#).

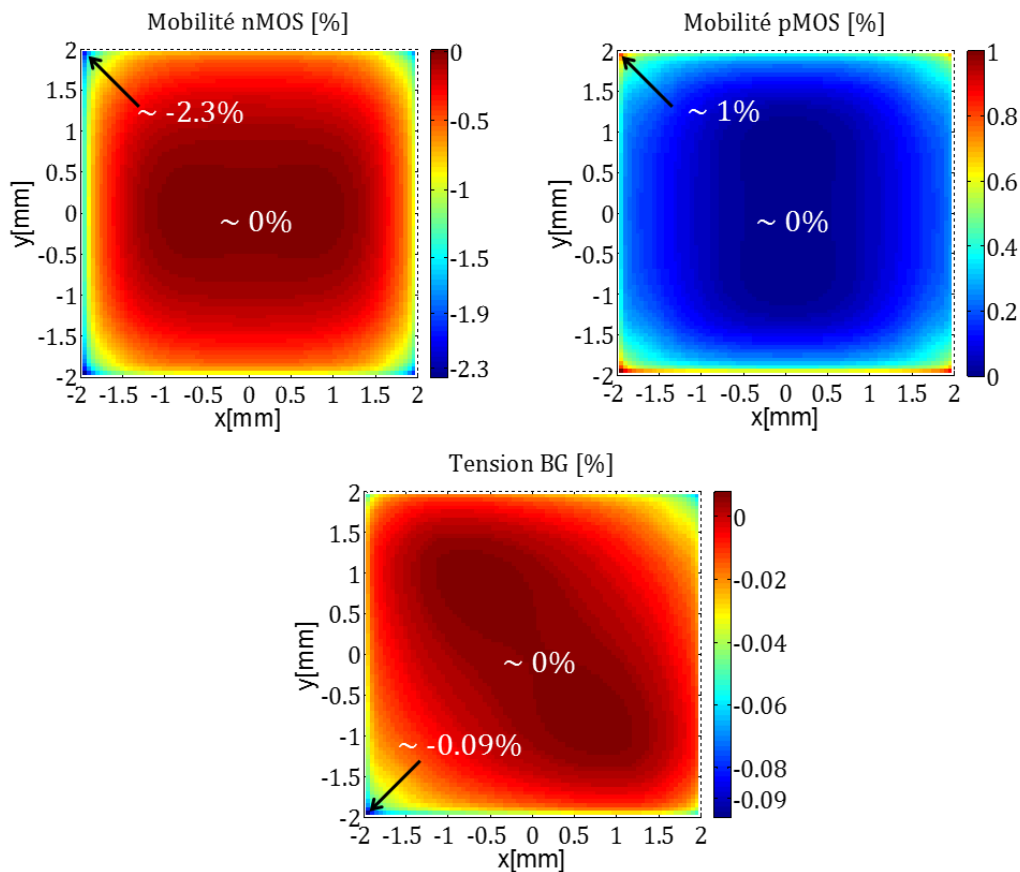


Figure 5. 13 – Réponses de sortie après minimisation à l'échelle de la puce.

La [Figure 5. 13](#) montre que, sur une grande zone au centre de la puce, les composantes des contraintes sont négligeables ([Tableau 5. 11](#)) et donc les variations de mobilité des MOS et de la tension bandgap sont très faibles voire nulles.

Les différences entre le centre et le coin en valeurs absolues donnent :

$$\text{nMOS\_Diff} \approx 2.3\%$$

$$\text{pMOS\_Diff} \approx 1\%$$

$$\text{BG\_Diff} \approx 0.09\%$$

A part les valeurs des nMOS, ces différences sont aussi très faibles. On peut en conclure que la minimisation des réponses de sortie permet par la même occasion de minimiser les différences (en valeurs absolues) coin-centre de ces réponses.

Nous venons de montrer que, en agissant sur les paramètres géométriques de certains composants de la puce en boîtier ainsi que sur le module d'Young et le CTE de la résine de moulage, l'impact de la mise en boîtier sur le fonctionnement des puces peut être considérablement réduit. Ce qui constitue un résultat essentiel en microélectronique.

## VI. Etudes de sensibilité des résistances polysilicium

Le but de cette étude est de déterminer les degrés de sensibilité des résistances en polysilicium (poly-Si) dopées N et P, en fonction de la contrainte appliquée, et voir si elles peuvent être utilisées comme capteurs.

### 1. Structure de test

Les résistances dopées N (nommée nR) et P (nommée pR) ont été intégrées dans la même technologie CMOS40nm que précédemment. Elles ont une taille de  $25\mu\text{m} \times 2\mu\text{m}$  et ont été fabriquées dans une seule direction (direction [100]) telles que montrées sur la Figure 5.14.

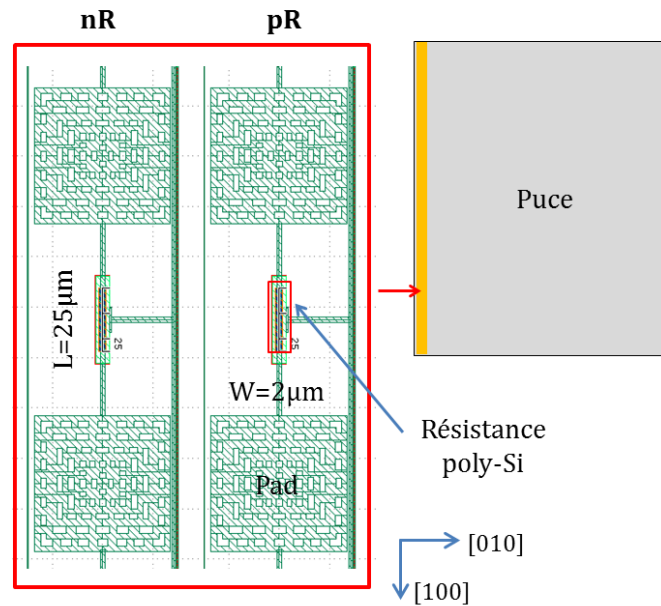


Figure 5.14 – Structure de test pour les résistances poly-Si.

L'analyse EBSD sur du polysilicium<sup>11</sup> donne les résultats représentés sur la Figure 5.15.

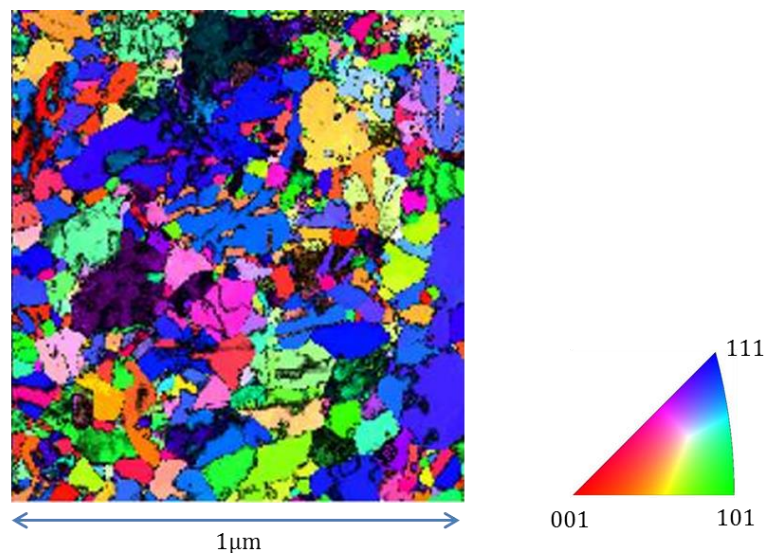


Figure 5.15 – Résultats d'EBSD obtenus sur du poly-Si<sup>11</sup>, projection suivant la direction normale à la puce.

<sup>11</sup> Travaux internes (ST Crolles)

On peut remarquer que les orientations des grains sont aléatoires. Aucune orientation cristallographique n'est privilégiée.

## 2. Résultats du test

Le test a été effectué à l'aide de l'équipement de flexion quatre-points (Figure 3. 6) et de l'appareil de mesure électrique (Figure 3. 11). Deux échantillons ont été découpés dans deux directions cristallographiques : [100] et [010]. Les variations des résistances électriques en fonction de la contrainte appliquée sont représentées sur la Figure 5. 16.

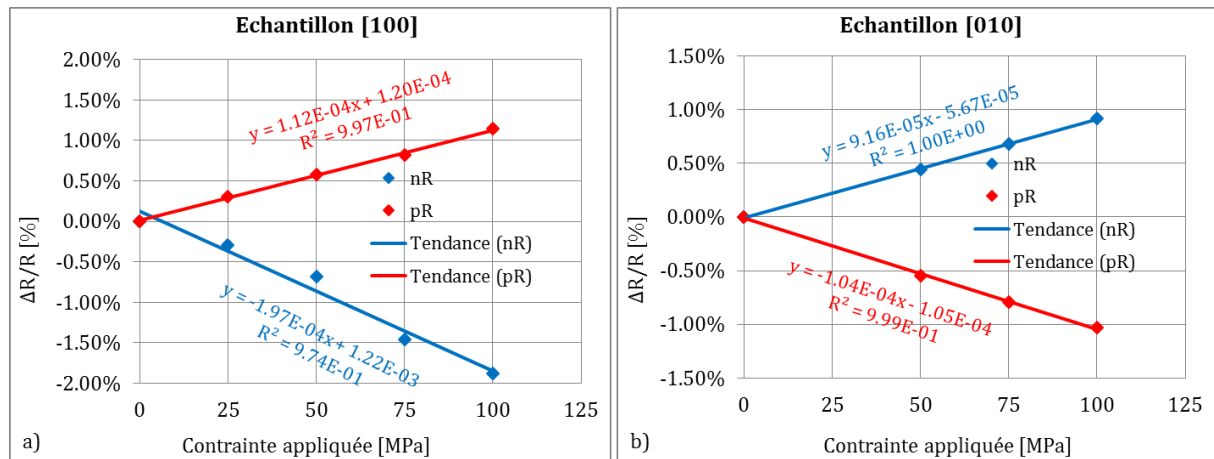


Figure 5. 16 – Variations de résistances a) nR et b) pR en fonction de la contrainte appliquée.

D'après la figure ci-dessus (Figure 5. 16), on obtient un comportement linéaire. La droite de tendance passe à l'origine du repère, ce qui justifie la pertinence du test.

On remarque que, sur l'échantillon orienté [100], la résistance nR est plus sensible que celle pR alors que sur celui orienté [010], les deux types de résistances ont sensiblement les mêmes variations au signe près.

Sur l'échantillon [100], pour 100MPa,  $\Delta R/R(nR) = -1.88\%$  et  $\Delta R/R(pR) = 1.14\%$ .

Sur l'échantillon [010], pour 100MPa,  $\Delta R/R(nR) = 0.92\%$  et  $\Delta R/R(pR) = -1.03\%$ .

A partir des courbes obtenues, les coefficients de sensibilité ont été déterminés et résumés dans le Tableau 5. 12.

Tableau 5. 12 – Tableau comparatif des coefficients de sensibilité

Coefficients *10 <sup>-11</sup> Pa <sup>-1</sup>	Résistance poly-Si		Capteur CMOS40nm		Bulk (Si)	
	nR	pR	nMOS	pMOS	Dopage n	Dopage p
$\pi L$	-19.67	11.17	-42.68	4.05	-102.2	6.6
$\pi T$	9.16	-10.36	-9.09	15.95	53.4	-1.1

La Figure 5. 17 présente un diagramme comparatif des coefficients de sensibilité des résistances poly-Si avec les capteurs CMOS40nm et le Bulk.

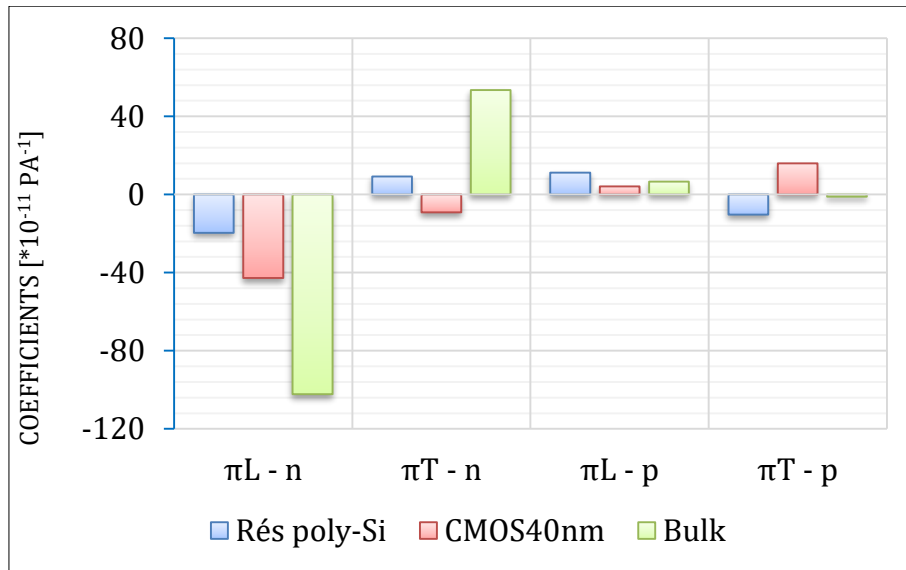


Figure 5. 17 - Diagramme comparatif des coefficients de sensibilité.

Comparé aux autres valeurs, on peut affirmer que les résistances poly-Si sont moyennement sensibles aux contraintes. Elles sont prometteuses car elles peuvent être utilisées comme capteurs de contraintes en les dessinant dans différentes directions cristallographiques ([100], [010], [110] et [-110]).

## SYNTHESE V

---

**I**ntégrées dans la même structure de test de la technologie CMOS40nm, différents composants ont été étudiés, notamment les transistors MOS rosette, la structure bandgap et les résistances poly-Si.

Comme pour les MOS rosette calibrés dans le chapitre 3, la structure bandgap a aussi été calibrée. Pour cette dernière, le comportement de la réponse de sortie (tension bandgap) en fonction de la contrainte appliquée n'est pas linéaire. Elle suit une tendance curviligne représentée par une équation du second degré avec une plus forte variation pour les contraintes en compression.

La calibration sur les résistances poly-Si a aussi été effectuée.

Parallèlement à la calibration, une étude de la contrainte thermomécanique induite par la mise en boîtier a révélé un fort impact sur les réponses de sortie (variations de la mobilité des MOS et de la tension bandgap) : -10% pour les nMOS, 4.45% pour les pMOS et -0.5% pour la structure bandgap.

Afin de minimiser cet impact, une étude paramétrique consistant à varier les dimensions géométriques des éléments et les propriétés matériaux de la résine de moulage a été réalisée. Cette étude a permis de minimiser en premier lieu, la variation des réponses de sortie entre le coin et le centre de la puce. Mais cette minimisation n'a pas permis de réduire les réponses de sortie elles-mêmes.

Ceci a conduit à une seconde étude paramétrique permettant de réduire considérablement les variations de mobilité des MOS et de la tension bandgap dues à la mise en boîtier.

Cette analyse a mis en relief l'impact de la contrainte induite par la mise en boîtier sur les MOS et la structure bandgap. Elle a également montré que cet impact peut être réduit en agissant sur les dimensions géométriques des éléments et sur les propriétés matériaux de la résine de moulage.



## ABSTRACT V

---

**D**ifferent components, namely the rosette MOS transistors, a bandgap structure and poly-Si resistances, were integrated into the same test chip of the CMOS40nm technology.

As for the MOS calibrated in Chapter 3, the bandgap structure was also calibrated. For this latter, the output response (bandgap voltage) behavior as a function of the applied stress is not linear. The trend line was represented by a second order equation with a high variation of voltage for the compressive stresses.

The calibration on poly-Si was also performed.

Parallel to these tests, a study of thermomechanical stress induced by packaging showed an important impact on the output responses (MOS mobility variation and bandgap voltage variation) : -10% for the nMOS, 4.45% for the pMOS and -0.5% for the bandgap structure.

Aiming at minimizing this impact, a parametric study was performed. This study consisted in varying the geometrical dimensions of components and the material properties of the moulding compound. This study allowed minimizing the variation of the output responses between the corner and the center of the die. However it did not reduce the output responses themselves.

A second parametric study was then performed enabling to reduce significantly the MOS mobility variation and the bandgap voltage variation due to packaging up to 0%.

This analysis emphasized the impact of the stress induced by packaging on MOS and bandgap structures. It also showed that the impact can be reduced by acting on the geometrical dimensions of components and the material properties of the moulding compound.

## CONCLUSION GENERALE ET PERSPECTIVES

---

Afin de déterminer en temps réel les contraintes induites par différents procédés de fabrication dans les puces électroniques, des capteurs ont été développés dans le silicium. Ces capteurs, composés de 4 nMOS et 4 pMOS dont les canaux sont orientés dans 4 directions cristallographiques différentes, ont été intégrés dans trois technologies différentes (CMOS65nm, BiCMOS55nm, CMOS40nm).

Ils ont d'abord été calibrés à l'aide d'une machine de flexion quatre-points conçue et fabriquée dans le cadre de cette thèse. Les coefficients piézorésistifs relatifs à chaque capteur ont été déterminés par la mesure de sensibilité de courant de drain de ces capteurs par rapport à la contrainte.

Des mesures électriques avant et après un procédé donné ont permis d'évaluer la contrainte induite dans une zone par ledit procédé à partir des coefficients piézorésistifs obtenus. Ainsi, les contraintes générées par la présence d'un TSV (technologie CMOS65nm ;  $\sigma_{xx} \approx -60\text{MPa}$ ,  $\sigma_{yy} \approx -3.5\text{MPa}$ ,  $\sigma_{zz} \approx -22\text{MPa}$ ), par la mise en boîtier avec un empilement 3D (technologie CMOS65nm ;  $\sigma_{xx} \approx -87\text{MPa}$ ,  $\sigma_{yy} \approx -33\text{MPa}$ ,  $\sigma_{zz} \approx -44\text{MPa}$ ) et 2D (technologie BiCMOS55nm) ont été évaluées.

De ces études, il en ressort que les MOS ne répondent pas efficacement, car certaines composantes de contraintes obtenues ( $\sigma_{yy}$ ,  $\sigma_{zz}$ ) ne sont pas en bonne corrélation avec les résultats de simulations. On soupçonne de ce fait, les MOS orientés à  $90^\circ$  (direction [010]) par rapport à l'axe des  $x$  (direction [100]), car le coefficient ( $\pi_{12}$ ) obtenu par ce MOS agit directement sur les deux composantes de contraintes.

D'autre part, les gradients de contraintes dans la zone des capteurs, les variabilités inter-puces et inter-plaques perturbent les résultats.

L'impact des contraintes sur le fonctionnement de la puce a été étudié dans le cas du TSV, et on a pu remarquer que les ordres de grandeur des mobilités obtenus correspondent plutôt bien à ceux obtenus dans la littérature [Hsieh, 2011] (mobilité pMOS [110]  $\approx 25\%$ ).

Dans le cas des empilements 2D et 3D, les réponses électriques des MOS après le procédé de la mise en boîtier ne sont pas telles qu'elles devraient être.

En effet, étant donné que le procédé de mise en boîtier induit des contraintes bi-axiales (i.e.  $\sigma_{xx} \approx \sigma_{yy}$ ), les variations de courant de drain des MOS orientés dans les directions [100] et [010] devraient donc être les mêmes. Ce qui n'est pas le cas.

On en déduit que les MOS utilisés comme capteur de contrainte étudiés dans ce travail ont leurs limites. Néanmoins, ils peuvent être utilisés pour faire du *strain engineering*, c'est-à-dire, déterminer la variation de mobilité qu'un champ de contraintes peut engendrer tel que montré dans le cas du TSV et de la mise en boîtier de la technologie CMOS40nm.

Une autre alternative serait d'utiliser des résistances actives comme capteur de contraintes. Cela permettra aussi de simplifier les paramètres de test, car dans le cas des MOS, il faut contrôler les paramètres tels que  $V_{GS}$ ,  $V_{DS}$ ,  $I_{DS}$  et  $V_B$  (potentiel du *bulk* qui est généralement nul). Alors que pour les résistances actives il n'y aura que la différence de potentiel aux bornes des résistances ( $V_R$ ) et le courant mesuré ( $I_R$ ) qui permettront de calculer ensuite la résistance  $R$ . Donc moins de paramètres à gérer.

De plus, ces résistances sont un peu plus sensibles que les MOS (9% contre 6% pour 100MPa).

Différents axes d'amélioration ont donc été donnés :

- développer de nouveaux capteurs (résistances actives en rosette par exemple) pour l'évaluation des contraintes, et maintenir les MOS rosettes pour la détermination de l'impact des contraintes sur la mobilité ;
- effectuer des mesures en ligne (sur une même plaquette) sur un nombre important de capteurs pour s'affranchir du problème de variabilité inter-plaques liée au procédé ;
- réduire la taille des capteurs afin de minimiser la variation des contraintes, ce qui permettra d'intégrer les capteurs dans différentes zones (autour du TSV par exemple) ;
- s'orienter aussi vers d'autres structures plus complexes telles la structure bandgap (déjà étudiée), la structure "*ring oscillator*", amplificateur opérationnel, miroir de courant, etc.

Nous n'avons malheureusement pas de temps pour explorer ces points et aller plus loin dans les analyses.

Mais notons que la mise en place des résistances actives demanderait moins de ressources en matière d'étapes de fabrication et de paramètres à analyser que les MOS rosettes. La détermination de l'impact des contraintes sur la mobilité ne nécessiterait que deux directions des canaux des MOS ([100] et [110]) car les MOS fonctionnels sont généralement fabriqués dans ces directions.

Les mesures en ligne des capteurs ne seraient possibles qu'à des étapes où les plots reliés aux capteurs sont adressables électriquement avec des pointes.

La réduction de la taille des capteurs peut être confrontée à des effets de canaux courts des MOS apparaissant quand le couplage de la grille avec la charge dans le canal du transistor n'est plus suffisant et qu'en conséquence, le couplage du drain avec la charge dans le canal devient trop important. Ceci a pour principal impact une augmentation significative de la consommation statique des composants MOS.

L'étude des nouvelles structures complexes, notamment leur sensibilité à la contrainte est rendue possible grâce à la machine de flexion quatre-points mise en place.

Ces différents points sont explorables permettant d'améliorer l'étude de la détermination du champ de contraintes induit par les procédés de fabrication ainsi que les effets de ces contraintes sur la mobilité et sur les différentes structures électriques.

Notons que le but de ce travail n'est pas d'étudier le TSV ou les boitiers dans les moindres détails, mais de mettre au point une démarche qui peut être déployée sur plusieurs technologies et pour différentes étapes de fabrication, et afin de donner des règles de dessin. Ce qui a été fait. Et c'est un outil intéressant pour approfondir les études sur les TSV.

L'étude d'optimisation effectuée sur le boitier CMOS40 montre que les impacts de la mise en boitier peuvent être maîtrisés en contrôlant principalement la résine de moulage. Cette étude peut être étendue à bien d'autres technologies pour des configurations différentes (encapsulation avec empilements 2D et 3D, interposers, etc...) tout en modifiant d'autres paramètres géométriques et matériaux des autres composants.

Les capteurs piézorésistifs de type MOS développés ici ainsi que ceux à base des résistances peuvent être intégrés dans d'autres types de technologies : imageurs, photonique, etc.

Ils peuvent être utilisés pour faire du "*stress engineering*" à l'échelle du TSV, bump, empilement, encapsulation, etc.

En effet, la détermination et la maîtrise de la contrainte permettront d'éviter de fabriquer des composants ou structures électriques dans des zones de fortes contraintes ou de concentration de contraintes. Cette maîtrise permettra aussi de définir de nouveaux matériaux susceptibles soit, de réduire l'impact négatif de la contrainte sur les structures, soit d'améliorer les performances de certaines de ces structures dans des zones localisées.

Les domaines d'application de ces capteurs piézorésistifs sont variés. Outre la microélectronique, ils peuvent être intégrés dans d'autres structures telles que les poutres en milieu sismique (par exemple) pour déterminer l'impact des contraintes générées lors des activités sismiques sur les structures.

On peut également noter l'intégration de ces capteurs dans les pipelines afin de déterminer en temps réel les effets (contraintes) d'écoulements des fluides sur les parois. Vastes sont les domaines d'application de ces capteurs qui peuvent être explorés.



# ANNEXES

## Annexe A : Notions de tenseur de contraintes

Un solide est en état de contrainte s'il est soumis à l'action des forces extérieures. Considérons un domaine (D), délimitant un solide ( $\Omega$ ), qui est en équilibre sous l'action de plusieurs forces extérieures  $F_i$ . Sous l'action de ces forces, le solide est d'un côté en équilibre et de l'autre nous avons naissance de contraintes à l'intérieur de ( $\Omega$ ).

Soit (P) un plan virtuel qui partage ( $\Omega$ ) en deux parties (Figure A. 1).

Isolant la partie (2).

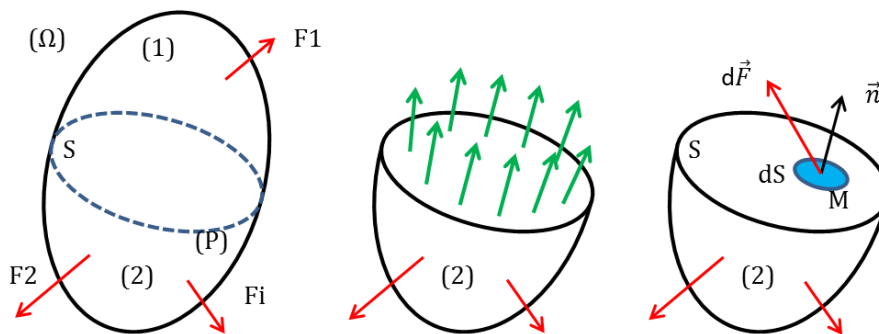


Figure A. 1 - Représentation schématique de la zone d'étude d'un solide ( $\Omega$ ).

Appelons  $d\vec{F}$  la résultante des efforts exercés par la partie (1) sur la partie (2) à travers l'élément de surface ( $dS$ ). Soit le rapport  $\frac{d\vec{F}}{dS}$ . En passant à la limite quand  $dS \rightarrow 0$ , on obtient la contrainte sur la section au point M (A.1) :

$$\boxed{\vec{T}(M, \vec{n}) = \lim_{dS \rightarrow 0} \frac{d\vec{F}}{dS}} \quad (\text{A.1})$$

$\vec{T}(M, \vec{n})$  est la contrainte au point M sur la facette  $dS$ , dont l'orientation est définie par la normale unitaire  $\vec{n}$  extérieure à la facette  $dS$ .

$$\text{On a : } \boxed{\vec{F} = \vec{T}(M, \vec{n}) \cdot dS} \quad (\text{A.2})$$

Le vecteur contrainte  $\vec{T}$  peut être décomposé en deux composantes (Figure A. 2).

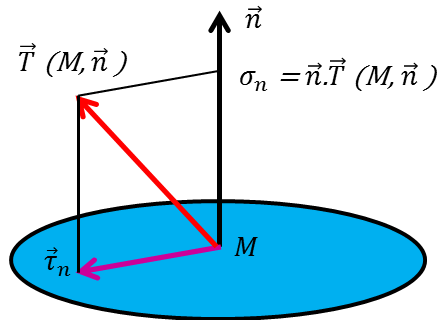


Figure A. 2 - Décomposition du vecteur contrainte  $\vec{T}$ .

Projetons  $\vec{T}$  sur la normale  $\vec{n}$  et sur le plan perpendiculaire à cette normale, soit alors (A.3) :

$$\boxed{\vec{T} = \vec{T}_n + \vec{T}_t} \quad (A.3)$$

$\vec{T}_n$  : contrainte normale

$\vec{T}_t$  : contrainte tangentielle (cisaillement)

En notation universelle :

$\vec{\sigma}_n$  : contrainte normale

$\vec{\tau}_t$  : contrainte tangentielle (cisaillement)

Considérons une particule de forme parallélépipédique en équilibre (Figure A. 3) de centre M.

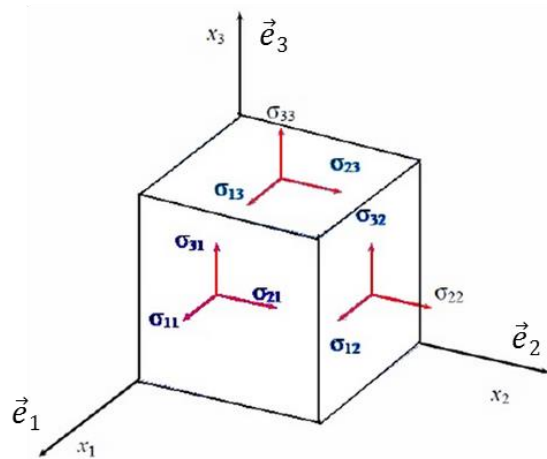


Figure A. 3 - Schéma d'une particule de forme parallélépipédique montrant les composantes de contraintes.

Soient :  $\vec{T}_1, \vec{T}_2, \vec{T}_3$  des contraintes associées aux facettes de normales  $\vec{e}_1, \vec{e}_2, \vec{e}_3$ . Chaque vecteur contrainte peut être décomposé selon les 3 axes  $(\vec{X}_1, \vec{X}_2, \vec{X}_3)$ , d'où les 9 composantes des 3 vecteurs peuvent s'écrire sous la forme (A.4) :

$$\boxed{\vec{T}_1 \begin{pmatrix} \sigma_{11} \\ \sigma_{12} \\ \sigma_{13} \end{pmatrix}, \vec{T}_2 \begin{pmatrix} \sigma_{21} \\ \sigma_{22} \\ \sigma_{23} \end{pmatrix}, \vec{T}_3 \begin{pmatrix} \sigma_{31} \\ \sigma_{32} \\ \sigma_{33} \end{pmatrix}} \quad (A.4)$$

En effectuant les produits scalaires :

$$\vec{T}_2 \cdot \vec{e}_1 = |\vec{T}_2| \cdot |\vec{e}_1| \cdot \cos(\vec{T}_2, \vec{e}_1) \vec{e}_1$$

$$\cos(\vec{T}_2, \vec{e}_1) = \frac{\sigma_{21}}{T_2}$$

$$\sigma_{21} = \sigma_{21} \cdot \cos(\vec{T}_2, \vec{e}_1)$$

Or :  $|\vec{T}_2| = T_2$  et  $|\vec{e}_1| = 1$

Alors :  $\sigma_{21} = T_2 \cdot \cos(\vec{T}_2, \vec{e}_1) = \vec{T}_2 \cdot \vec{e}_1$

On a finalement (A.5) :

$$\begin{cases} \sigma_{11} = \vec{T}_1 \cdot \vec{e}_1; & \sigma_{12} = \vec{T}_1 \cdot \vec{e}_2; & \sigma_{13} = \vec{T}_1 \cdot \vec{e}_3 \\ \sigma_{21} = \vec{T}_2 \cdot \vec{e}_1; & \sigma_{22} = \vec{T}_2 \cdot \vec{e}_2; & \sigma_{23} = \vec{T}_2 \cdot \vec{e}_3 \\ \sigma_{31} = \vec{T}_3 \cdot \vec{e}_1; & \sigma_{32} = \vec{T}_3 \cdot \vec{e}_2; & \sigma_{33} = \vec{T}_3 \cdot \vec{e}_3 \end{cases} \quad (\text{A.5})$$

On en déduit la notation indicielle :  $\sigma_{ij} = \vec{T}_i \cdot \vec{e}_j$

$i$  : indice indiquant la normale à la facette

$j$  : indice indiquant la projection de la contrainte

Considérons une particule tétraédrique de masse  $m$  (Figure A. 4), appliquons sur elle la loi fondamentale de la dynamique (A.6) :

$$\boxed{\sum \vec{F}_{ext} = m \cdot \vec{\gamma}}$$
(A.6)

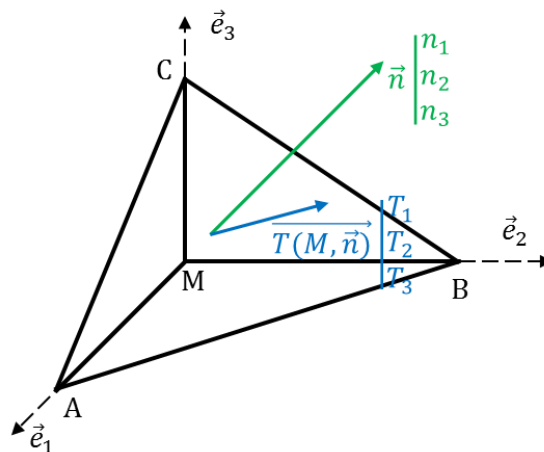


Figure A. 4 - Schéma d'une particule de forme tétraédrique.



Considérons le bilan des forces (Tableau A. 1) agissant sur la particule.

Tableau A. 1 - Bilan des forces agissant sur la particule tétraédrique

Facettes		Forces surfaciques				Forces volumiques
		ABC	MCA	MAB	MCB	
Aires		dS	n <sub>2</sub> .dS	n <sub>3</sub> .dS	n <sub>1</sub> .dS	
Projection	M <sub><math>\vec{X}_1</math></sub>	T <sub>1</sub>	- σ <sub>21</sub>	- σ <sub>31</sub>	- σ <sub>11</sub>	ρ.γ <sub>1</sub> .dv
Projection	M <sub><math>\vec{X}_2</math></sub>	T <sub>2</sub>	- σ <sub>22</sub>	- σ <sub>32</sub>	- σ <sub>12</sub>	ρ.γ <sub>2</sub> .dv
Projection	M <sub><math>\vec{X}_3</math></sub>	T <sub>3</sub>	- σ <sub>23</sub>	- σ <sub>33</sub>	- σ <sub>13</sub>	ρ.γ <sub>3</sub> .dv

Soit  $d\vec{F}_1$  la résultante suivant  $\vec{X}_1$  de toutes les actions sur la particule, alors on peut écrire :

$$d\vec{F}_1 = dm \cdot \vec{\gamma}_1$$

$$d\vec{F}_1 = T_1 \cdot dS - (\sigma_{11} \cdot n_1 \cdot dS + \sigma_{21} \cdot n_2 \cdot dS + \sigma_{31} \cdot n_3 \cdot dS)$$

$$d\vec{F}_1 = T_1 \cdot dS - (\sigma_{11} \cdot n_1 + \sigma_{21} \cdot n_2 + \sigma_{31} \cdot n_3) \cdot dS$$

D'autre part :

$$dF_1 = \rho \cdot dv \cdot \gamma_1$$

Alors (A.7) :

$$\boxed{T_1 \cdot dS - (\sigma_{11} \cdot n_1 + \sigma_{21} \cdot n_2 + \sigma_{31} \cdot n_3) \cdot dS = \rho \cdot \gamma_1 \frac{dv}{dS}} \quad (\text{A.7})$$

Si la particule est très petite  $\frac{dv}{dS} \rightarrow 0$  alors (A.8) :

$$\boxed{\begin{cases} T_1 = \sigma_{11} \cdot n_1 + \sigma_{12} \cdot n_2 + \sigma_{13} \cdot n_3 \\ T_2 = \sigma_{21} \cdot n_1 + \sigma_{22} \cdot n_2 + \sigma_{23} \cdot n_3 \\ T_3 = \sigma_{31} \cdot n_1 + \sigma_{32} \cdot n_2 + \sigma_{33} \cdot n_3 \end{cases}} \quad (\text{A.8})$$

D'où :

$$\vec{T} \begin{pmatrix} T_1 \\ T_2 \\ T_3 \end{pmatrix} \text{ dépend de } \vec{n} \begin{pmatrix} n_1 \\ n_2 \\ n_3 \end{pmatrix} \text{ donc : } \vec{T} = \sigma \cdot \vec{n}$$

σ: application linéaire qui lie  $\vec{T}$  à  $\vec{n}$

En notation indicielle :

$$T_j = \sigma_{ji} \cdot n_i$$

$\sigma_{ji}$  : les composantes du tenseur de second ordre dit tenseur cartésien de contrainte attaché à M ou tenseur de Cauchy.

On a :  $\{\vec{T}\} = [\sigma] \cdot \{\vec{n}\}$

Soit en écriture matricielle (A.9) :

$$\begin{Bmatrix} T_1 \\ T_2 \\ T_3 \end{Bmatrix} = \begin{bmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{21} & \sigma_{22} & \sigma_{23} \\ \sigma_{31} & \sigma_{32} & \sigma_{33} \end{bmatrix} \cdot \begin{Bmatrix} n_1 \\ n_2 \\ n_3 \end{Bmatrix} \quad (\text{A.9})$$

La connaissance du tenseur de contrainte  $\sigma_{ij}$  suffit pour déterminer l'état de contrainte autour d'un point.

Considérons un volume élémentaire de longueur  $dx_1, dx_2, dx_3$  isolé dans le solide en équilibre (Figure A. 3). L'équilibre en translation du volume élémentaire conduit aux 3 équations suivantes (A.10) :

$$\vec{\text{div}}(\sigma) = 0 \text{ soit } \begin{cases} \frac{\partial \sigma_{11}}{\partial x_1} + \frac{\partial \sigma_{21}}{\partial x_2} + \frac{\partial \sigma_{31}}{\partial x_3} = 0 \\ \frac{\partial \sigma_{12}}{\partial x_1} + \frac{\partial \sigma_{22}}{\partial x_2} + \frac{\partial \sigma_{32}}{\partial x_3} = 0 \\ \frac{\partial \sigma_{13}}{\partial x_1} + \frac{\partial \sigma_{23}}{\partial x_2} + \frac{\partial \sigma_{33}}{\partial x_3} = 0 \end{cases} \quad (\text{A.10})$$

L'équilibre en rotation conduit à l'égalité des contraintes de cisaillement  $\sigma_{ij}$  et  $\sigma_{ji}$ , c'est-à-dire le tenseur de contrainte est symétrique :  $\sigma = \sigma^T$ .

L'écriture matricielle de la contrainte devient alors (A.11) :

$$[\sigma] = \begin{bmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{12} & \sigma_{22} & \sigma_{23} \\ \sigma_{13} & \sigma_{23} & \sigma_{33} \end{bmatrix} = \begin{bmatrix} \sigma_{11} \\ \sigma_{22} \\ \sigma_{33} \\ \sigma_{23} \\ \sigma_{13} \\ \sigma_{12} \end{bmatrix} \quad (\text{A.11})$$

## Annexe B : Dessin CAO de la machine de flexion quatre-points

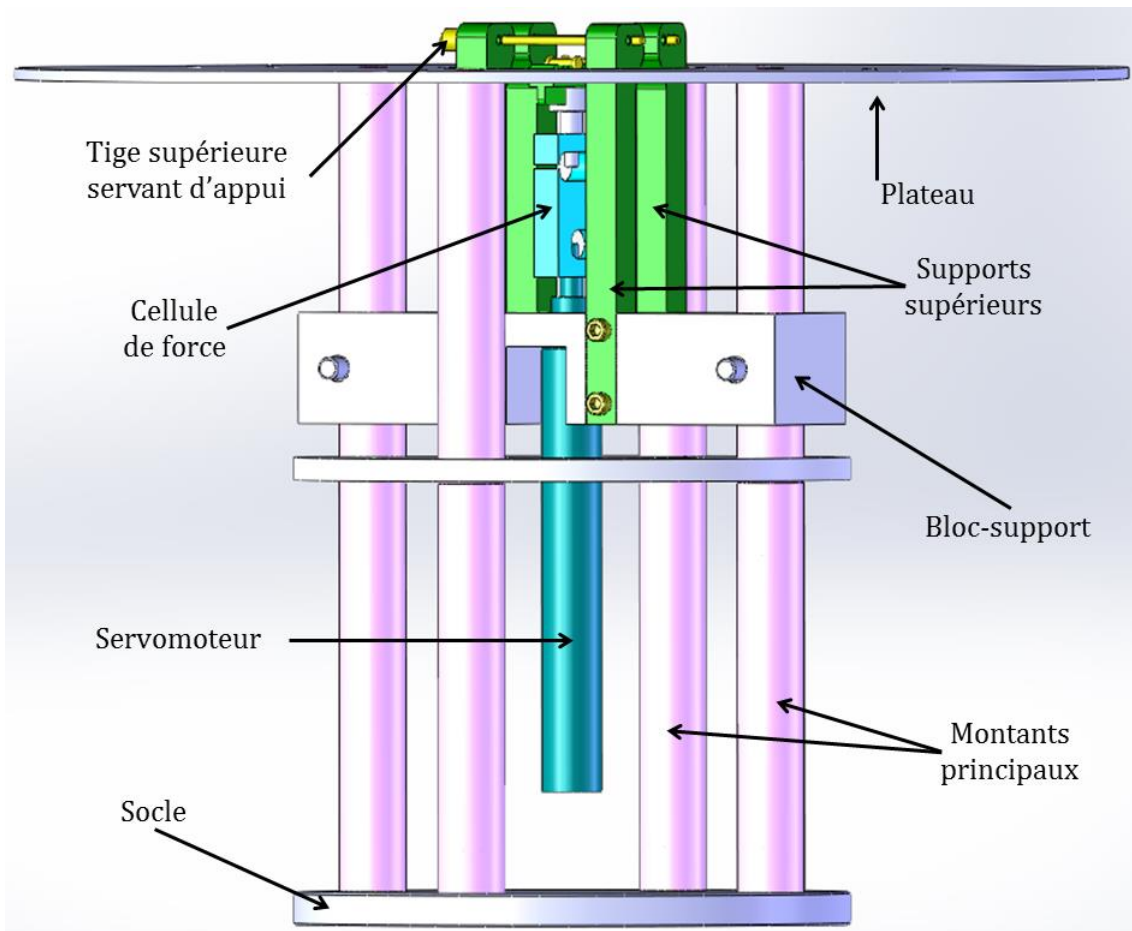


Figure A. 5 – Dessin CAO de la machine de flexion quatre-points : vue 3D de profil.

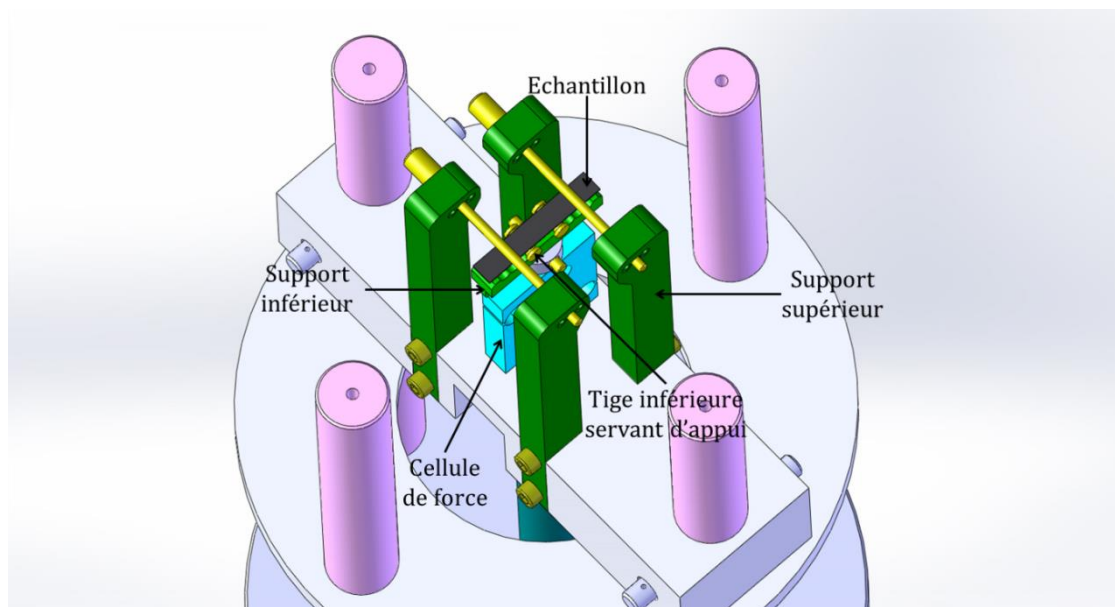


Figure A. 6 – Dessin CAO de la machine de flexion quatre-points : vue 3D détaillée de la partie supérieure.

### Annexe C : Calcul du déterminant de la matrice [A] avec Mathcad

Le calcul du déterminant de la matrice [A] avec le logiciel Mathcad (Figure A. 7) donne une valeur nulle tel que montré sur la Figure A. 7. Donc [A] n'est pas inversible.

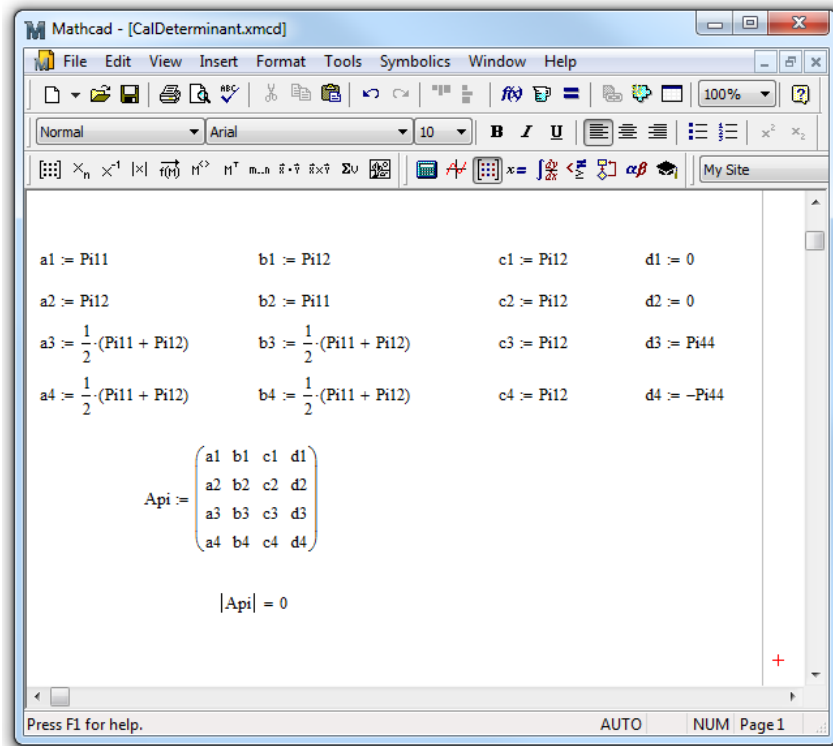


Figure A. 7 – Prise de vue de l’interface de Mathcad montrant le calcul du déterminant de la matrice A.

### Annexe D : Calcul de contrainte induite par le TSV – seconde approche

A partir des mesures (283 puces mesurées) sur les deux plaquettes avec et sans TSV, la variation de courant de drain est déterminée sur un ensemble de deux puces : une sur WoTSV avec sa correspondante sur WtTSV (cf. Figure A. 8).

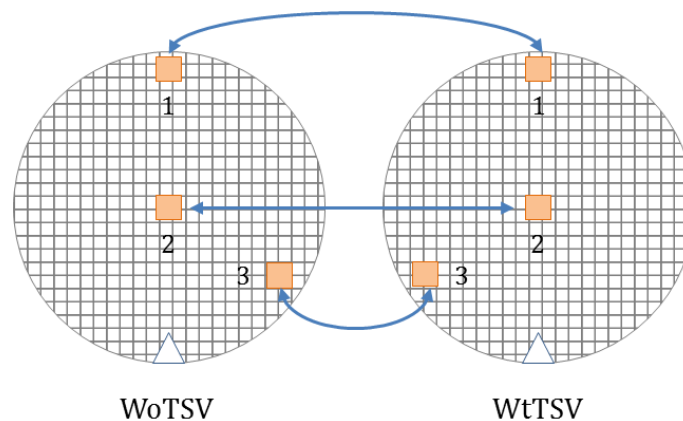


Figure A. 8 – Schéma représentatif de la correspondance des puces mesurées sur WoTSV et WtTSV.

Les variations sont calculées et regroupées dans le [Tableau A. 2](#) suivant la relation décrite (4.8) :

Tableau A. 2 – Variations de courant de drain à partir des mesures sur WoTSV et WtTSV

	Variation de courant de drain Var [%]							
	nMOS1	nMOS2	nMOS3	nMOS4	pMOS1	pMOS2	pMOS3	pMOS4
Min	0.729	-1.541	0.086	-0.086	-1.378	-3.303	-1.030	0.461
Max	5.023	1.845	3.603	3.141	1.035	-1.256	1.291	4.054
Médiane	2.555	0.000	1.391	1.307	-0.494	-2.426	-0.031	2.060
Moyenne	2.565	0.076	1.435	1.360	-0.475	-2.439	0.003	2.043
Ecart-type	0.675	0.676	0.575	0.650	0.374	0.359	0.401	0.584

D'après le tableau ci-dessus, les valeurs médianes ne sont pas si éloignées des valeurs moyennes (une différence maximale de 0.076%). Par contre on remarque une nette différence entre les valeurs maximales et minimales. Par exemple pour le nMOS1, la valeur minimale est d'environ 0.73% alors que la valeur maximale est d'environ 5%. Cela veut dire que la puce à 0.73% a vu au moins six fois moins de contrainte que la puce à 5%. D'un autre côté, pour les nMOS2 et pMOS3 par exemple, les valeurs maximales et minimales sont quasiment opposées. Ce qui donnerait des contraintes aussi opposées. Mais en prenant les valeurs médianes ou moyennes, le calcul de la contrainte donnerait une valeur nulle, ce qui influencerait considérablement les résultats finaux.

L'équation (4.7) est résolue pour chaque couple de puces à l'aide du logiciel Mathcad et les résultats globaux obtenus sont résumés dans le [Tableau A. 3](#).

Tableau A. 3 – Tableau récapitulatif des contraintes induites par le TSV à partir des mesures

	$\Delta\sigma_{xx}$ [MPa]	$\Delta\sigma_{yy}$ [MPa]	$\Delta\sigma_{zz}$ [MPa]	$\Delta\sigma_{xy}$ [MPa]
Min	28.5	-33.6	-85.5	-1.7
Max	103	34.3	9.4	24.5
Médiane	58.8	-3.3	-18.3	10.5
Moyenne	59.7	-3.3	-22.6	10.6
Ecart type	13	13	18	4

D'après le tableau ci-dessus, la différence entre les valeurs maximales et minimales des contraintes est énorme. En se référant à la composante de contrainte  $\Delta\sigma_{xx}$ , on peut dire que, sur une même plaquette, pendant qu'une puce subit une contrainte de 28MPa une autre voit une contrainte de 103MPa. De même, pour la composante de contrainte  $\Delta\sigma_{yy}$ , deux puces voient des contraintes opposées ( $\pm 34$ MPa).

On remarque aussi que les écarts type des trois composantes normales sont élevés. Ceci pourrait provenir d'un gradient de contrainte dans la zone des capteurs, une variabilité inter-puces qui impacte fortement les valeurs de contrainte déterminées ou encore une variabilité inter-plaques non constante entre les nMOS et les pMOS.

Les variations théoriques de courants de drain ont été calculées à partir de la relation (4.6) et des valeurs moyennées du champ de contrainte du [Tableau A. 3](#). Les valeurs sont comparées aux variations de courants mesurées expérimentalement et tracées sur la [Figure A. 9](#).

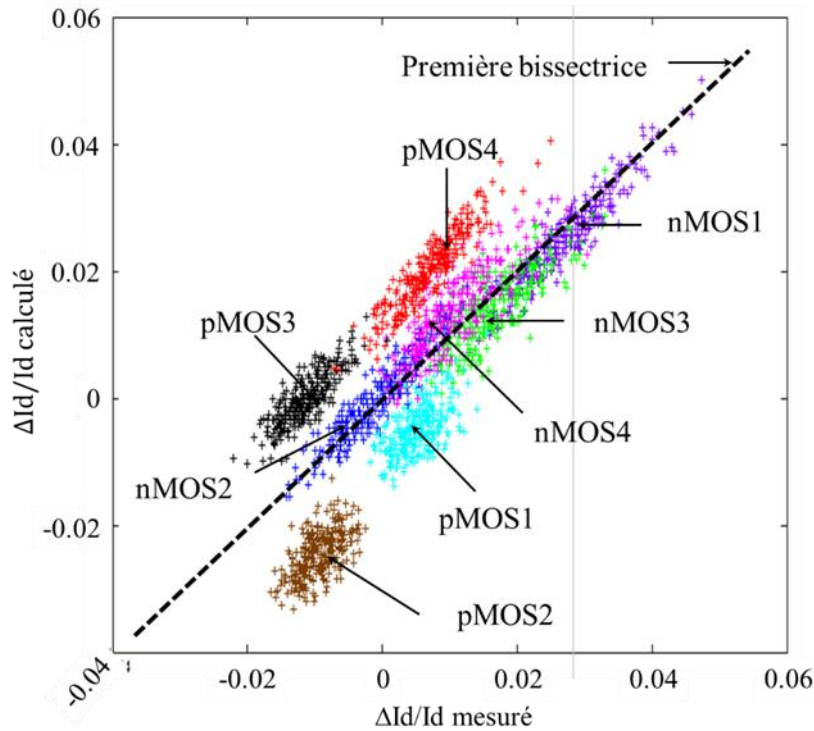


Figure A. 9 – Comparaison entre les variations de courants de drain mesurées et celles calculées à partir de la relation (4.6).

D'une manière générale, les points des nMOS sont presque alignés et regroupés autour de la première bissectrice alors que les pMOS sont un peu éloignés de la bissectrice. La même remarque a été faite lorsque seule la médiane des variations de courants de drain a été prise en compte.

### Annexe E : Contrainte TSV – Etude de sensibilité au maillage

Dans cette partie, nous avons examiné la sensibilité au maillage des résultats de simulation de la contrainte induite par le TSV.

Le capteur étant placé dans une zone où il y a une forte variation de contrainte, une contrainte de singularité peut exister dans cette zone. Deux types de maillage ont donc été utilisés. Un premier maillage fin tel que décrit dans le chapitre 4, et un deuxième deux fois moins fin (maillage grossier). Les conditions d'études sont les mêmes que celles décrites dans le chapitre 4.

Les résultats des contraintes induites sont représentés sur la [Figure A. 10](#).

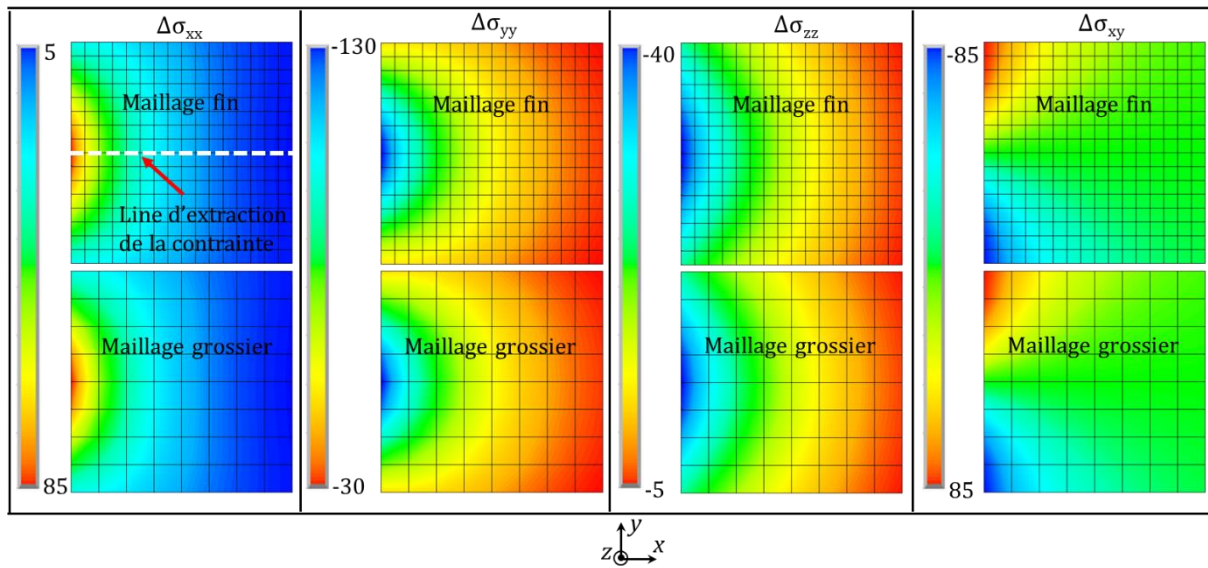


Figure A. 10 – Sensibilité au maillage des contraintes induites par le TSV.

On peut remarquer qu’il n’y a qualitativement aucun changement au niveau des contraintes entre les deux types de maillage.

Afin de mieux cerner cette affirmation, les contraintes sont extraites suivant l’axe  $x$  dans la zone du capteur tel que représenté sur la Figure A. 10. Ces contraintes sont tracées sur la Figure A. 11.

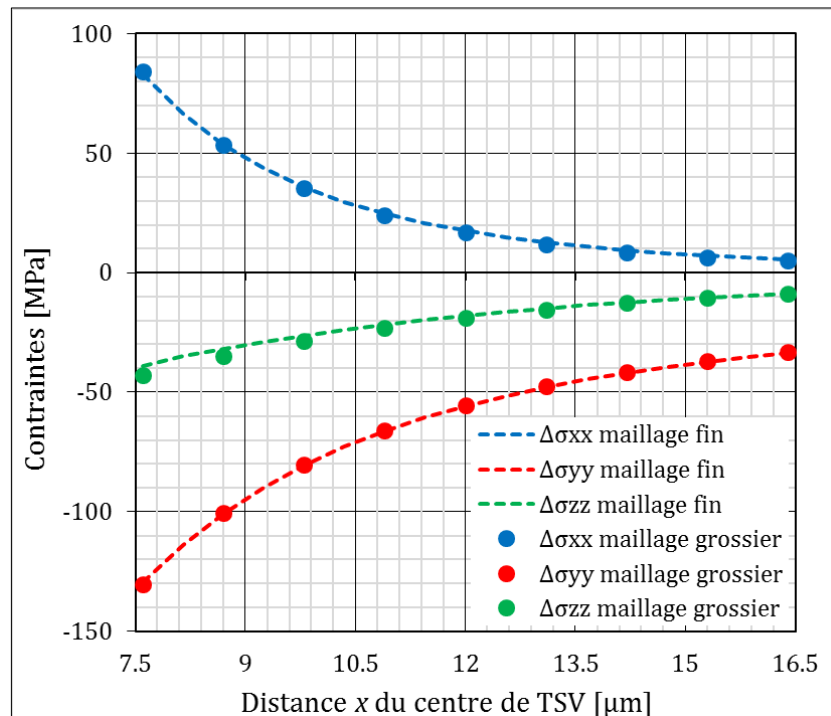


Figure A. 11 – Contraintes induites par le TSV dans la zone du capteur pour les deux types de maillage.

D’après la Figure A. 11, il n’y a pas de différence entre les valeurs des contraintes pour les deux finesses de maillage. On en conclut que la sensibilité des contraintes au maillage pour les deux finesses de maillage étudiées est négligeable, et par conséquent pas d’effet de singularité.

## Annexe F : Impact de l'anisotropie du silicium et de la plasticité du cuivre

### 1. Effet de l'anisotropie du silicium

Afin de déterminer l'erreur commise en considérant le silicium purement isotrope, deux études ont été réalisées. La première consiste à considérer le silicium comme étant isotrope et en évaluant la contrainte induite par le TSV à partir de deux modèles (avec et sans TSV). La deuxième étude est réalisée en considérant le silicium comme étant anisotrope avec les deux mêmes modèles.

Les dimensions géométriques, les propriétés matériaux, les conditions aux limites ainsi que le chargement sont les mêmes que ceux décrits dans le chapitre 4, sauf qu'ici, pour le modèle avec un silicium isotrope, on attribue à ce dernier un module d'Young de 131GPa et le cuivre est supposé élastique.

L'effet de l'anisotropie du silicium sur la contrainte induite par le TSV est alors :

Effet = contrainte TSV (avec anisotropie) – contrainte TSV (avec isotropie)

Cet effet est tracé sur la [Figure A. 12](#) et les résultats sont regroupés dans le [Tableau A. 4](#).

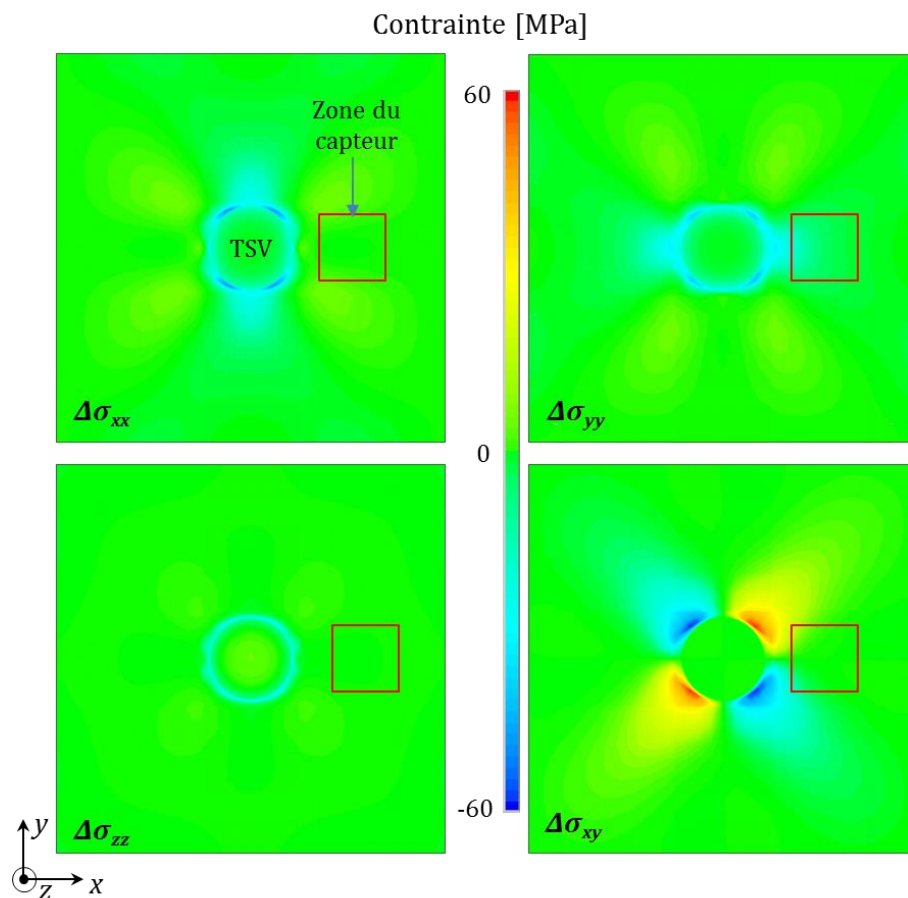


Figure A. 12 – Effet de l'anisotropie du silicium sur la contrainte induite par le TSV.



Tableau A. 4 – Effet de l’anisotropie du silicium sur la contrainte induite par le TSV dans la zone du capteur

	$\Delta\sigma_{xx}$ [MPa]	$\Delta\sigma_{yy}$ [MPa]	$\Delta\sigma_{zz}$ [MPa]	$\Delta\sigma_{xy}$ [MPa]
Max	7.85	-3.77	2.91	32
Min	-0.87	-30.79	-1.95	-32
StdDev	2.29	5.47	1	10.96
Moyenne	2.71	-10.83	-0.11	0

D’après la [Figure A. 12](#), on remarque un effet important atteignant les  $\pm 60$ MPa. Dans la zone du capteur (valeurs dans le [Tableau A. 4](#)), les effets de l’anisotropie sont faibles sur les composantes de contrainte  $\Delta\sigma_{xx}$  ( $\approx 8$ MPa) et  $\Delta\sigma_{zz}$  ( $\approx 3$ MPa). Par contre pour les composantes  $\Delta\sigma_{yy}$  et  $\Delta\sigma_{xy}$  les effets sont considérables :

$$\Delta\sigma_{yy} \approx -31\text{MPa} \text{ et } \Delta\sigma_{xy} \approx 32\text{MPa}.$$

Notons que ce sont les MOS de la rosette proches des TSV qui sont les plus impactés, car on peut remarquer ([Figure A. 12](#)) que les effets sont quasi nuls dans la partie de la zone du capteur la plus éloignée du TSV.

Par conséquent, il est nécessaire de prendre en compte l’anisotropie du silicium dans les simulations.

## 2. Effet de la plasticité du cuivre

Dans cette partie, la démarche est la même que précédemment avec quelques différences. L’anisotropie du silicium est prise en compte dans les modèles.

Une loi bilinéaire ([Figure 4. 8](#)) est utilisée pour le cuivre avec des paramètres résumés dans le [Tableau 4. 7](#).

L’effet de la plasticité du cuivre sur la contrainte induite par le TSV est alors :

$$\text{Effet} = \text{contrainte TSV (avec plasticité)} - \text{contrainte TSV (sans plasticité)}$$

Les différences de contraintes sont tracées sur la [Figure A. 13](#) et les résultats sont résumés dans le [Tableau A. 5](#).

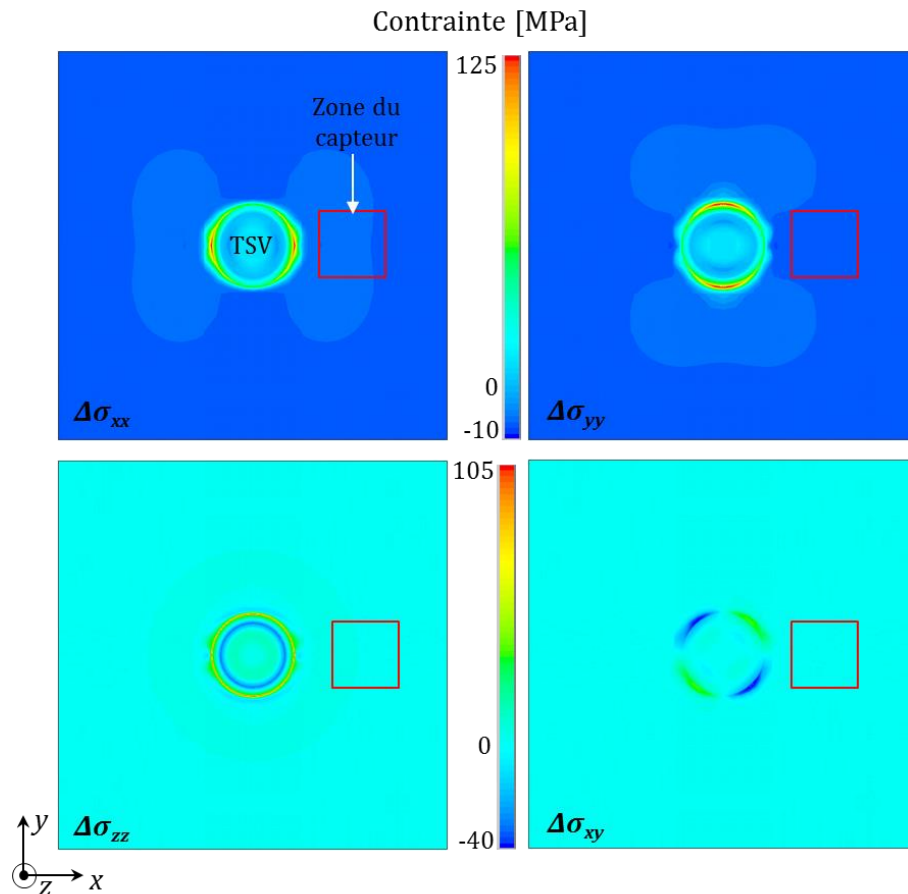


Figure A. 13 – Effet de la plasticité du cuivre sur la contrainte induite par le TSV.

Tableau A. 5 – Effet de la plasticité du cuivre sur la contrainte induite par le TSV dans la zone du capteur

	$\Delta\sigma_{xx}$ [MPa]	$\Delta\sigma_{yy}$ [MPa]	$\Delta\sigma_{zz}$ [MPa]	$\Delta\sigma_{xy}$ [MPa]
Max	14.65	14.34	1.13	0.89
Min	10.97	12.32	-0.95	-0.88
StdDev	1.03	0.29	0.42	0.28
Moyenne	13	13.92	0.6	0

On remarque sur la [Figure A. 13](#), des contraintes élevées avoisinant les 125MPa. Mais dans la zone du capteur ([Tableau A. 5](#)), l'effet de la plasticité est relativement faible, moins de 15MPa pour les composantes de contraintes  $\Delta\sigma_{xx}$  et  $\Delta\sigma_{yy}$ , et quasi nul pour les composantes  $\Delta\sigma_{zz}$  et  $\Delta\sigma_{xy}$ . Cet effet est plus prononcé dans la zone du TSV.

Comme pour l'anisotropie du silicium, bien que l'effet ne soit pas considérable en dehors de la zone du TSV, il est nécessaire de prendre en compte la plasticité du cuivre dans les simulations.

## Annexe G : Impact de la taille de puce sur la contrainte en CMOS40

Différentes tailles de puces sont fabriquées pour des fonctions diverses. Cette partie montre l'impact de la taille de puce par simulation éléments finis.

Le modèle global est constitué des mêmes éléments que ceux décrits dans le chapitre 5 sauf qu'ici on a deux tailles de puce :

Grande puce : 6.9mm x 6.9mm

Petite puce : 1.4mm x 1.4mm

Les propriétés matériaux ainsi que les conditions aux limites sont celles présentées dans le chapitre 5.

La contrainte équivalente de von Mises est extraite dans la zone active du silicium des deux puces et est représentée sur la [Figure A. 14](#).

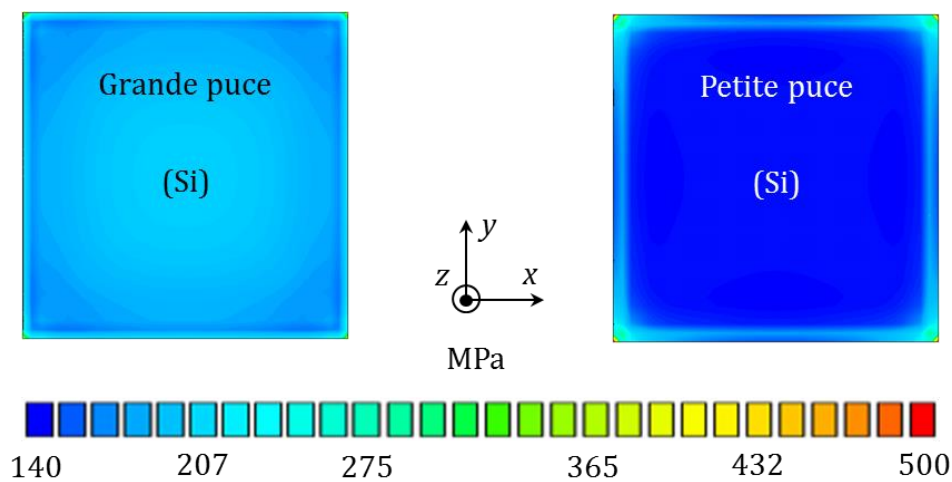


Figure A. 14 – Contrainte de von Mises dans la zone active entre la grande et la petite puce.

La contrainte au coin des puces est très élevée, jusqu'à 500MPa.

Aux centres, la contrainte est quasi uniforme et plus élevée sur la grande puce :

207MPa pour la grande puce

140MPa pour la petite puce

De ces résultats, on peut en conclure que, plus la puce est grande plus la contrainte est élevée. Un rapport de taille entre la puce et la résine joue ainsi un rôle sur la contrainte induite.

## REFERENCES BIBLIOGRAPHIQUES

### A

---

- [Ashcroft, 1976] N. W. Ashcroft, N. D. Mermin, *Solid state physics*, Saunders College Publishing, 1976.
- [Athikulwongse, 2013] K. Athikulwongse, J.-S. Yang, D. Z. Pan, S. K. Lim, *Impact of Mechanical Stress on the Full Chip Timing for Through-Silicon-Via-based 3D ICs*, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2013, vol. 32, n° 6, pp. 905-917.

### B

---

- [Belhenini, 2013] S. Belhenini, *Etude de structures de composants microélectroniques innovants (3D) – Caractérisation, modélisation et fiabilité des démonstrateurs 3D sous sollicitations mécaniques et thermomécaniques*, Thèse en Mécanique et Matériaux, Tours : Université François-Rabelais de Tours, 2013, 177p.
- [Bisaro, 1986] R. Bisaro, J. Magarino, N. Proust, K. Zellama, *Structure and crystal growth of atmospheric and low-pressure chemical-vapor-deposited silicon films*, Journal of Applied Physics, 1986, n° 59, pp. 1167-1178.
- [Bonnaud, 2006] O. Bonnaud, *Composants à semi-conducteurs - De la physique du solide aux transistors*, Paris : Editeurs Ellipses, 2006, 242p.
- [Bouchalkha, 2015] A. Bouchalkha, K. Alhammedi, H. O. Helal, *Carbon Nanotube Strain Gauge Design and Calibration*, IEEE Conference on Applied Electrical Engineering and Computing Technologies (AEECT), 2015, pp. 1-6.
- [Brillet, 2007] H. Brillet, *Etude expérimentale et numérique des phénomènes de fissure dans les interconnexions de la microélectronique*, Thèse en Mécanique, Grenoble : Université Joseph Fourier, 2007.
- [Brodsky, 1970] M. H. Brodsky, R. S. Title, K. Weiser, G. D. Petit, *Structural, Optical and Electrical Properties of Amorphous Silicon Films*, Physical Review, 1970, vol. 1, n° 6, pp. 2632-2641.

### C

---

- [Chambers, 1992] J. M. Chambers, A. E. Freeny, R. M. Heiberger, *Analysis of Variance, Designed Experiments*, Chapter 5 of Statistical Models in S, J. M. Chambers and T. J. Hastie (editors), Wadsworth & Brooks/Cole, Pacific Grove, California, 1992.
- [Chang, 2013] Y.-Y. Chang, H. Chung, B.-J. Lwo, K.-F. Tseng, *In-Situ Stress and Reliability Monitoring on Plastic Packaging Through Piezoresistive Stress Sensor*, IEEE Transactions on Components, Packaging and Manufacturing Technology, 2013, vol. 3, n° 8, pp. 1358-1363.

[Che, 2014] F. X. Che, *Dynamic Stress Modeling on Wafer Thinning Process and Reliability Analysis for TSV Wafer*, IEEE Transactions on Components, Packaging and Manufacturing Technology, 2014, vol. 4, n° 9, pp. 1432-1440.

[Cherman, 2014] V. Cherman, G. Van der Plas, J. De Vos, A. Ivankovic, M. Lofrano, V. Simons, M. Gonzalez, K. Vanstreels, T. Wang, R. Daily, W. Guo, G. Beyer, A. La Manna, I. De Wolf, E. Beyne, *3D Stacking Induced Mechanical Stress Effects*, IEEE Electronic Components and Technology Conference (ECTC), 2014, pp. 309-315.

---

## D

[De Wolf, 1996] I. De Wolf, *Stress measurements in silicon devices through Raman spectroscopy: Bridging the gap between theory and experiment*, Journal of Applied Physics, 1996, vol. 79, n° 9, pp. 7148-7156.

[De Wolf, 2012] I. De Wolf, V. Simons, V. Cherman, R. Labie, B. Vandeveld, E. Beyne, *In-depth Raman Spectroscopy Analysis of Various Parameters Affecting the Mechanical Stress near the Surface and Bulk of Cu-TSVs*, IEEE Electronic Components and Technology Conference (ECTC), 2012, pp. 331-337.

[Doelle, 2006] M. Doelle, C. Peters, P. Ruther, O. Paul, *Piezo-FET Stress-Sensor Arrays for Wire-Bonding Characterization*, Journal of Microelectromechanical systems, 2006, vol. 15, n° 1, pp. 120-130.

[Doerner, 1986] M. F. Doerner, *A method for interpreting the data depthsensing indentation instruments*, Materials Research, 1986, pp. 601-609.

---

## E

[Eto, 2013] Y. Eto, S. Shibata, M. Shikida, *Proposal of shear stress sensor based on optical detection*, IEEE International Conference on Intelligence and Security Informatics (ISI), 2013, pp. 1-4.

[Ewuame, 2014] K. A. Ewuame, V. Fiori, K. Inal, P.-O. Bouchard, S. Gallois-Garreignot, S. Lioni, C. Tavernier, H. Jaouen, *CMOS Stress Sensor for 3D Integrated Circuits: Thermo-mechanical Effects of Through Silicon Via (TSV) on Surrounding Silicon*, International conference on Thermal, Mechanical and Multi-physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE), 2014, pp. 1-8.

[Ezawa, 2008] H. Ezawa, M. Uchida, M. Miura, T. Togasaki, T. Iijima, T. Migita, K.M. Higuchi, *Flip Chip Interconnects Qualified for Advanced Low-k Chips with SnCu Bumps by Alloying Cu/Sn Plated Stack*, Electronics System-integration Technology Conference, 2008, pp. 719-724.

---

## F

[Feng, 2007] X. Feng, Y. Huang, *On the Stoney Formula for a Thin Film/Substrate System With Nonuniform Substrate Thickness*, Journal of Applied Mechanics, Transactions of the ASME, 2007, vol. 74, pp. 1276-1281.

- [Fevenec, 2005] L. Fevenec, *Développement de matériaux diélectriques pour les interconnexions des circuits intégrés  $\alpha$ -SiOC:H poreux Ultra Low K et  $\alpha$ -SiC:H Low K*, Thèse en Chimie des Matériaux, Montpellier : Université des sciences et techniques de Montpellier 2, 2005, 201 p.
- [Fiori, 2005] V. Fiori, S. Orain, *A Multi Scale Finite Element Method to Evaluate Bond Pad Architectures*, International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Micro-Electronics and MicroSystems (EuroSimE), 2005, pp. 648-655.
- [Fiori, 2010] V. Fiori, S. Gallois-Garreignot, R. Roucou, C. Tavernier, H. Jaouen. L-L. Chapelon, F. Chave, P. Delpech, J-P. Gonchond, O. Kermarrec, F. Lorut, P. Morin, D. Rideau, C. Rivero, G. Thiery, B. Van-Haaren, R. Vayrette, *Mechanics and Thermo-mechanics in Microelectronics*, Mechanics of nano-objects, 2010, pp. 365-375.
- [Fruett, 2003] F. Fruett, G. C. M. Meijer, A. Bakker, *Minimization of the Mechanical-Stress-Induced Inaccuracy in Bandgap Voltage References*, IEEE Sensors Journal, 2003.

---

## G

- [Gallois-Garreignot, 2010] S. Gallois-Garreignot, *Etude numérique et expérimentale des phénomènes de fissuration dans les architectures avancées de la microélectronique*, Thèse en Mécanique, Energétique, Génie Civil, Acoustique, Lyon : Institut National des Sciences Appliquées de Lyon, 2010, 251p.
- [Gregoire, 2006] M. Gregoire, *Propriétés des couches minces et des interconnexions de cuivre*, Thèse en science et génie des matériaux, Grenoble : Institut National Polytechnique de Grenoble, 2006. 248p.

---

## H

- [Han, 2014] S. Han, D. D. Wentzloff, *Characterization of the Proximity Effect from Tungsten TSVs on 130nm CMOS Devices in 3D ICs*, IEEE Transactions on Very Large Scale Integration, 2014, vol. 22, n° 9, pp. 2025-2029.
- [Hoffmann, 2004] K. Hoffmann, *System Integration, From Transistor Design to Large Scale Integrated Circuits*, ISBN 0-470-85407-3, 2004.
- [Hograth, 1965] C. A. Hograth, *Materials used in semiconductor devices*, Interscience publishers, New York, 1965.
- [Hopcroft, 2010] M. A. Hopcroft, W. D. Nix, T. W. Kenny, *What is the Young's Modulus of Silicon?*, Journal of Microelectromechanical Systems, 2010, vol. 19, n° 2, pp. 229-238.
- [Hsieh, 2011] C. C. Hsieh, H. A. Teng, S. P. Jeng, S. B. Jan, M. F. Chen, J. H. Chang, C. H. Chang, K. F. Yang, Y. C. Lin, T. J. Wu, W. C. Chiou, S. Y. Hou and Doug C. H. Yu, *Othotropic stress field induced by TSV and its impact on device performance*, IEEE International Interconnect Technology Conference and Materials for Advanced Metallization Conference, 2011, pp. 1-3.

- [Hsiu, 2012] J. Hsiu, Y. Y. Lin, W. Liao, B. Wu, B. Huang, L. Huang, J. Huang, S. Shih, J. P. Lin, P. S. Huang, M. Y. Tsai, C. Y. Huang, *The impact of Through Silicon Via Proximity on CMOS device*, International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT), 2012, pp. 43-45.

---

**I**

- [Ivankovic, 2012] A. Ivankovic, V. Cherman, G. Van der Plas, B. Vandeveld, G. Beyer, E. Beyne, I. De Wolf, D. Vandepitte, *FET Arrays as CPI Sensors for 3D Stacking and Packaging Characterization*, IEEE International Reliability Physics Symposium (IRPS), 2012, 2E.3.1-2E.3.9.

---

**J**

- [Jiang, 2013] C. Jiang, J. Xi, F. Xiao, C. Dou, H. Yang, *Research on the Stress in Stacked Chip Packages*, Electronic Packaging Technology Conference (EPTC), 2013, pp. 941-945.

---

**K**

- [Kanda, 1982] Y. Kanda, *A Graphical Representation of the Piezoresistance Coefficients in Silicon*, IEEE Transactions on Electron Devices, 1982, vol. ED-29, n° 1, pp. 64-70.

- [Knotek, 1991] O. Knotek, R. Elsing, G. Krämer, F. Jungblut, *On the origin of compressive stress in PVD coatings – an explicative model*, Surface and Coatings Technology, 1991, pp. 265-274.

- [Kolev, 2010] D. Kolev, V. Todorova, *Quasi 3D Model of Resonance Piezoelectric Array Sensor*, International Conference on Microelectronics, 2010, pp. 205-208.

- [Kulha, 2010] P. Kulha, A. Boura, M. Husak, *Design and Fabrication of Piezoresistive Strain-Gauges for Harsh Environment Applications*, International Conference on Renewable Energies and Power Quality (ICREPQ), 2010.

- [Kumar, 2011] A. Kumar, Z. Xiaowu, X. Z. Qing, C. J. Ming, H. Guanbo, L. W. S. Vincent, V. Kripesh, C. Lee, J. H. Lau, L. K. Dim, V. Sundaram, R. R. Tummula, G. Meyer-Berg, *Residual Stress Analysis in Thin Device Wafer Using Piezoresistive Stress Sensor*, IEEE Transactions on Components Packaging and Manufacturing Technology, 2011, vol. 1, n° 6, pp. 841-851.

---

**L**

- [Lu, 1984] C.-Y. Lu, N. C.-C. Lu, C.-S. Wang, *Effects of grain-boundary trapping-state energy distribution on the activation energy of resistivity of polycrystalline-silicon films*, Solid-State Electronics, 1984, n° 5, p. 463-466.

---

**M**

- [Meindl, 2003] J. D. Meindl, *Interconnect Opportunities for Gigascale Integration*, IEEE Computer Society, 2003, pp. 28-35.
- [Mescheder, 2004] U. Mescheder, *Mikrosystemtechnik, Konzepte und Anwendungen*, 2004, vol. 2, ISBN 3-519-16256-3.
- [Motz, 2015] M. Motz, U. Ausserlechner, M. Holliber, *Compensation of Mechanical Stress-Induced Drift of Bandgap References With On-chip Stress Sensors*, IEEE Sensors Journal, 2015, pp. 5115-5121.

---

**N**

- [Newnham, 2005] R. E. Newnham, *Properties of materials, Anisotropy, Symmetry, Structure*, Oxford University Press, 2005.

---

**O**

- [Orellana, 2014] S. Orellana, B. Arrazat, P. Fornara, C. Rivero, A. Di Giacomo, S. Blayac, K. Inal, P. Montmitonnet, *Improvement of Freestanding CMOS-MEMS Through Detailed Stress Analysis in Metallic Layers*, International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE), 2014, pp. 1-6.
- [Oshima, 2002] T. Oshima, K. Hinode, H. Yamaguchi, H. Aoki, K. Torii, T. Saito, K. Ishikawa, J. Noguchi, M. Fukui, T. Nakamura, S. Uno, K. Tsugane, J. Murata, K. Kikushima, H. Sekisaka, E. Murakami, K. Okuyama, T. Iwasaki, *Suppression of stress-induced voiding in copper interconnects*, IEEE International Electron Devices Meeting (IEDM), 2002, pp. 757-760.

---

**P**

- [Pandey, 2011] S. M. Pandey, J. Liu, Z. S. Hooi, S. Flachowsky, T. Herrmann, W. Tao, F. Benistant, A. See, S. Chu, G. S. Samudra, *Mechanism of Stress Memorization Technique (SMT) and Method to Maximize Its Effect*, IEEE Electron Device Letters, 2011, vol. 32, n° 4, pp. 467-469.

---

**R**

- [Roellig, 2009] M. Roellig, S. Meyer, M. Thiele, S. Rzepka, K.J. Wolter, *Modeling, Simulation and Calibration of the Chip Encapsulation Molding Process*, International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE), 2009, pp. 64-70.
- [Ryu, 2012] S.-K. Ryu, K.-H. Lu, T. Jiang, J.-H. Im, R. Huang, P. S. Ho, *Effect of Thermal Stresses on Carrier Mobility and Keep-Out Zone Around Through-Silicon Vias for 3D Integration*, IEEE Transactions on Device and Materials Reliability, 2012, vol.12, n° 2, pp. 255-262.

---

**S**



- [Shen, 2003] Y.-L. Shen, U. Ramamurty, *Temperature-dependent inelastic response of passivated copper films: experiments, analyses and implications*, Journal of Vacuum Science and Technology B: Microelectronics and Nanometer Structures, 2003, pp. 1258-1264.
- [Shi, 2009] K.W. Shi, L.T. Beng, K.Y. Yow, *Laser Grooving Characterization for Dicing Defects Reduction and its Challenges*, Electronics Packaging Technology Conference (EPTC), 2009.
- [Skotnicki, 2008] T. Skotnicki, C. Fenouillet-Beranger, C. Gallon, F. Boeuf, S. Monfray, F. Payet, A. Pouydebasque, M. Szczap, A. Farcy, F. Arnaud, S. Clerc, M. Sellier, A. Cathignol, J.-P. Schoellkopf, E. Perea, R. Ferrant, H. Mingam, *Innovative Materials, Devices and CMOS Technologies for Low-Power Mobile Multimedia*, IEEE Transactions on Electron Devices, 2008, vol. 55, n° 1, pp. 96-130.
- [Smith, 1954] C. S. Smith, *Piezoresistance Effect in Germanium and Silicon*, Physical Review, 1954, vol. 94, pp. 42-49.
- [Stoney, 1909] G. G. Stoney, *The tension of Metallic Films deposited by Electrolysis*, Proceedings of the Royal Society, 1909, pp. 172-175.
- [Suhling, 2001] C. J. Suhling, *Silicon Piezoresistive Stress Sensors and Their Application in Electronic Packaging*, IEEE Sensors, 2001, vol. 1, pp. 1.
- [Sundararajan, 2015] A. D. Sundararajan, S. M. R. Hasan, *Elliptic Diaphragm Capacitive Pressure Sensor and Signal Conditioning Circuit Fabricated in SiGe CMOS Integrated MEMS*, IEEE Sensors Journal, 2015, vol. 15, n° 3, pp. 1825-1837.

## T

---

- [Thompson, 2006] S. E. Thompson, G. Sun, Y. S. Choi, T. Nishida, *Uniaxial-Process-Induced Strained-Si: Extending the CMOS Roadmap*, IEEE Transactions on Electron Devices, 2006, vol. 53, n° 5, pp. 1010-1020.
- [Tian, 2009] K. Tian, Z. Wang, *Design, Fabrication and Calibration of a Piezoresistive Stress Sensor on SOI Wafers for Electronic Packaging Applications*, IEEE Transactions on Components and Packaging Technologies, 2009, vol. 32, n° 2, pp. 513-520.
- [Timma, 2009] A. Timma, *Characterization and modelling of hillocks formation in copper interconnects*, Thèse en Mécanique, Grenoble: INPG de Grenoble, 2009.
- [Tummala, 2006] R. R. Tummala, *Moore's law meets its match*, IEEE Spectrum, 2006, pp. 44-49.
- [Tzeng, 2012] P.-J. Tzeng, J. H. Lau, M.-J. Dai, S.-T. Wu, H.-C. Chien, Y.-L. Chao, C.-C. Chen, S.-C. Chen, C.-Y. Wu, C.-K. Lee, C.-J. Zhan, J.-C. Chen, Y.-F. Hsu, T.-K. Ku, M.-J. Kao, *Design, Fabrication and Calibration of Stress Sensors Embedded in a TSV Interposer in a 300mm Wafer*, IEEE Journal, 2012, pp. 1731-1737.

**V**

---

- [Vayrette, 2010] R. Vayrette, C. Rivero, B. Gros, S. Blayac, K. Inal, *Residual stress estimation in damascene copper interconnects using embedded sensors*, Elsevier Microelectronic Engineering, 2010, n° 87, pp. 412-415.
- [Vayrette, 2011] R. Vayrette, *Analyse des contraintes mécaniques et de la résistivité des interconnexions de cuivre des circuits intégrés : rôle de la microstructure et du confinement géométrique*, Thèse en Microélectronique, Gardanne : Ecole Nationale Supérieure des Mines de Saint-Etienne, 2011, 271p.
- [Vianne, 2014] B. Vianne, P. Bar, V. Fiori, S. Gallois-Garreignot, K. A. Ewuame, P. Chausse, S. Escoubas, N. Hotellier, O. Thomas, *Thermo-mechanical Characterization of Passive Stress Sensors in Si Interposer*, International conference on Thermal, Mechanical and Multi-physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE), 2014, pp. 1-8.
- [Vianne, 2015] B. Vianne, S. Escoubas, M.-I. Richard, S. Labat, G. Chahine, T. Schüllli, A. Farcy, P. Bar, V. Fiori, O. Thomas, *Strain and tilt mapping in silicon around copper filled TSVs using advanced X-ray nano-diffraction*, Elsevier Microelectronic Engineering, 2015, n° 137, pp. 117-123.
- [Vogel, 2014] D. Vogel, E. Auerswald, J. Auersperg, P. Bayat, R. D. Rodriguez, D. R. T. Zahn, S. Rzepka, B. Michel, *Stress analyses of high spatial resolution on TSV and BEoL structures*, Elsevier Microelectronics Reliability, 2014, pp. 1-6.

**W**

---

- [Wu, 2003] J.D. Wu, C.Y. Huang, *Fracture strength characterization and failure analysis of silicon dies*, Journal of Microelectronics Reliability, 2003, vol. 43, p.269-277.

**Y**

---

- [Yang, 2008] L. Yang, J. Bernstein, *Reliability Study of High-Density EBGA Packages Using the Cu Metallized Silicon*, IEEE Transaction on Components and Packaging Technologies, 2008, vol. 31, n°3.
- [Yang, 2010] Y. Yang, G. Katti, R. Labie, Y. Travaly, B. Verlinden, I. De Wolf, *Electrical evaluation of 130-nm MOSFETs with TSV proximity in 3D-SiC structure*, International Interconnect Technology Conference (IITC) , 2010, pp. 1-3.
- [Yong, 2013] W. Y. Yong, X. Zhang, T. C. Chai, A. Trigg, N. B. Jaafar, G.-Q. Lo, *In-situ Measurement and Stress Evaluation for Wire Bonding Using Embedded Piezoresistive Stress Sensors*, IEEE Transactions on Components, Packaging and Manufacturing Technology, 2013, vol. 3, n° 2, pp. 328-335.
- [Yu, 2012] L. Yu, W.-Y. Chang, K. Zuo, J. Wang, D. Yu, D. Boning, *Methodology for analysis of TSV stress induced transistor variation and circuit*

*performance*, International Symposium on Quality Electronic Design (ISQED), 2012, pp. 216-222.

- [Yuen, 2014] S. C. Yuen, Z. Xiaowu, *Clarification of Stress Field Measured by Multiwavelength Micro-Raman Spectroscopy in the Surrounding Silicon of Copper-Filled Through-Silicon Vias*, IEEE Transactions on Components, Packaging and Manufacturing Technology, 2014, vol. 4, n° 6, pp. 1010-1014.

## Z

---

- [Zhang, 2009] X. Zhang, *Application of Piezoresistive Stress Sensors in Ultra Thin Device Handling and Characterization*, Sensors and Actuators, 2009, pp. 2-7.
- [Zhang, 2012] X. Zhang, R. Rajoo, C. S. Selvanayagam, A. Kumar, V. S. Rao, N. Khan, V. Kripesh, J. H. Lau, D.-L. Kwong, V. Sundaram, R. R. Tummala, *Application of Piezoresistive Stress Sensor in Wafer Bumping and Impact Test of Embedded Ultrathin Device*, IEEE Transactions on Components, Packaging and Manufacturing Technology, 2012, vol. 2, n° 6, pp. 935-943.
- [Zou, 1999] Y. Zou, J. C. Suhling, R. W. Johnson, R. C. Jaeger, A. K. M. Mian, *In-Situ Stress State Measurements During Chip-on-Board Assembly*, IEEE Transactions on Electronics Packaging Manufacturing, 1999, vol. 22, n° 1, pp. 38-52.

## RESUME GLOBAL

---

Différentes méthodes ont été développées pour l'évaluation des contraintes dans les produits de la microélectronique, à savoir l'utilisation des capteurs piézoélectriques, des capteurs piézorésistifs, la spectroscopie micro-Raman et la diffraction des rayons X.

Pour une détermination des contraintes au niveau du silicium, les capteurs piézorésistifs embarqués sont les mieux appropriés car ils sont directement fabriqués dans le silicium.

Des capteurs MOS rosette (4 nMOS et 4 pMOS) ont donc été développés pour la détermination des contraintes induites dans la partie active des produits. Les relations caractéristiques liant les grandeurs piézorésistives, électriques et mécaniques ont été établies. La connaissance de deux des trois grandeurs permet d'évaluer la troisième.

La détermination des grandeurs piézorésistives nécessite un test de calibration effectué ici à l'aide d'une machine de flexion quatre-points. Cette machine a été conçue et fabriquée dans le cadre de cette thèse et permet d'appliquer une contrainte uniforme uni-axiale dans l'échantillon de silicium et de déterminer ainsi les trois coefficients piézorésistifs.

Les capteurs intégrés sur différentes technologies telles que CMOS65, BiCMOS55, CMOS40, BSI140 et PIC25 ont été calibrés avec cette machine.

Comparés à d'autres coefficients obtenus par des tests de calibration similaires à ceux présentés ici, on remarque des différences d'une technologie à une autre. Ce qui montre qu'une calibration systématique de tout type de capteur est nécessaire.

Ces capteurs MOS ont été utilisés dans les cas d'études des contraintes induites par le TSV (technologie CMOS65), par la mise en boîtier avec un empilement 3D (technologie CMOS65) et un empilement 2D (technologie BiCMOS55).

Les résultats donnent des composantes de contraintes ( $\sigma_{yy}$ ,  $\sigma_{zz}$ ) qui ne sont pas en bonne corrélation avec les résultats de simulations. Les réponses électriques des MOS orientés à 90° (direction [010]) par rapport à l'axe des  $x$  (direction [100]) sont mises en question, car le coefficient ( $\pi_{12}$ ) obtenu à partir de ce MOS agit directement sur les deux composantes de contraintes.

D'autre part, les variations de contraintes dans la zone des capteurs, les variabilités inter-puces et inter-plaques perturbent les résultats.

Intégrées dans la même structure de test de la technologie CMOS40, différents composants ont été étudiés, notamment les transistors MOS rosette, la structure bandgap et les résistances poly-Si qui ont aussi été calibrés.

Une étude de la contrainte thermomécanique induite par la mise en boîtier de cette technologie a révélé un fort impact sur les réponses de sortie (mobilité des MOS, tension bandgap).

Par une étude de minimisation paramétrique, cet impact a été réduit en agissant sur les dimensions géométriques des constituants et les propriétés matériaux de la résine de moulage.

Ces résultats montrent que les MOS en rosette peuvent être utilisés comme capteurs de contraintes mais avec une efficacité limitée. L'utilisation des résistances actives comme capteurs de contraintes est donc envisageable. Par contre, ces MOS peuvent être utilisés pour déterminer l'impact des contraintes sur le fonctionnement de la puce.

## GENERAL ABSTRACT

---

Different methods were developed for stress evaluation in microelectronic products. One can mention the use of piezoelectric sensors, piezoresistive sensors, micro-Raman spectroscopy and X-ray diffraction.

For the stress assessment in silicon, embedded piezoresistive sensors are convenient because they are directly manufactured in silicon.

MOS rosette sensors (4 nMOS and 4 pMOS) were therefore developed for the evaluation of stress induced in the active part of products. The characteristic relations between piezoresistive, electrical and mechanical quantities were established. The knowledge of two of the three quantities enables determining the third one.

Piezoresistive quantities were identified thanks to a four-points bending calibration machine. This machine was designed and fabricated in the frame of this PhD and enables applying a known uniform uniaxial stress into silicon sample and then calculating the three piezoresistive coefficients.

The sensors embedded into different technologies such as CMOS65, BiCMOS55, CMOS40, BSI140 and PIC25 were calibrated with this machine. Compared to other coefficients, one can remark differences from one technology to another. Systematic calibration is therefore needed for each type of sensor.

These MOS sensors were used for studying stresses induced by TSV (CMOS65 technology), by packaging with 3D stacking (CMOS65 technology) and 2D stacking (BiCMOS55 technology).

The results give stress components ( $\sigma_{yy}$ ,  $\sigma_{zz}$ ) which are not in a good agreement with simulation results. Electrical responses of the MOS oriented at  $90^\circ$  ([010] direction with respect to the  $x$  axis ([100] direction)) are questioned because the coefficients ( $\pi_{12}$ ) obtained from this MOS acts directly on the two components. In addition, stress variations in sensors area, as well as inter-chips and inter-wafers variabilities disturb the results.

Integrated into the same test chip of the CMOS40 technology, different structures were studied, namely the MOS transistors, the bandgap structure and the poly-Si resistances which were also calibrated.

For this technology, a study of thermomechanical stress induced by packaging revealed a significant impact on the output responses (MOS mobility, bandgap voltage). Through a minimization parametric study, this impact was reduced by controlling the geometrical dimensions of components and the material properties of the moulding compound.

These results show that, MOS rosettes can be used as stress sensors but with a limited efficiency. The use of active resistances as stress sensors is therefore envisaged. However, these MOS can be used to study the impact of stresses on the chip operation.





## Résumé

Pour la détermination des contraintes thermomécaniques au niveau du silicium, les capteurs piézorésistifs (en rosette) composés de 4nMOS et 4pMOS ont été développés et embarqués dans des produits de la microélectronique.

Les relations caractéristiques liant les grandeurs piézorésistives, électriques et mécaniques ont été établies.

La détermination des grandeurs piézorésistives nécessite un test de calibration effectué ici à l'aide d'une machine de flexion quatre-points. Cette machine a été conçue et fabriquée dans le cadre de cette thèse et permet d'appliquer une contrainte uniforme uni-axiale dans l'échantillon de silicium et de déterminer ainsi les trois coefficients piézorésistifs. Les capteurs intégrés sur différentes technologies telles que CMOS65, BiCMOS55, CMOS40, BSI140 et PIC25 ont été calibrés avec cette machine.

Ces capteurs MOS ont été utilisés dans les cas d'études des contraintes induites par le TSV (technologie CMOS65), par la mise en boîtier avec un empilement 3D (technologie CMOS65) et un empilement 2D (technologie BiCMOS55).

Les résultats donnent des composantes de contraintes ( $\sigma_{yy}$ ,  $\sigma_{zz}$ ) qui ne sont pas en bonne corrélation avec les résultats de simulations. Les réponses électriques des MOS orientés à 90° (direction [010]) par rapport à l'axe des x (direction [100]) sont mises en question, car le coefficient ( $\pi_{12}$ ) obtenu à partir de ce MOS agit directement sur les deux composantes de contraintes. D'autre part, les variations de contraintes dans la zone des capteurs, les variabilités inter-puces et inter-plaques perturbent les résultats.

Intégrées dans la même structure de test de la technologie CMOS40, différents composants ont été étudiés, notamment les transistors MOS rosette, la structure bandgap et les résistances poly-Si qui ont aussi été calibrés.

Une étude de la contrainte thermomécanique induite par la mise en boîtier de cette technologie a révélé un fort impact sur les réponses de sortie (mobilité des MOS, tension bandgap).

Par une étude de minimisation paramétrique, cet impact a été réduit en agissant sur les dimensions géométriques des constituants et les propriétés matériaux de la résine de moulage.

Ces résultats montrent que les MOS en rosette peuvent être utilisés comme capteurs de contraintes mais avec une efficacité limitée. L'utilisation des résistances actives comme capteurs de contraintes est donc envisageable. Par contre, ces MOS peuvent être utilisés pour déterminer l'impact des contraintes sur le fonctionnement de la puce.

## Mots Clés

Circuits intégrés, Microélectronique, MOS rosette, Capteurs piézorésistifs, Contraintes thermomécaniques.

## Abstract

For the thermomechanical stress assessment in silicon, piezoresistive sensors (in rosette) composed of 4nMOS and 4pMOS were developed and embedded into microelectronic products.

The characteristic relations between piezoresistive, electrical and mechanical quantities were established.

Piezoresistive quantities were identified thanks to a four-points bending calibration machine. This machine was designed and fabricated in the frame of this PhD and enables applying a known uniform uniaxial stress into silicon sample and then calculating the three piezoresistive coefficients.

The sensors embedded into different technologies such as CMOS65, BiCMOS55, CMOS40, BSI140 and PIC25 were calibrated with this machine.

These MOS sensors were used for studying stresses induced by TSV (CMOS65 technology), by packaging with 3D stacking (CMOS65 technology) and 2D stacking (BiCMOS55 technology).

The results give stress components ( $\sigma_{yy}$ ,  $\sigma_{zz}$ ) which are not in a good agreement with simulation results. Electrical responses of the MOS oriented at 90° ([010] direction with respect to the  $x$  axis ([100] direction)) are questioned because the coefficients ( $\pi_{12}$ ) obtained from this MOS acts directly on the two components.

In addition, stress variations in sensors area, as well as inter-chips and inter-wafers variabilities disturb the results.

Integrated into the same test chip of the CMOS40 technology, different structures were studied, namely the MOS transistors, the bandgap structure and the poly-Si resistances which were also calibrated.

For this technology, a study of thermomechanical stress induced by packaging revealed a significant impact on the output responses (MOS mobility, bandgap voltage). Through a minimization parametric study, this impact was reduced by controlling the geometrical dimensions of components and the material properties of the moulding compound.

These results show that, MOS rosettes can be used as stress sensors but with a limited efficiency. The use of active resistances as stress sensors is therefore envisaged. However, these MOS can be used to study the impact of stresses on the chip operation.

## Keywords

Integrated circuits, Microelectronics, MOS rosette, Piezoresistive sensors, Thermomechanical stresses